

Organização de Computadores – Trabalho Prático 3

Suporte a Novas Instruções da ISA MIPS no processador MIPS_S

1 INTRODUÇÃO

A Unidade III deste curso, principal da disciplina, estudou a organização básica de um processador, sua implementação funcional e sua simulação. Além de estudar implementações monociclo e multiciclo de uma arquitetura estudo de caso, estudou-se também a forma de acrescentar novas instruções a uma implementação simplificada inicial, isto é, uma organização com suporte à execução de um subconjunto das instruções previstas na arquitetura MIPS R2000. A disciplina co-requisito desta, Laboratório de Organização de Computadores estuda de forma concomitante a implementação de hardware sobre dispositivos do tipo FPGA e plataformas baseadas nestes, bem como detalhes do ferramental de validação baseado em simulação de hardware e uso de montadores e simuladores de arquiteturas.

O objetivo do presente trabalho é exercitar o processo de incrementar a implementação de um processador a partir de uma descrição multiciclo do mesmo. O estudo de caso a ser usado é o processador MIPS_S, conforme descrito no documento “[Processador Multiciclo – MIPS_S](#)”. A organização de partida deve ser a MIPS multiciclo vista em aula, similar ao MIPS_S, com suporte para multiplicação e divisão. O link para esta organização de partida está aqui: [MIPS multiciclo](#).

2 FORMAÇÃO DOS GRUPOS

Formação dos grupos: Os grupos deverão ser de 2 ou 3 alunos. Não se aceitam trabalhos individuais.

3 TRABALHO A SER DESENVOLVIDO E REGRAS DO JOGO

O presente trabalho consistirá no acréscimo de quatro novas instruções, gerando uma implementação com novas capacidades em relação à MIPS_S original. As novas instruções são **bgtz**, **clo**, **movn** e **msubu**.

A funcionalidade básica de cada uma das novas instruções é a seguinte:

- **bgtz Rs, rótulo** - Se $Rs > 0$, então $PC \leftarrow PC + 4 + \text{Offset}$ e $\$ra \leftarrow PC + 4$. Formato I: 7 Rs 0 Offset
- **clo Rd, Rs** - conta o número de bits em 1 a partir da esquerda de Rs até chegar ao primeiro 0. O número obtido (entre 0 e 32) é armazenado no registrador Rd. Formato R: 0x1c Rs 0 Rd 0 0x21
- **movn Rd, Rs, Rt** - Move o conteúdo do registrador Rs para Rd se o registrador Rt for diferente de 0, senão nada faz. Formato R: 0 Rs Rt Rd 0xb (11 bits)
- **msubu Rs, Rt** - Multiplica os registradores Rs e Rt e subtrai o valor de 64 bits obtido do valor de 64 bits contido em Hi&Lo, colocando o resultado de volta em Hi&Lo. Formato I: 0x1c Rs Rt 0 (10 bits) 5 (6 bits)

Estudem o problema e proponham uma solução, documentando a forma escolhida de implementar esta.

Formato do trabalho e avaliação: O trabalho deverá ser entregue via sala do Moodle até o fim do dia 26/06/2018. Esta deve conter os **arquivos do projeto**. O trabalho entregue deve contemplar 5 itens, a saber: (1) formas de onda comentadas, descrevendo a funcionalidade das instruções adicionadas. Esta parte pode ser incluída no arquivo texto citado no item (4) a seguir (**2,5 pontos**); (2) a descrição textual do novo hardware em VHDL (**3,5 pontos**); (3) os códigos fonte (.asm) e objeto (.txt) do(s) programa(s) de teste usado(s) para demonstrar a funcionalidade das duas novas instruções (**2,5 pontos**); finalmente, (4) coloquem um arquivo texto descrevendo as alterações realizadas para incluir as novas instruções (**1,5 pontos**).

Valor do trabalho: Este trabalho vale 50% da nota de Trabalho Prático da disciplina. Lembrando que o TP corresponde a 40% da composição da nota de G1, o TP3 corresponde a 20% do G1.