

Buongiorno,

alcune informazioni circa il progetto di reti logiche che fugano anche dubbi a cui ho risposto in maniera privata, vedetele come una sorta di FAQ

- L'ultima versione del documento di specifica è disponibile sul sito beep del corso e al link riportato che rimanda al sito del responsabile Davide Zoni
http://home.deib.polimi.it/zoni/tutor_rl_2017_2018.html
- si ricorda che il segnale di reset (i_rst) può essere asserito anche durante il processing dell'immagine e deve riportare la macchina in uno stato stabile pronto a ricevere un nuovo segnale di start. Il segnale di reset se asserito sta alto per almeno un ciclo di clock. Invece, il segnale di start (i_start) viene asserito una volta per ogni processing d'immagine come da documento di specifica.
- Sono stati pubblicati nuovi testbench. Dal punto di vista tecnico semplificano il design ammettendo soluzioni che aggiornano i flip flop sul fronte di salita o di discesa del clock
- Scaricate i nuovi testbench al solito link riportato sul sito del responsabile Davide Zoni
http://home.deib.polimi.it/zoni/tutor_rl_2017_2018.html **E RICORDATE CHE IL VERIFICATORE USA I NUOVI TESTBENCH E CHE IMPLEMENTA SOLAMENTE UN TEST DI SIMULAZIONE PRE-SINTESI.**
- Con i testbench precedenti l'unica soluzione possibile era un'implementazione con aggiornamento dei registri sul fronte di discesa del clock
- Salvo problemi particolare, IN SEDE DI VERIFICA SI FARÀ RIFERIMENTO AI NUOVI TESTBENCH
- Per i dubbi relativi al Progetto di Reti logiche le domande tecniche e pertinenti le modalità di consegna e verifica del progetto vanno dirette a Davide Zoni, dopo avere letto le informazioni riportate sul suo sito e preso visione del materiale sul VHDL che ho messo su beep dallo scorso anno. Si ricorda che avete avuto a disposizione 20 ore di TUTORATO per fare domande, pertanto ora che è terminato si rischia di avere latenza elevata o non avere risposta se le domande sono legate a dubbi tipici di chi ha preso in mano il progetto solo adesso e non nei tempi previsti. Un nuovo tutorato è previsto nel nuovo anno accademico.
- Pur potendo consegnare quando volete il progetto, come già ampiamente ricordato, la correzione dei progetti richiede tempo. Pertanto è richiesta la consegna del progetto almeno 45 giorni prima della scadenza all'esame di laurea a cui volete iscrivervi. Questo tempo (considerate che siete più di 180 studenti) ci fornisce la garanzia di correzione e verbalizzazione del voto in tempo utile per la sessione di laurea. Ad esempio, se vi fosse un appello di laurea in 12 di luglio e la verbalizzazione del voto fosse richiesta entro il primo di luglio, dovrete consegnare il progetto entro il 16 di maggio.
- Dopo avere consegnato il progetto, l'eventuale rifiuto del voto implica il saltare all'anno successivo. Quindi cercate di finalizzare il vostro progetto in maniera ragionevole. Avete a disposizione il verificatore per aiutarvi (ma non usatelo per debugare passo passo)
- Vi ricordo che le persone che presenteranno un progetto riconosciuto come "copia" di quello presentato da uno studente della nostra MA ANCHE DELLE ALTRE SEZIONI, dovrà sostenere un nuovo progetto di reti logiche con l'avvio del prossimo anno accademico.

Pertanto mantenete un comportamento corretto e siate consapevoli che tutti i progetti vengono raccolti in un repository comune alle tre sezioni per i controlli incrociati.

Buon lavoro