

Introduction à la Conception FPGA en Master 1

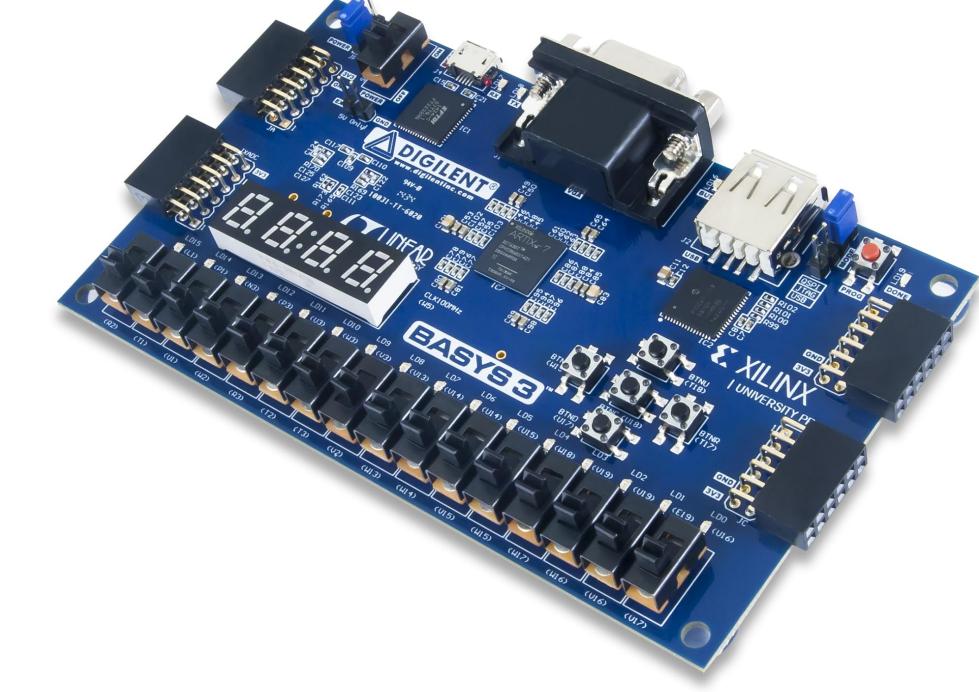
William PENSEC

LIRMM, Université de Montpellier et Pôle CNFM Montpellier, France

william.pensec@umontpellier.fr

Introduction et contexte

- UE du Master 1 SESI, Université Bretagne Sud.
- Projet individuel de conception FPGA sur 42 heures.
- Objectif : introduire la notion de conception d'architecture numérique à partir d'une base commune.
- UE orientée autonomie, centrée sur un projet que l'étudiant choisit, mêlant VHDL, simulation et expérimentation matérielle → projet pouvant être un jeu, ou une animation simple.



Objectifs pédagogiques et déroulement du projet

- Comprendre un flux complet de conception FPGA.
- Manipuler un protocole (ici le protocole VGA).
- Structurer une architecture numérique modulaire.
- Développer des compétences en debug (simulation + matériel).
- Documenter et présenter un projet technique en détaillant ses choix.
- Encourager la créativité et l'autonomie.

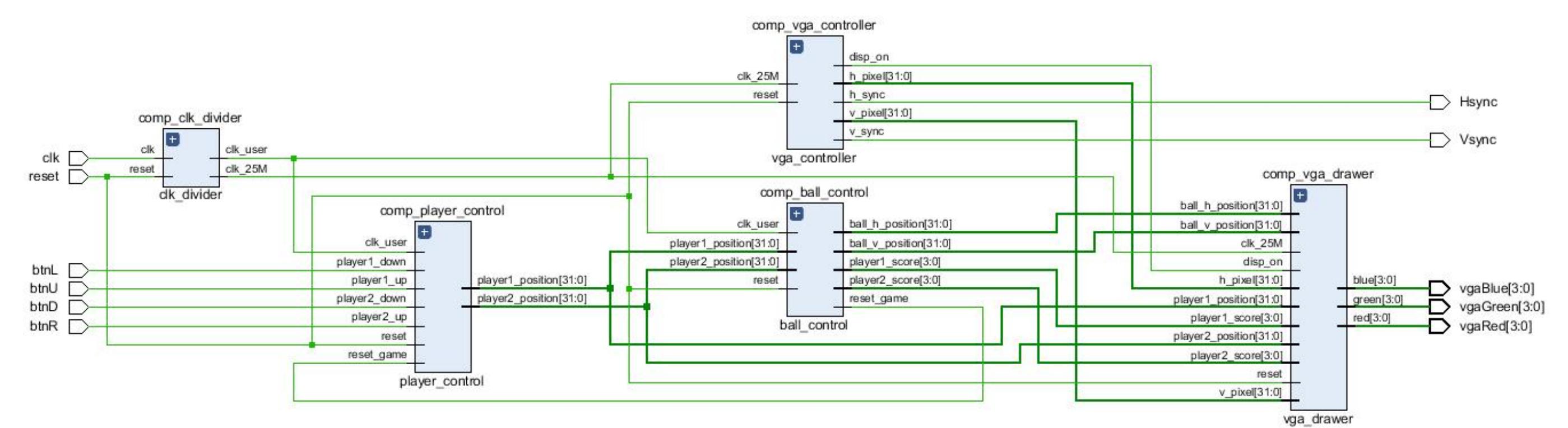
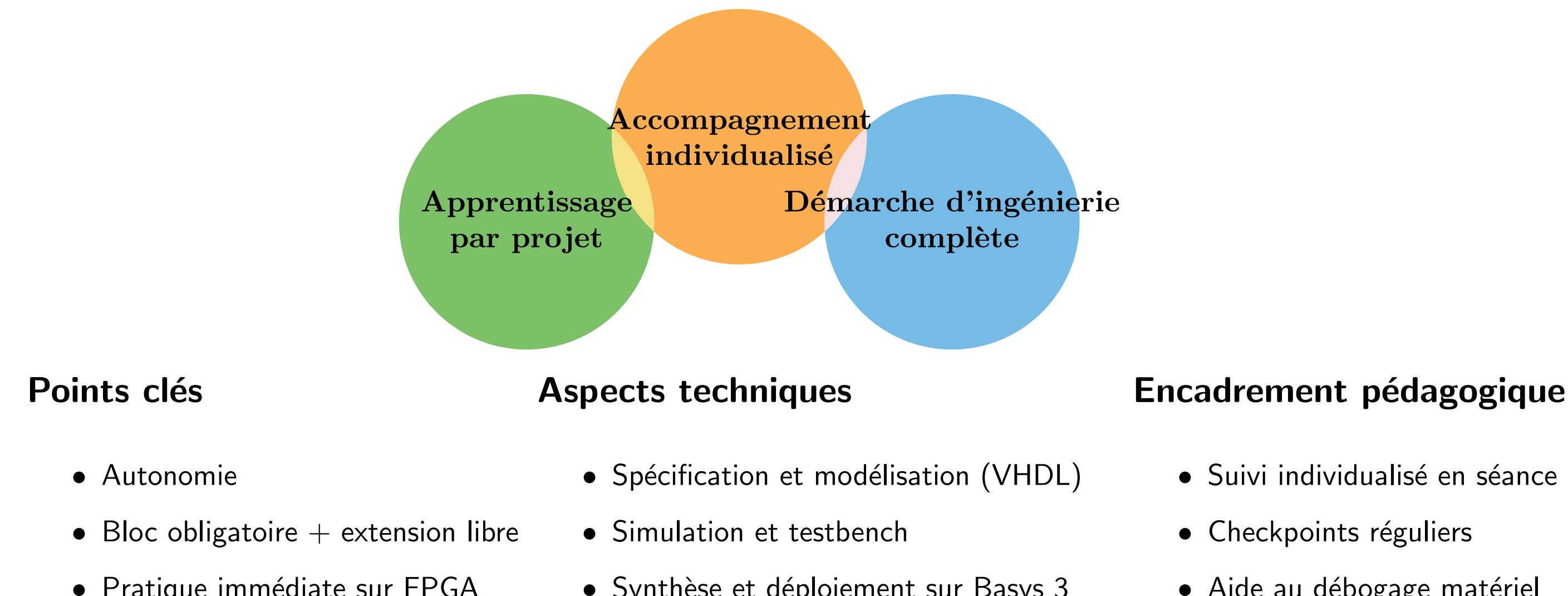


Figure 1: Capture d'une architecture (projet pong)

Approche pédagogique et encadrement

Approche pédagogique



- Apprentissage centré sur la pratique.
- Accompagnement en petit groupe de projet pour un meilleur suivi.
- Base de travail commune : minimum requis pour le VGA.
- Phase libre d'exploration et d'améliorations afin d'aller plus loin (jeux, animations, etc).

Figure 2: L'approche pédagogique du projet

Évaluation et livrables

- Trois éléments d'évaluation :
 1. Soutenance individuelle (10 minutes avec questions).
 2. Rapport technique avec documentation complète.
 3. Code écrit + fichiers produits pour le fonctionnement du projet (images, fichiers de contraintes, etc).
- Importance de la justification des choix techniques ainsi que de l'explication des problèmes avec la solution mise en place pour les résoudre



Bilan et retour d'expériences

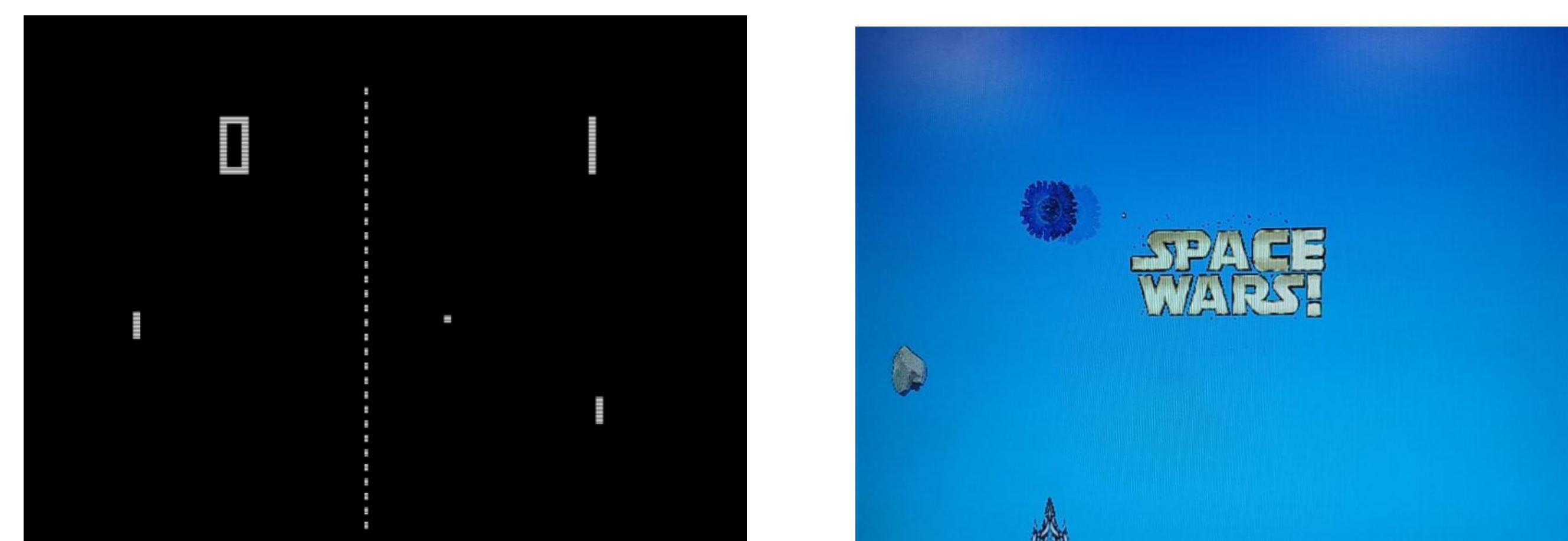


Figure 3: Exemples de réalisations

- Engagement très élevé, certains étudiants ont dépassé 100 heures de travail.
- Certains étudiants sont allés étudier les optimisations possibles de leur projet comme la surface ou les performances.
- Tous ont atteint la partie VGA – objectif principal du projet.
- Créativité forte dans les projets finaux (jeux réalisés, animations créées).
- Hétérogénéité des niveaux → accompagnement nécessaire individuel. Certains étudiants n'avaient jamais fait de VHDL avant cette année.
- Checkpoints très efficaces pour éviter les blocages longs.

Conclusion

- Projet formateur et motivant pour les étudiants grâce à la liberté du projet.
- Développement de compétences techniques et méthodologiques.
- Excellent retour des étudiants .
- Perspectives : introduction d'outils Git, ouverture vers la sécurité matérielle, ou la conception d'architecture RISC-V par exemple.