

Introduction à la Conception FPGA en Master 1

William PENSEC^{a,b}

^a Polytech Montpellier et Pôle CNFM de Montpellier (PCM), Université de Montpellier,
Montpellier, France

^b LIRMM, CNRS 5506, Université de Montpellier, France

Contact email : william.pensec@umontpellier.fr

Cet article présente le contenu d'une unité d'enseignement dispensée dans le cadre du Master SESI de l'Université Bretagne Sud, à Lorient. Cette UE, destinée aux étudiants de Master 1, aborde la conception sur FPGA à travers un projet individuel de 42 heures, comprenant 2 heures de cours magistral et une évaluation orale individuelle. L'objectif est de permettre aux étudiants de concevoir, implémenter et valider une architecture numérique complète sur carte Basys 3. L'article décrit l'organisation pédagogique du module, les objectifs d'apprentissage, les modalités d'évaluation ainsi qu'un retour d'expérience sur la mise en œuvre du projet et les compétences développées par les étudiants.

I. Introduction et contexte

Dans le cadre du Master Systèmes Embarqués / Systèmes Intégrés (SESI) [1] de l'Université Bretagne Sud, à Lorient, les étudiants sont formés à la conception de systèmes électroniques à dominante numérique, leur permettant d'aborder la conception d'architectures mixtes matériel-logiciel complexes. Cette formation vise à développer une double compétence en électronique et en informatique embarquée, indispensable à la maîtrise des technologies matérielles actuelles.

Lors de ma thèse de doctorat, j'ai eu, avec un collègue, la responsabilité d'un module de conception sur FPGA, proposé sous forme de projet individuel. L'objectif de ce cours était d'amener les étudiants à concevoir, simuler et tester une architecture numérique complète sur une carte FPGA, tout en développant leur autonomie et leur capacité d'analyse face à un problème d'ingénierie.

L'unité d'enseignement, d'une durée totale de 42 heures, se décompose en 2 heures de cours magistral introductif, 38 heures de travail en mode projet, organisées en séances de deux à quatre heures, puis 2 heures réservées pour l'évaluation finale. Le cours magistral initial permet de présenter les objectifs pédagogiques, la méthodologie attendue, ainsi qu'une base de travail technique comme des morceaux de bases du projet (exemple : fichier de contraintes fourni). Les séances suivantes sont consacrées à la mise en œuvre pratique du projet depuis la conception, la simulation jusqu'à la synthèse de son système.

Le projet fait l'objet d'une évaluation individuelle comprenant une présentation orale de 15 minutes. Chaque étudiant y expose les aspects fonctionnels de sa réalisation, puis détaille les choix techniques, les difficultés rencontrées et les pistes d'amélioration identifiées. Cette soutenance constitue un moment privilégié d'échange et d'évaluation des compétences acquises, aussi bien sur le plan technique que méthodologique.

II. Objectifs pédagogiques et déroulement du projet

Ce projet de conception sur FPGA a pour ambition de mobiliser et approfondir les compétences acquises par les étudiants dans les UEs de conception FPGA ou d'architecture des systèmes. L'objectif principal est de leur permettre de concevoir, implémenter et valider une architecture numérique complète, depuis la conception de l'idée du projet jusqu'à l'expérimentation sur une carte FPGA Basys 3 [2] en passant par la description comportementale en VHDL.

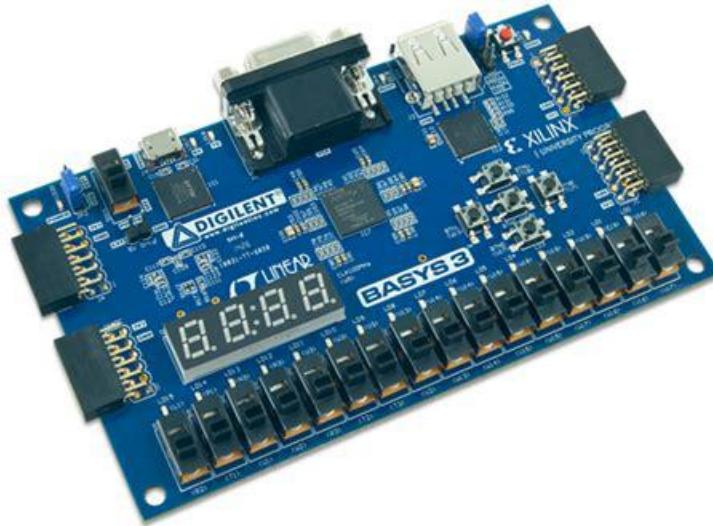


Fig. 1. Carte FPGA Digilent Basys 3 sur laquelle les étudiants ont pu travailler pour leur projet.

Sur le plan des apprentissages, le projet vise plusieurs compétences clés :

- Maîtriser la notion de conception matérielle : écriture, simulation, synthèse et implantation d'un design matériel sur FPGA ;
- Comprendre et manipuler un protocole d'affichage standard (le protocole VGA), en assurant la génération et la synchronisation correcte des signaux ;
- Structurer un projet d'architecture numérique de manière modulaire, en séparant les blocs fonctionnels et en gérant les interconnexions ;
- Développer la capacité d'analyse et de debug, du niveau simulation jusqu'au niveau matériel sur la carte ;
- Documenter son travail à travers un rapport structuré et savoir expliquer ses choix et ses directions via ce rapport et la soutenance orale.

Le déroulement du projet s'articule autour de trois étapes principales :

1. Phase d'initiation, consacrée à la prise en main des outils de développement (exemple : Vivado) et à la validation d'exemples simples via des simulations et la création de testbench simples ;
2. Mise en œuvre du protocole VGA, constituant la partie obligatoire du projet : chaque étudiant doit être en mesure d'afficher un motif ou une image simple sur écran via la carte Basys 3. Une base de travail était donnée pour aider les étudiants dans cette tâche ;
3. Extension libre du projet, où les étudiants sont encouragés à concevoir un projet de leur choix (jeux-vidéo, animations, etc).

Cette progression permet de favoriser l'autonomie et la créativité tout en garantissant une base commune de compétences techniques. Les étudiants bénéficient de checkpoints à la fin de chaque

séance, afin de valider les étapes principales intermédiaires et de détecter rapidement d'éventuelles difficultés comme par exemple la mise en place de la liaison entre la carte FPGA et l'écran VGA.

Le projet se conclut par une démonstration finale et la remise d'un rapport écrit détaillant la démarche suivie, les choix techniques, les problèmes rencontrés et les perspectives d'amélioration.

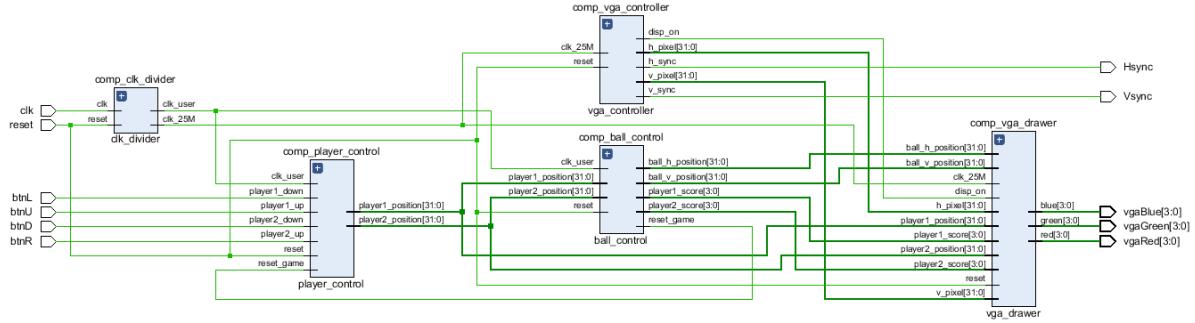


Fig. 2. Représentation en bloc du projet avec l'horloge, le driver VGA et le contrôleur de jeu (tiré d'un rapport d'étudiant).

III. Approche pédagogique et encadrement

Le projet repose sur une approche d'apprentissage par la pratique, où les étudiants sont placés en situation d'autonomie pour concevoir un système numérique complet sur FPGA. Cette méthode vise à renforcer leur compréhension des concepts d'architecture matérielle en les confrontant à des problématiques réelles de conception, d'intégration et de validation. Elle permet également de développer leur capacité à planifier un projet technique, à faire des choix de conception argumentés et à évaluer leurs propres résultats. L'encadrement du projet a été pensé pour accompagner progressivement les étudiants tout en laissant une marge importante d'initiative individuelle. Chaque séance de travail est l'occasion d'échanges et de validations intermédiaires, sous la forme de checkpoints, permettant de suivre l'avancement, d'identifier les difficultés rencontrées et d'apporter un soutien ciblé. Cette évaluation continue a pour but d'éviter les blocages techniques et de maintenir une progression régulière tout au long des 38 heures de la phase de développement du module d'enseignement.

Les étudiants sont encouragés à documenter leur démarche dès les premières étapes, à conserver des traces de leurs essais, et à justifier leurs décisions techniques. Cette rigueur méthodologique les prépare à des contextes professionnels où la traçabilité et la reproductibilité des travaux sont essentielles. L'utilisation d'outils tels que Vivado pour la conception et la simulation, ainsi que Moodle ou Git pour le suivi et la remise des projets, permet d'instaurer de bonnes pratiques de gestion et de sauvegarde.

Un autre aspect important de cette approche pédagogique est que ce projet a été conçu pour rester accessible tout en offrant un espace d'approfondissement aux plus avancés. Ainsi, la première partie du projet, centrée sur la gestion du protocole VGA, garantit un socle commun de compétences, tandis que la partie libre laisse la possibilité d'explorer des aspects plus complexes ou créatifs. Ce dispositif favorise l'entraide entre les étudiants et valorise la curiosité technique. Certains étudiants se sont restreints aux stricts objectifs du projet alors que d'autres sont allés jusqu'à penser à l'optimisation de leur code en visant une minimisation de la surface, des performances et de l'empreinte mémoire.

Enfin, le rôle de l'enseignant est donc, dans ce cadre, d'accompagner les étudiants comme un développeur plus aguerri « senior » et non pas comme un simple transmetteur de connaissances. Les interventions se concentrent sur la clarification des points théoriques, la résolution de problèmes techniques spécifiques et l'orientation méthodologique. L'évaluation finale, combinant

démonstration, rapport et soutenance, permet de vérifier à la fois la maîtrise technique, la compréhension des principes d'architecture et la capacité d'expliquer ses choix pour arriver aux objectifs fixés.

IV. Evaluation et livrables

L'évaluation du projet s'appuie sur plusieurs éléments complémentaires destinés à mesurer à la fois la progression individuelle, la maîtrise technique et la capacité d'analyse critique des étudiants. Elle combine des évaluations formatives tout au long du module et une évaluation sommative à la fin du projet.

Pendant la durée du module, des points de contrôle réguliers permettent de vérifier l'avancement et la compréhension des concepts. Ces checkpoints, réalisés à la fin des séances, constituent des moments d'échange avec l'étudiant. Ils permettent d'évaluer la cohérence de l'avancement, la qualité du code développé, et la compréhension des simulations ou des tests matériels. Ce suivi continu favorise une progression régulière et permet d'intervenir rapidement en cas de difficulté technique ou méthodologique. L'évaluation finale repose sur trois éléments principaux : la démonstration du projet, le rapport écrit et le rendu du code source.

La démonstration correspond à une présentation individuelle d'environ quinze minutes, au cours de laquelle l'étudiant présente le fonctionnement de sa réalisation sur la carte FPGA, détaille l'architecture interne et répond aux questions posées. Cette étape permet d'évaluer la capacité à expliquer clairement ses choix techniques, à justifier les méthodes employées et à maîtriser le fonctionnement global du système conçu. Mais également à vérifier la compréhension de sa réalisation.

Le rapport écrit constitue un second volet essentiel de l'évaluation. Il doit retracer l'ensemble du travail effectué, depuis la définition du projet jusqu'à la phase de validation. Les étudiants y présentent l'architecture globale, les modules développés, les testbenches utilisés, les contraintes rencontrées et les solutions apportées. Une attention particulière est portée à la qualité de la rédaction, à la clarté des explications et à la pertinence des analyses. Le rapport inclut également une section de bilan personnel, invitant les étudiants à porter un regard critique sur leurs résultats et sur les améliorations possibles du projet.

Enfin, le code source complet du projet doit être déposé sur la plateforme Moodle, accompagné du fichier de contraintes associé. Ce rendu garantit la traçabilité du travail et permet une vérification du fonctionnement du projet dans des conditions différentes de celles de l'étudiant. Les consignes de dépôt sont strictes afin d'encourager la rigueur dans la gestion des livrables et des délais comme dans une entreprise.

V. Bilan et retour d'expérience

Le projet de conception sur FPGA a globalement rencontré un accueil très positif de la part des étudiants. L'approche par projet, centrée sur la réalisation concrète d'un système matériel, a permis de renforcer leur motivation et leur implication tout au long du module. Certains étudiants, très motivés, n'ont pas hésité à passer plus d'une centaine d'heures sur leur temps libre, et ce, sur une longue période (plusieurs semaines) pour optimiser leur projet afin d'obtenir le résultat voulu. Le fait de pouvoir concevoir un projet personnel, de nature souvent ludique comme un petit jeu vidéo ou une animation, a contribué à créer une dynamique d'apprentissage positive. Les étudiants ont exprimé un réel intérêt pour la dimension pratique qui leur a permis d'observer directement les résultats de leurs conceptions sur le matériel et pouvoir jouer à leur jeu sur les dernières heures du projet ou chez eux.

Sur le plan pédagogique, la totalité des étudiants ont réussi à maîtriser la gestion du protocole VGA et à produire un affichage fonctionnel. La phase libre du projet a mis en évidence la diversité des profils et des approches. Certains étudiants ont fait preuve d'une grande créativité, en dessinant eux-mêmes des « sprites » pour leur jeu, tandis que d'autres se sont concentrés sur des aspects plus techniques comme l'optimisation de l'empreinte mémoire de l'architecture globale du projet, la gestion fine des timings, ou la performance pure du code.

Néanmoins, quelques difficultés ont été observées au cours du module. L'hétérogénéité des niveaux en conception numérique et en langage VHDL a parfois entraîné des écarts de progression importants entre les étudiants. Certains n'avaient suivi que quelques heures de cours de VHDL et donc les débuts ont été difficiles pour eux. Les premières séances ont nécessité un accompagnement renforcé pour certains, notamment pour la prise en main des outils de conception ou la compréhension des contraintes de synthèse. Ces aspects ont toutefois été compensés par la mise à disposition d'exemples de code et d'un support de base pour la partie VGA, ainsi que par un suivi régulier au fil des séances.

D'un point de vue pédagogique, l'organisation en checkpoints a permis d'assurer un suivi individualisé, de maintenir une progression constante et d'éviter les grandes accumulations de retard. La démonstration finale s'est également avérée être un moment fort du module, valorisant le travail accompli et permettant à chacun de présenter sa démarche et ses résultats dans un cadre professionnel. La variété des projets présentés a montré que les étudiants avaient bien compris les principes d'architecture numérique. Pour les prochaines sessions, plusieurs pistes d'amélioration peuvent être envisagées. Il serait notamment intéressant de proposer davantage de ressources d'amorçage pour les étudiants les moins expérimentés, par exemple sous la forme de modules de préparation ou de tutoriels vidéo.

De manière générale, ce projet a atteint ses objectifs pédagogiques tout en suscitant un fort engagement de la part des étudiants. Il a permis de développer des compétences techniques solides, mais aussi une meilleure compréhension du processus de conception matérielle et des contraintes associées. Au-delà des aspects purement techniques, il a encouragé la curiosité, la rigueur et l'autonomie, qui constituent des qualités essentielles pour la poursuite d'études ou l'entrée dans le monde professionnel.

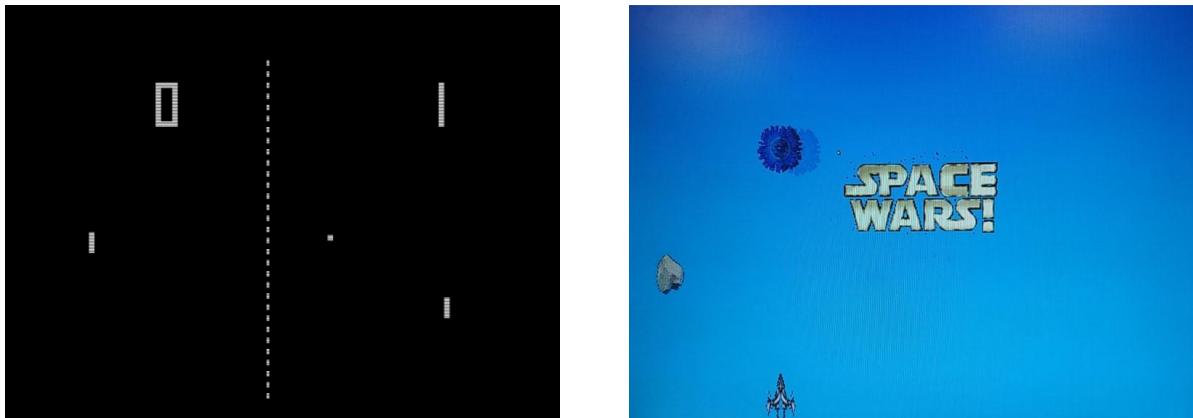


Fig. 3. Illustrations venant de 2 projets étudiants différents : un jeu de pong et un jeu space wars.

VI. Conclusion

Le projet de conception sur FPGA proposé dans le cadre du Master SESI de l'Université Bretagne Sud constitue une expérience d'apprentissage complète, mêlant théorie, pratique et autonomie. Il offre aux étudiants l'occasion de mettre en œuvre l'ensemble des notions abordées

dans les enseignements d'architecture numérique, tout en les confrontant à la réalité de la conception matérielle sur FPGA. Par son format en mode projet, il encourage une démarche d'expérimentation, où la compréhension des mécanismes prime sur la simple réussite fonctionnelle du projet.

L'organisation du module, articulée autour d'une base commune et d'une phase libre, a permis de répondre à la diversité des niveaux. Elle a également favorisé la motivation et l'investissement des étudiants, qui ont pu s'approprier le contenu en développant des projets personnels à la fois techniques et originaux. Les retours d'expérience ont été très positifs sur cette UE, les étudiants ont beaucoup apprécié l'approche par projet et la liberté de création.

Du point de vue de l'enseignant, ce type de dispositif permet de mieux observer les démarches de raisonnement et de conception des étudiants, tout en favorisant un accompagnement individualisé, le groupe étant constitué d'une quinzaine d'étudiants. Il contribue aussi à créer un environnement d'apprentissage plus actif, où les échanges et les initiatives jouent un rôle central.

Pour les sessions futures, plusieurs perspectives d'évolution sont envisageables, notamment l'introduction d'outils collaboratifs pour la gestion de projet, tels que des dépôts Git, pourrait également renforcer les compétences transversales en développement collectif et en documentation technique.

Références

- [1] U. B. Sud, «Master Systèmes embarqués / systèmes intégrés,» 02 10 2025. [En ligne]. Available: https://www.univ-ubs.fr/fr/formation-initiale-continue/formations/master-XB/sciences-technologies-sante-STS/master-systemes-embarques-systemes-integres-5SSY00_217.html. [Accès le 29 10 2025].
- [2] Digilent, «Basys 3,» [En ligne]. Available: <https://digilent.com/reference/programmable-logic/basys-3/start>. [Accès le 29 10 2025].