

ASSILA BELHADJ MEFTEH RYM

📍 5, Rue jacques callot
54500 Vandoeuvre les Nancy

☎ +33(0) 7 83230360

@ rymassila@gmail.com

 <https://www.linkedin.com/in/rym-assila-belhadj-mefteh-b208a3167/>









FORMATION

Université de Lorraine	Master EEA électronique énergie électrique automatique	📍 France
2017-2019	Parcours: électronique embarquée.	
Université de Carthage	Master Professionnel en commande des Systèmes industriels.	📍 Tunis
2016-2017		
Université de Carthage	Licence appliquée en technologie électronique et communication	📍 Tunis
2013-2016	Parcours: électronique embarquée.	





EXPÉRIENCE





CTN	Stage -Développement de logiciels	
2017- (3 mois)	Conception et réalisation d'un outil de test automatique pour les compteurs intelligents DLMS / COSEM.	📍 Tunis
Tunisie Télécom	Résolution de problèmes en cas de pannes sur le réseau internet.	
2015- (4 mois)	Assistance aux clients sur les outils informations.	📍 Tunis

MINI PROJETS



PROJET FPGA	Conception d'un circuit numérique sur FPGA Altera d'un jeu vidéo (Pacman Technologies: VHDL, FPGA Cyclone IV, Standard VGA.	
PROJET Arduino	Contrôle/commande à distance du système de climatisation d'un véhicule. Technologies: Module GSM, carte Arduino .	
PROJET DSP	Réalisation d'un oscilloscope numérique. Technologies utilisées: La carte EasyPIC Fusion TM v7.	
PROJET Big Data (En Cours)	Clustérisation de données volumineuses avec les réseaux de neurones de type SOM (Self-Organizing Maps): État de l'art et mise en pratique. Technologies : VHDL, C++	
PROJET Multiplieur de Booth	Conception d'un multiplieur de Booth 16× 16 et son intégration dans un microprocesseur (8bits MIPS). Technologies: VHDL, ModelSim	
PROJET Réseau sur puce	Caractérisation d'un réseau sur puce Technologies : SystemC	

EXPERTISE

Altium 
Matlab 
Quartus/ModelSim 
Cadence 

LabView 
C,C++ 
java 
VHDL 

LANGUES

Arabe 
Français 
Anglais 
Espagnol 