

學習收穫：

我在這次的 Lab01 學到了 Mux, Demux, D_Flip_Flop, Toggle_Flip_Flop 以及 Crossbar 等邏輯閘的結構，並且用 Verilog 實作後，對於 Verilog 的基本語法和 Testbench 的撰寫也更加熟悉。

在 Crossbar_4x4_4bit 的模組部分並沒有發現任何的 input、output pair 的 error，根據 testbench 的測試，任意 input 皆可到達任意的 output。

在 Crossbar_4x4_4bit_fpga 的部分在功能上正確實現，但是在 LED 燈的部分在正確輸出的前提下只能將一個 output bit 對應到一個 LED 訊號，並沒有成功將一個 bit 對應到兩個 LED 訊號。

Testbench 的設計方法：

Crossbar 2x2 4bit

case 1:

先設定 in1 = 4'b0000, in2 = 4'b1111, control = 1'b1

如果 out1 == 4'b1111 && out2 == 4'b0000 就顯示 correct!，反之則是 false!

case 2:

設定 control = 1'b1

如果 out1 == 4'b0000 && out2 == 4'b1111 就顯示 correct!，反之則是 false!

Crossbar 4x4 4bit

分別將 input 和 output 一一對應並測試在特定的 control 數值下能否正確輸出，若正確會輸出 correct!，反之則是 false!

(control 中的 x 代表任意數值，在此用 1 代替)

測試結果: 任意 input 皆可正確傳送到特定的 output 中，未有投影片中所及的 input 和 output pair 的 error.

Route 1:

(因為一條 input 可能有不同路徑到同一 output，因此分 2 個 route 討論)

case 1 in1 out1 xxx00	case 11 in3 out3 000xx	case 4 in2 out2 xx000
case 2 in1 out2 xx001	case 12 in3 out4 01xxx	case 5 in3 out3 11xxx
case 3 in1 out3 0x1x1	case 13 in4 out1 x111x	case 6 in3 out4 100xx
case 4 in1 out4 1x1x1	case 14 in4 out2 x110x	case 7 in4 out3 010xx
case 5 in2 out1 xxx01	case 15 in4 out3 10xxx	case 8 in4 out4 110xx
case 6 in2 out2 xxx11	case 16 in4 out4 00xxx	

case 7 in2 out3 0x1x0

case 8 in2 out4 1x1x0

case 9 in3 out1 x011x

case 10 in3 out2 x010x

Route 2:

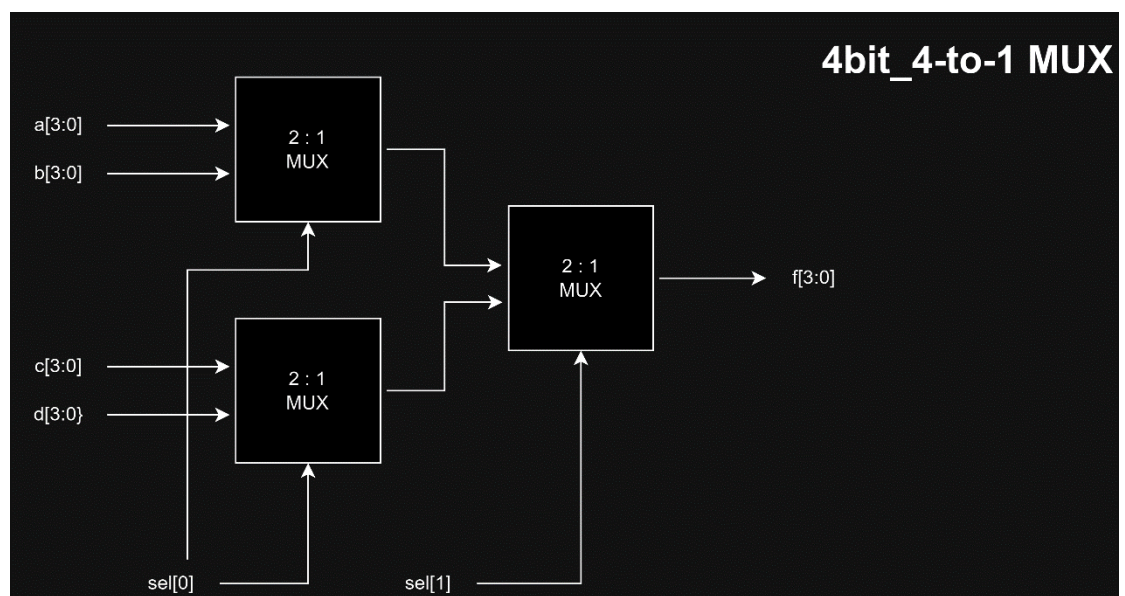
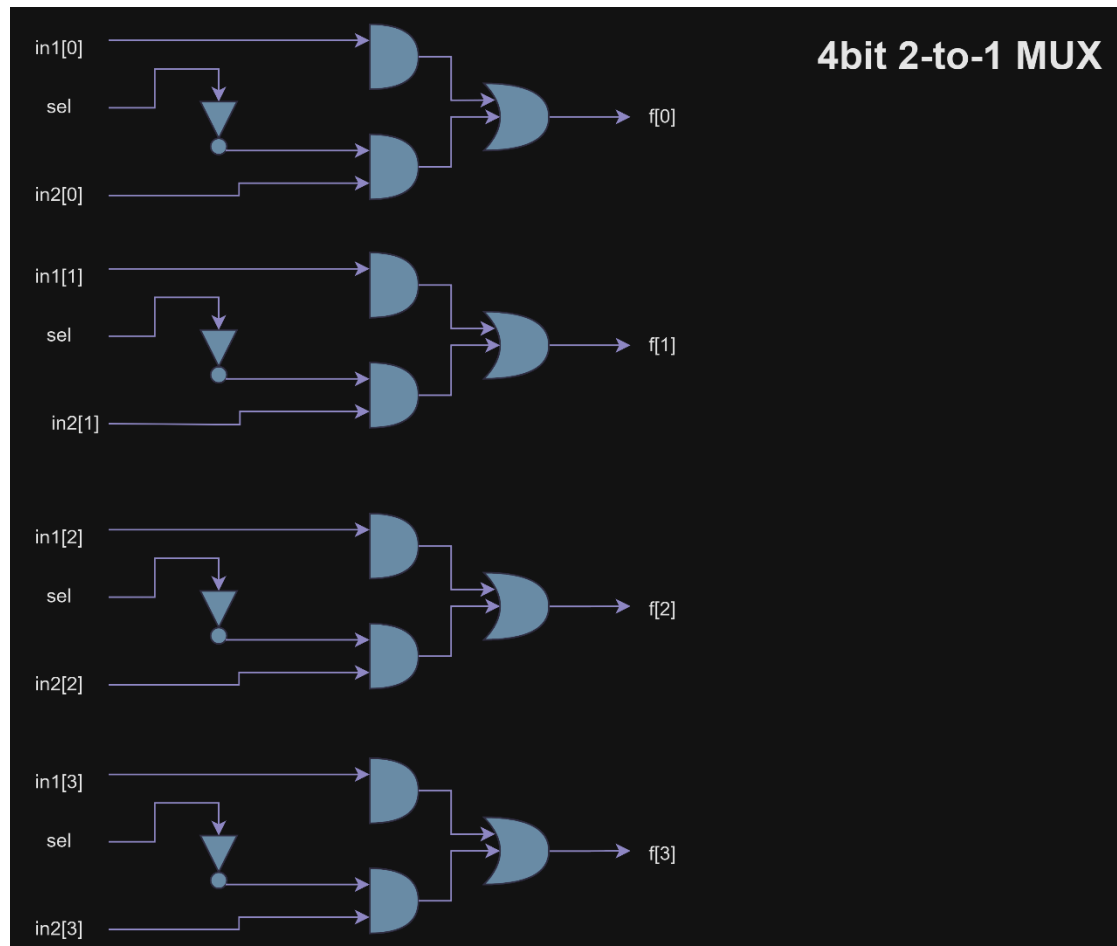
case 1 in1 out1 xx011

case 2 in1 out2 xxx10

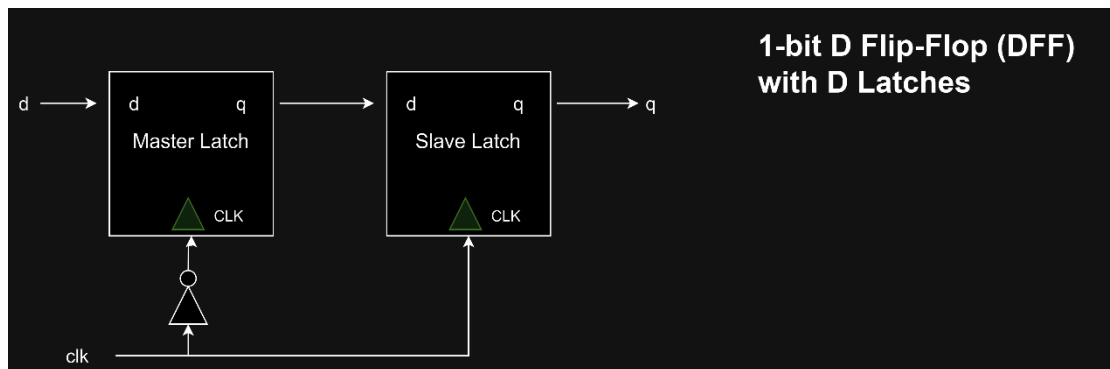
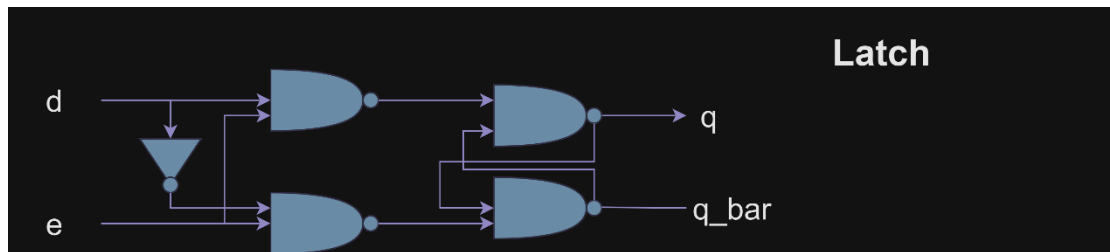
case 3 in2 out1 xx010

邏輯電路圖 : (MUX->DFF->Dmux->Crossbar->TFF)

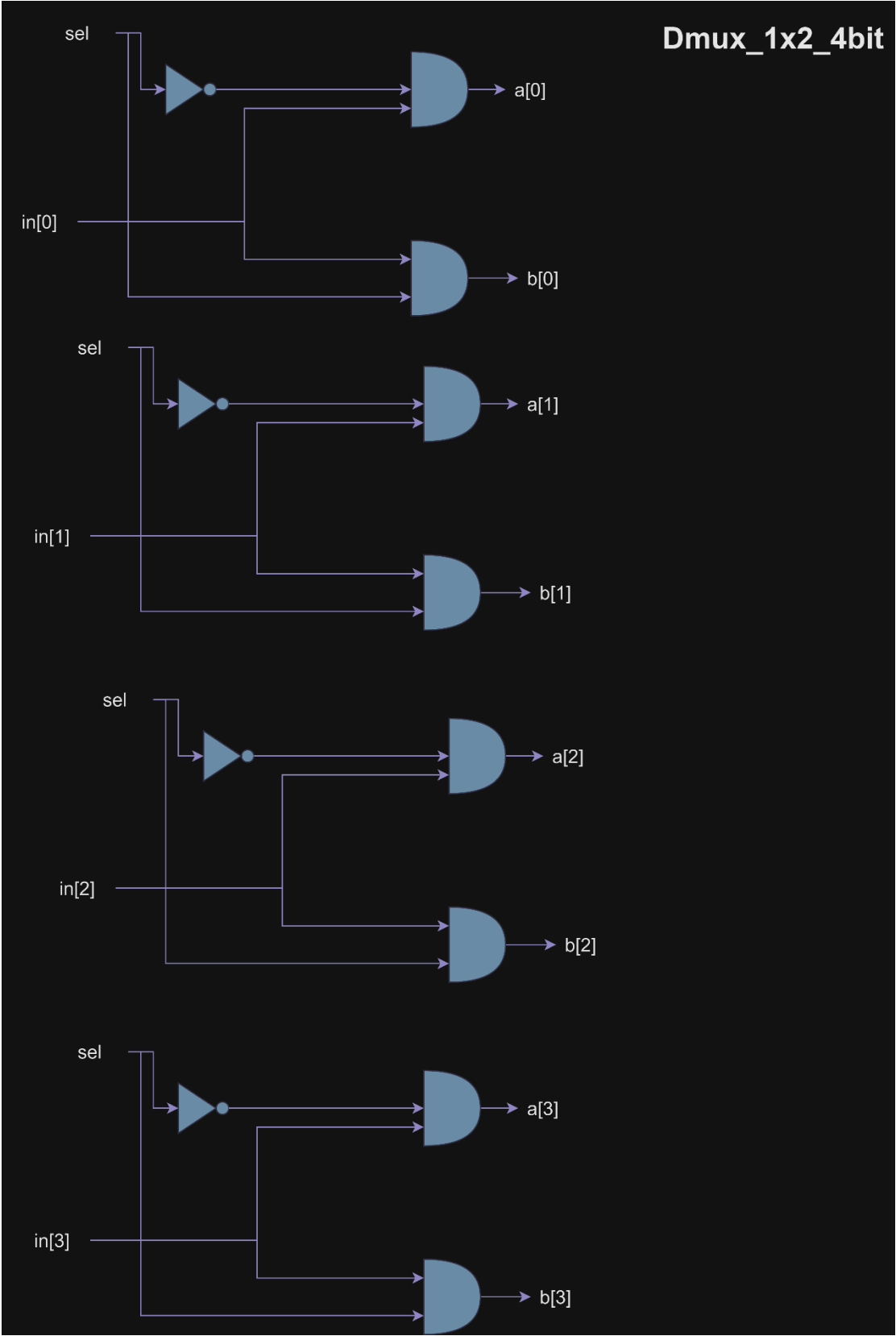
MUX

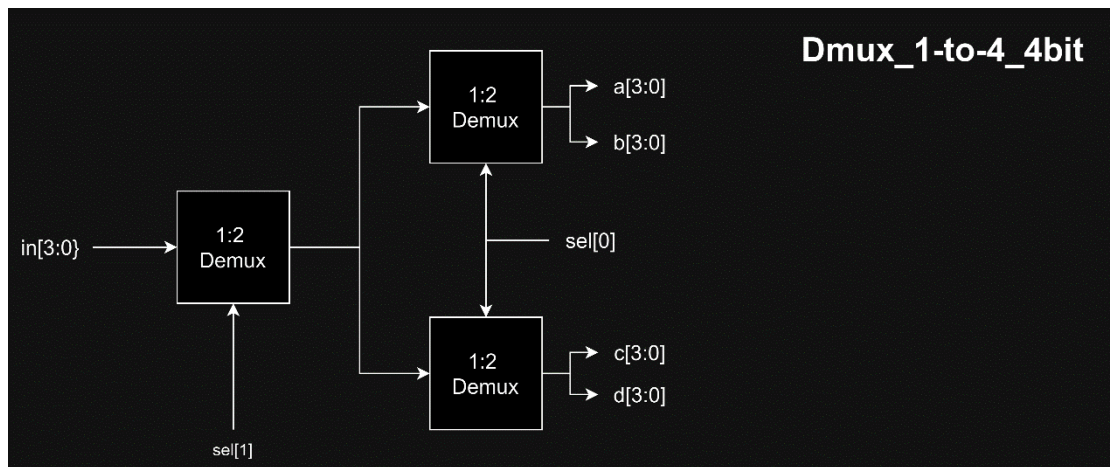


1bit D Flip-Flop (DFF) with D Latches

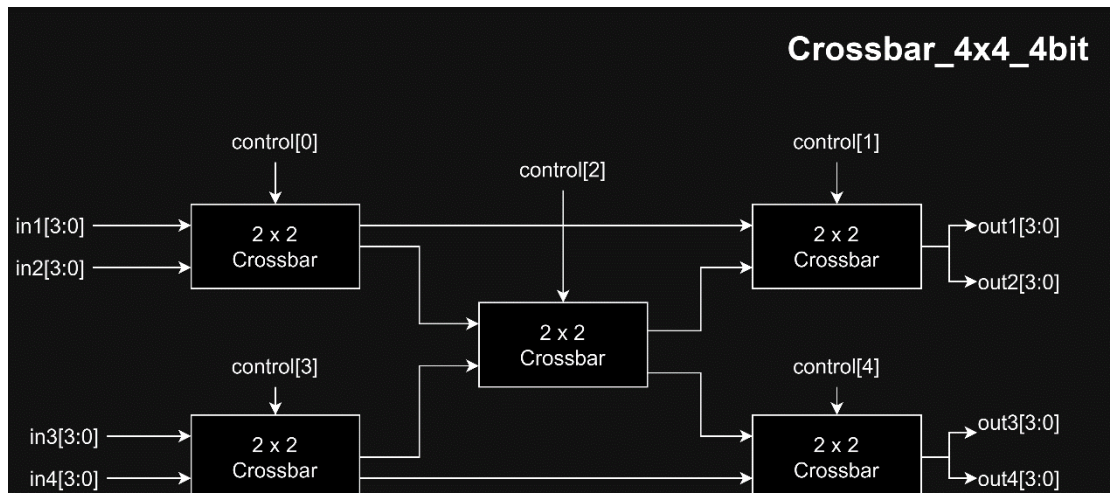
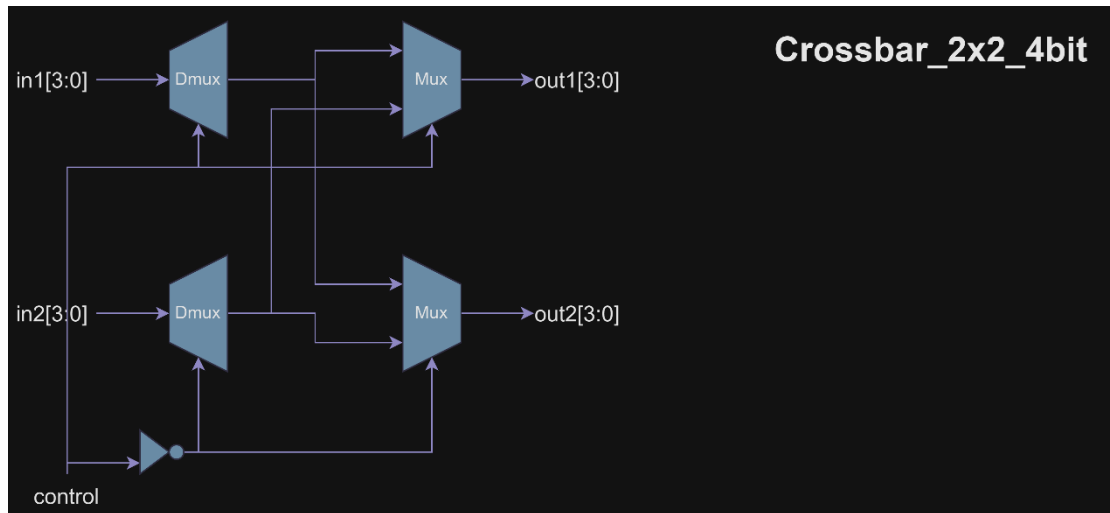


Dmux





Crossbar



Toggle_Flip_Flop

