2026 Digital IC Design Homework 2

|  |  |
| --- | --- |
| NAME | 賴韋辰 |
| Student ID | N26132071 |
| **Functional Simulation Result** | |
| Pass | |
| # Load canceled  # Compile of FA.v was successful.  # Compile of HA.v was successful.  # Compile of Mul\_Mod.v was successful.  # Compile of RCA.v was successful.  # Compile of testfixture.sv was successful.  # 5 compiles, 0 failed with no errors.  # Load canceled  vsim -gui work.testfixture  # vsim -gui work.testfixture  # Start time: 12:48:57 on Oct 01,2025  # Loading sv\_std.std  # Loading work.testfixture  # Loading work.Mul\_Mod  # Loading work.RCA  # Loading work.FA  run -all  # Begin testing full\_modular\_multiplier  # Test 1: A=2125996, B=2235065 => Z=908655 [PASS]  # Test 2: A=4874107, B=2121067 => Z=7210127 [PASS]  # Test 3: A=2817966, B=408065 => Z=2757552 [PASS]  # Test 4: A=7247692, B=3401214 => Z=5175090 [PASS]  # Test 5: A=5295674, B=1532595 => Z=8085376 [PASS]  # Test 6: A=2778196, B=7775964 => Z=4192923 [PASS]  # Test 7: A=6849659, B=3769492 => Z=5242908 [PASS]  # Test 8: A=8078964, B=3142723 => Z=6104497 [PASS]  # Test 9: A=5499700, B=4593447 => Z=6168991 [PASS]  # Test 10: A=7266683, B=8328230 => Z=4244363 [PASS]  # === TEST SUMMARY ===  # Total tests: 10  # Passed : 10  # Failed : 0  # ====================  # \*\* Note: $finish : C:/Users/Winston/Documents/GitHub/Digital-IC/lab2/file/testfixture.sv(62)  # Time: 10 ns Iteration: 0 Instance: /testfixture  # 1  # Break in Module testfixture at C:/Users/Winston/Documents/GitHub/Digital-IC/lab2/file/testfixture.sv line 62  # End time: 12:49:27 on Oct 01,2025, Elapsed time: 0:00:30  # Errors: 0, Warnings: 5 | |
| **Description of your design** | |
| HA.v, FA.v, RCA.v: HW2 的Mul\_Mod module 是調用HW1的half adder, full adder, ripple carry adder電路來實現  Mul\_Mod.v: 在電路中新增的wire 可以參考下圖   * 輸入：A, B 輸出：Z (Z = (A\*B) mod Q * 首先，mul\_1 是將 A 與 B[22:17] 相乘後，再向左移17位的結果，而 mul\_2  則是 A 與 B[16:0] 的乘積。接著，將 46 位元的 mul\_1 與 40 位元的 mul\_2 透過漣波進位加法器 (RCA) 相加，得到 46 位元的 s\_1。 * 由於 mul\_1 和 mul\_2 的位寬不同，Lab 1 中所使用的 RCA 經過改良，增加了一個額外的 WIDTH 參數，以便加法器能進行填充 (padding) 對齊。此一方法亦可解決後續所有因位寬不同而產生的加法問題。 * 後續步驟依照電路圖進行：將 s\_1[45:0] 賦值給信號 U，並將 U[45:22] 賦值給 V。再來，將 24 位元的 V[23:1] 與 14 位元的 V[23:10] 以 RCA 相加，得到 V1[24:0]。然後將 V1 與 V[9:0] 串接 (concat)，以得到 35 位元的 c\_1。 * 為了將 V[23:1]、V[23:0] 與 V<<1 相加，此處利用兩個 RCA 實現，最終得到 V3。其中，V<<1 的操作是直接將 V 與 1’b0 進行串接。完成後，將 V3[34:11] 賦值給信號 W。 * 接下來，將 W[23:13] 減去 W[10:0] 以得到 s\_3。依據電路圖，將 (W[0] ^ s\_3[10])、s\_3[9:0] 與 W[12:0] 串接後得到 c\_2。然後，將 U[23:0] 賦值給信號 Y，再將 U[23:0] 減去 c\_2[23:0] 得到 s\_4，s\_4[23:0] 再減去 Q 則得到 s\_5。 * 最終，根據 s\_5 的most significant bit 來判定數字的正負號。若結果為負數，則將 s\_4[23:0] 賦值給 Z；反之，則將 s\_5[23:0] 賦值給 Z。 | |