

# Plataforma de pruebas para interfaces de red en tiempo real basado en un sistema embebido

Franco S. Caspe

Grupo SITIC - Dpto de Ing. Electrónica  
Facultad Regional Bahía Blanca  
Universidad Tecnológica Nacional.  
Bahía Blanca - Argentina  
francocaspe@hotmail.com

Emmanuel Pita

Grupo SITIC - Dpto de Ing. Electrónica  
Facultad Regional Bahía Blanca  
Universidad Tecnológica Nacional.  
Bahía Blanca – Argentina  
emmapita@frbb.utn.edu.ar

Galasso, Christian L.

Grupo SITIC - Dpto de Ing. Electrónica  
Facultad Regional Bahía Blanca  
Universidad Tecnológica Nacional.  
Bahía Blanca – Argentina  
Servicio de Análisis Operativos, Armas, y Guerra  
Electrónica. Armada Argentina.  
Puerto Belgrano – Argentina.  
christian\_galasso81@yahoo.com.ar

Miguel A. Banchieri.

Grupo SITIC - Dpto de Ing. Electrónica  
Facultad Regional Bahía Blanca  
Universidad Tecnológica Nacional.  
Bahía Blanca – Argentina  
mbanch@frbb.utn.edu.ar

**Resumen**—En el presente trabajo se detalla el diseño de un sistema embebido que ejecuta rutinas de prueba de hardware sobre una placa de red de una computadora no estándar para uso específico. El dispositivo desarrollado evita la necesidad de ocupar estas computadoras para ejecutar los tests, por lo que se debieron cumplir los requisitos a nivel de hardware y software a fin de igualar la performance y confiabilidad de la rutina original. La implementación del software implicó programar desde cero las pruebas sobre un microcontrolador, basándose en la documentación y especialmente en una serie de análisis, realizados con anterioridad al proyecto, referidos al Handshaking. Además, el puerto de conexión de la placa de red al banco de pruebas, fue también diseñado respetando los esquemas de conexión originales. En este trabajo se describen las etapas de análisis y desarrollo hasta llegar a un prototipo funcional. Finalmente se comprueba el correcto funcionamiento mediante el uso del sistema y de la rutina preexistente.

**Palabras clave**—Banco de pruebas; microcontrolador; Sistema Embebido; Interoperabilidad.

## I. INTRODUCCIÓN

Bajo determinadas condiciones de operación, la verificación y puesta a punto de determinados componentes del hardware de un sistema puede demandar mucho tiempo, interrumpir operaciones de relevancia o incluso sacarlo de servicio.

Para el caso específico de este trabajo, se tiene un sistema de tiempo real duro, de arquitectura cerrada, conformado por una red de computadoras interconectadas cada una por varias placas de comunicación. Cada una de estas realiza un enlace serie, punto a punto, formando una topología de tipo malla. Además, debido a las condiciones de elevado ruido e

interferencia en dónde se monta la red, cada una de las líneas de comunicación es de tipo diferencial. El problema reside en la ejecución de rutinas de verificación sobre estas placas, que implica la interrupción de las operaciones normales de la computadora que presenta falla, asimismo, la naturaleza del dispositivo a testear conlleva en algunos casos la necesidad de utilizar una segunda computadora, interfiriendo aún más con el comportamiento normal del sistema. El mismo problema se presenta cuando es necesario chequear el estado de placas de repuestos o recién reparadas.

La incapacidad de trasladar alguna de estas computadoras fuera del área en donde operan hace imposible la ejecución de pruebas en los talleres con condiciones controladas, es decir fuera de campo, complicando la determinación de las fallas. Por último, la antigüedad del sistema trae aparejada una baja fiabilidad de los procesos de carga de las rutinas (a disquete) y el uso de un entorno de usuario desactualizado que es operado generalmente con teletipo, por lo que los métodos de almacenamiento de los resultados y el estado de los terminales dificultan aún más el trabajo.

Estos inconvenientes originaron la necesidad de desarrollar un sistema portable, autónomo, que implemente las rutinas de verificación de hardware con el objetivo de liberar al sistema y facilitar la tarea. Debe tener la capacidad de realizar todas las pruebas originales, algunas se realizan off-line y otras on-line, de manera que no solo debe poder albergar una placa de comunicación sino que también debe ser de dimensiones reducidas para facilitar el conexionado a una computadora de la red. Además debe poder ser controlado por una PC comercial, mejorando así la experiencia del usuario.

## II. FUNDAMENTOS

Basándose en los requerimientos del sistema, se propone el desarrollo de un banco de pruebas portátil utilizando para ello un microcontrolador. El objetivo es implementar en el firmware las operaciones de verificación y testeo, y a su vez, sobre el hardware, una interfaz de conexión de la placa de red similar a la de la computadora original, de esa manera se obtendrá una plataforma de prueba confiable, robusta y fácil de conectar. Además, debe poseer una interfaz de usuario similar a la anterior permitiendo así que un operador entrenado en el sistema preexistente esté preparado de antemano para hacer uso del nuevo banco de pruebas.

El desarrollo se aborda desde la concepción del banco de pruebas como un sistema que porta una pila de protocolos de comunicación, similares a los que se utilizan en la red de computadoras. Si este sistema cumple además con las especificaciones globales del diseño, entonces se tendrá la capacidad de realizar las rutinas tanto off-line como on-line. Cuando se contempla este último caso, puede pensarse al banco de pruebas como un nodo extra dentro de la red, así la conexión puede diagramarse siguiendo al modelo de referencia OSI [1] simplificado. Dado que se pretende emular parte del comportamiento de la computadora original, manejando la misma sintaxis de codificación de los datos, y que la arquitectura de la conexión punto a punto contempla el uso de líneas de estado, las capas de sesión y presentación son omitidas de antemano. El modelo preliminar se muestra en la Fig. 1.



Figura 1. Modelo OSI simplificado.

Partiendo del modelo, se observa en primer lugar que la capa física ya está determinada de antemano por los requisitos globales: el sistema se interconecta a través de las placas de red a evaluar. Para el desarrollo del resto de las capas, se opta por utilizar un microcontrolador, particularmente un STM32F4 [2], montado sobre la placa de evaluación Discovery [3]. Este kit es económico, fácil de conseguir, y lo suficientemente potente para reproducir las tareas de la computadora original. El hardware a desarrollar debe disponer de un conector para una placa de red y un zócalo para conectar el kit de desarrollo. Adicionalmente deberá contar con los adaptadores de nivel necesarios para permitir la comunicación entre las distintas familias lógicas (TTL y LVTTTL)

En primer lugar se diagrama una capa de interacción entre el kit y la placa de red, que permite el manejo de los pines de entrada/salida y la generación de reloj. Sobre ella se agrega la capa de enlace, que emula una conexión al bus paralelo de la computadora original. Esta última permite la comunicación a nivel lógico generando peticiones de envío y recepción de datos, acorde el estándar del sistema.

Debido a que no se utilizará el banco de pruebas para generar enlaces indirectos con otros dispositivos en red, contrariamente a lo que sucede en la red de computadoras, no es necesaria la implementación del enrutamiento de la información transmitida. De manera que las capas de red y de transporte quedan también descartadas.

La capa de enlace se embebe en el firmware del banco, y será controlada directamente por la de aplicación. Esta última es la que incluye las rutinas de prueba on-line y off-line, satisfaciendo los requerimientos temporales del bus y la red. Adicionalmente deberá considerarse la implementación de un front-end o interfaz de usuario que permita ejecutar los tests haciendo uso de una PC. Esto se logra en principio estableciendo una comunicación por medio de la UART del microcontrolador.

En la Fig. 2 se puede apreciar un diagrama en bloques del sistema planteado.

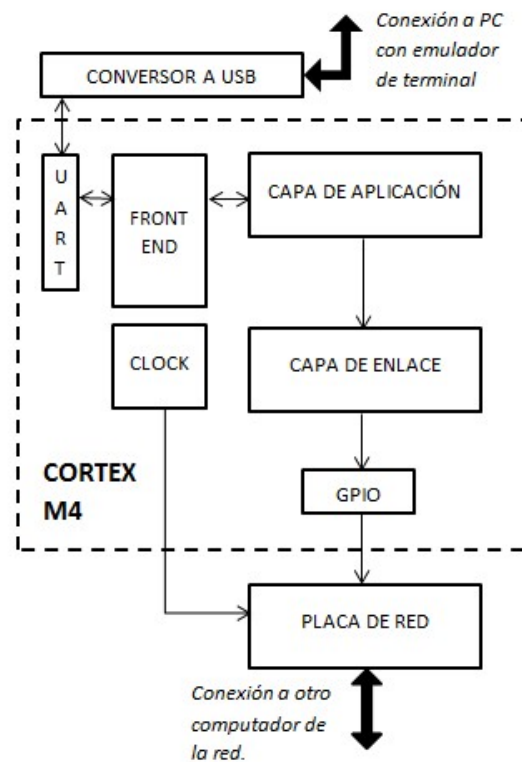


Figura 2. Diagrama funcional del banco de pruebas.

## III. DESARROLLO

### A. Implementación del hardware

Analizando la descripción del sistema, se observa que el microcontrolador debe contar con dos interfaces de entrada/salida. La primera es la conexión a la PC, la cual se resuelve con el uso de una interfaz de tipo puerto serie virtual [4], que permite la conexión con las líneas UART del micro, a través de un dispositivo USB que emula un puerto serie COM

conectado a la computadora. La segunda interfaz es una conexión en paralelo entre el kit y la placa de red, que simula ser el bus de la computadora que estamos reemplazando. Para adaptar los niveles de salida del microcontrolador, se utilizan buffers open-drain y resistencias de pull up. Para las líneas de entrada al kit, que toleran 5 V, no se implementa ningún cambio de nivel. Además se respeta en el diseño del PCB el conector original de 2 líneas de 65 contactos de la placa de red.

La línea de reloj de 4 MHz del bus se genera con un timer del microcontrolador. Fue considerado en el PCB como un camino de RF por lo cual se lo blindó para disminuir la interferencia. Para ello, se lo encerró entre tres pistas de masa, dos en la capa superior, que lo acompañan durante su recorrido y una pista adicional en la capa inferior que lo acompaña por debajo.

Para realizar tests de comunicación entre placas de red, se agregaron borneras de entrada/salida que permiten conectar el dispositivo con una computadora o eventualmente con otro banco semejante. El diseño se completa con 6 leds indicadores que monitorean el funcionamiento de las líneas de control, y una fuente switching de 5 V y 3 A. En la Fig. 3 se muestra un esquema del conexionado del hardware.

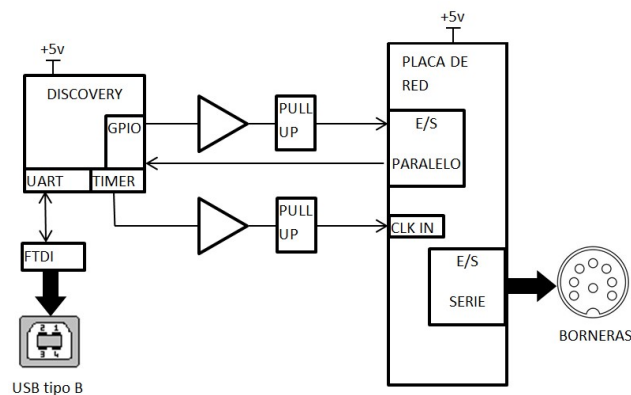


Figura 3. Esquema de conexión del hardware

### B. Desarrollo de la capa de enlace

El firmware del banco de prueba está estructurado de manera que se adapte al modelo de capas estipulado anteriormente. La capa de enlace permite comandar a la placa de red para enviar o recibir datos a través de líneas de control. Esta información es escrita o recibida sobre el bus paralelo. Además incorpora el comportamiento del selector de prioridades del computador original, pero de una manera mucho más simplificada: cuando se recibe una petición de la placa, por medio de una interrupción, el microcontrolador la habilita a transferir en todos los casos la información. Los distintos estados de operación del hardware pueden monitorearse a través de los flancos de las líneas de control. Las interrupciones asociadas a estas líneas levantan banderas (flags) de estado que pueden ser leídas por la capa de aplicación. Las funciones transmisión y recepción de datos hacen uso de un contador de palabras enviadas o recibidas, que permite mantener el control sobre las transmisiones y detectar errores.

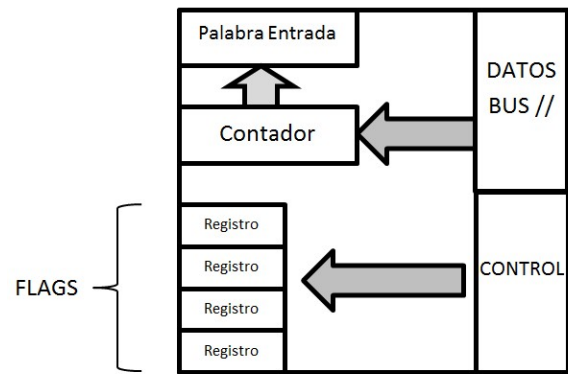


Figura 4. Estructura de la capa de enlace de entrada.

La implementación de la capa de enlace constituyó la actividad más laboriosa, porque el fabricante del sistema no provee documentación referida al estricto temporizado, al manejo de líneas de control, y al transporte de datos a través del bus paralelo. Esta información se tuvo que obtener en base a diversas pruebas hechas con anterioridad al desarrollo utilizando un analizador lógico y un capturador de trama específico desarrollado también por el SITIC [5]

Un diagrama funcional se muestra en la Fig. 4. La capa de enlace conceptualmente incluye uno para la entrada y otro similar para la salida.

### C. Sobre la capa de aplicación

El programa original que es ejecutado por las computadoras, para probar la rutina de chequeo, se realiza sobre el microcontrolador logrando las mismas funcionalidades. Dicha implementación no se trata de un port directo, si no de una reprogramación completa de todas las rutinas ya que el hardware y el entorno de operación cambiaron. De hecho, la versión original se encuentra programada en un lenguaje de alto nivel similar al BASIC, es ejecutado sobre un intérprete del lenguaje y hace uso de muchas características de la compleja arquitectura original que no se disponen en el hardware del microcontrolador. Es por eso que la capa de aplicación se elaboró únicamente en base a la documentación original de la aplicación de prueba que describe, brevemente y desde una aproximación de alto nivel, los comandos con los que la computadora interactúa con la placa de red y los eventos que deben desencadenarse en caso de funcionamiento con o sin error. Todo esto pudo implementarse una vez corroborado el correcto funcionamiento del manejo del temporizado y control en la capa de enlace desarrollada.

Cuando se ejecuta el programa de prueba en modo off-line, pueden realizarse pruebas exhaustivas sobre la máquina de estados de la placa de red. Se hace uso de las características de la capa de enlace verificando las líneas de control, el comportamiento correcto de la placa frente a comandos de reset o transporte y la capacidad de transmitir información en un lazo interconectando entrada con salida. Si se opta por la modalidad on-line, estableciéndose una comunicación punto a

punto entre 2 placas, el programa incorpora entre otras rutinas la capacidad de enviar un conjunto de palabras preestablecidas a través de una de las placas, de manera de poder detectar falla en el otro extremo de la conexión.

#### D. Implementación del entorno de usuario

Sobre el computador original, el programa de prueba se controla a través de un intérprete de comandos con un teletipo. La nueva interfaz de usuario debía ser en principio similar a la primera, por lo que se programó sobre el micro un intérprete de comandos por UART que admite la sintaxis del programa original. Los comandos se escriben usando un emulador de terminal. Esto proporciona facilidades, más allá de la portabilidad, que la consola anterior no poseía: fácil grabación de la salida, la posibilidad de borrar una instrucción errónea, automatizar secuencias de comandos, y la posibilidad a futuro del desarrollo de una nueva interfaz gráfica.

Adicionalmente, se expandieron las funciones originales, incorporando instrucciones de control, que permiten habilitar o deshabilitar el reloj del bus, customizar las rutinas de prueba, e introducir la posibilidad de trabajar en un modo de servicio o experto, que indica al usuario los valores de retorno de cada una de las operaciones a bajo nivel que se realizan, y del cambio de estado de los flags de control más importantes, disminuyendo el tiempo en la detección de fallas.

### IV. ENSAYOS REALIZADOS

Para comprobar el correcto funcionamiento del sistema se realizaron una serie de ensayos para verificar tanto el hardware como el firmware.

#### A. Ensayos off-line

En primer lugar, haciendo uso de una placa de red en estado operacional, se procedió a ejecutar la serie de tests off-line, interconectando la entrada de información con la salida, como se explicó anteriormente. La ejecución correcta de estas pruebas permitió descartar errores en la implementación del handshaking, dado que la máquina de estados de la placa de red respondió como se esperaba frente a los comandos de nuestro dispositivo.

#### B. Uso del banco para validar desarrollo

Habiendo corroborado el correcto funcionamiento de las rutinas offline, se utilizó el banco de pruebas para probar el funcionamiento del prototipo de un reemplazo [6] para las placas de red, que actualmente está en servicio.

Durante las pruebas en campo con este nuevo diseño de placa se pudieron observar fallas en la comunicación entre las consolas a grandes distancias. Estos errores se atribuyeron a un problema en el nivel de tensiones sobre el puerto serie de entrada de datos. Considerando las condiciones de operación de la red, se formularon dos posibles causas de error: en primer lugar, una posible desadaptación de impedancias que podría llegar a degradar los pulsos de manera que el receptor no llegue a discriminar entre los niveles lógicos esperados. Otra posible causa podía llegar a ser la aparición de un desfase entre las

líneas de datos y reloj, de forma que el receptor interprete incorrectamente los datos recibidos.

Debido a que estos errores no podían ser corroborados in situ, el banco de pruebas resultó una herramienta indispensable para generar en el laboratorio una aproximación de las condiciones de campo, con el objetivo de caracterizar efectivamente el desempeño del puerto serie de la nueva placa conectado a través de líneas de transmisión largas, y comparar este comportamiento con el de la versión original.

La experiencia consistió en generar tráfico entre la entrada y salida de una placa, ejecutando una variante del test off-line, utilizando para generar el lazo cerrado un cable de tipo par trenzado de 84 m. La variación residió en el hecho de que se envió siempre la misma palabra de manera de poder observar fácilmente con un osciloscopio el comportamiento de las señales.

Si bien, no se tuvieron en cuenta la totalidad de los factores que degradan la comunicación, como el ruido eléctrico del ambiente de trabajo, y las interferencias inducidas de cables aledaños; la longitud del cable utilizado permitió ver un comportamiento suficientemente aproximado al que se da en la red.

Dado que se estudió el efecto de una posible desadaptación en la línea, se consideró además la forma de terminación de las entradas del puerto serie de la nueva placa, que en su versión inicial, poseían una red de adaptación del tipo RC y una protección contra potenciales transitorios utilizando para ello diodos TVS [7]. Los esquemas se muestran en las Fig. 5 y 6.

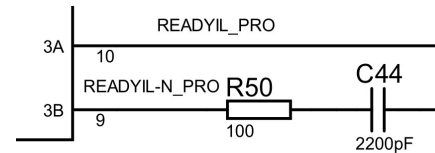


Figura 5. Terminación RC al final de la línea de entrada.

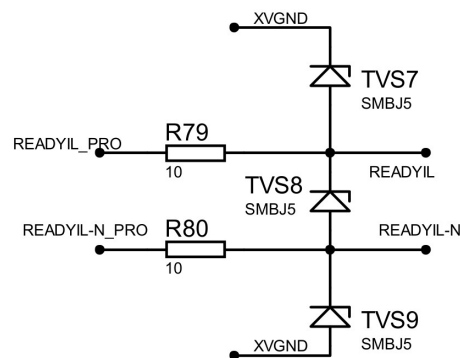


Figura 6. Protección de la entrada con diodos TVS.

Interesó determinar luego las líneas a medir. Se optó por monitorear las correspondientes a datos y reloj entrante y saliente, debido a que son las que poseen una frecuencia relativamente alta. Se realizaron las mediciones con el osciloscopio, en forma diferencial y modo de disparo único por flanco de bajada, registrando cada una de las veces en las que

se generó tráfico con el banco de pruebas. Fue testada de esta forma tanto la placa de red nueva como la original, y se compararon los resultados. Las gráficas extraídas del osciloscopio se muestran en las Fig. 7, 8, 9 y 10.

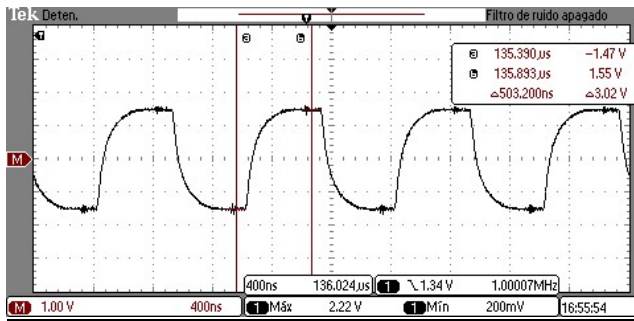


Figura 7. Reloj de entrada a la placa original.

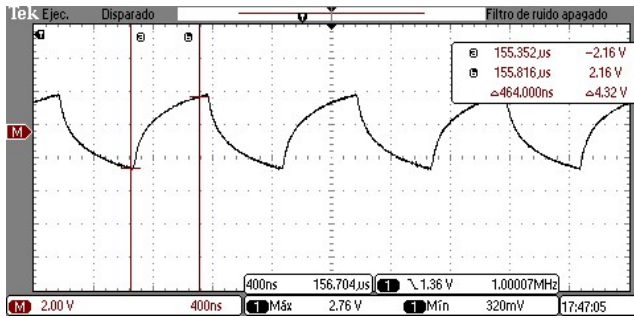


Figura 8. Reloj de entrada a la placa de repuesto.

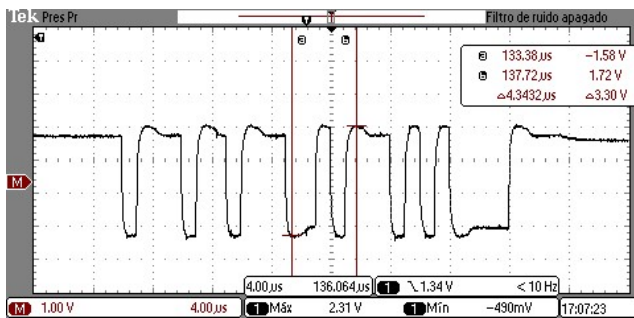


Figura 9. Datos entrantes a la placa original.

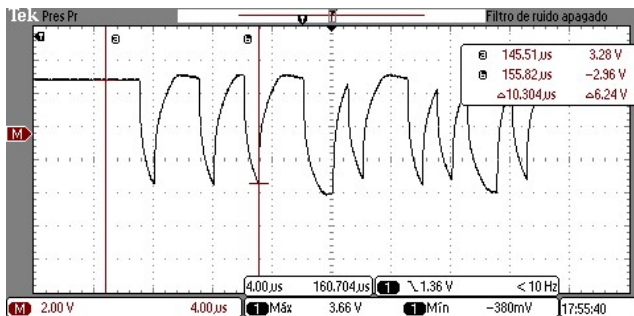


Figura 10. Datos entrantes a la placa de repuesto.

Comparando las formas de onda se observó una atenuación de los armónicos superiores de la señal de reloj entrante de la placa de repuesto respecto a la original, caracterizado por un incremento del tiempo de establecimiento y adicionalmente un desfase entre los relojes de entrada y salida. Estos problemas aparecieron también en la línea de datos. Las señales filtradas de la placa de repuesto indican que a las líneas de salida se les presentaba una capacidad equivalente a tierra que debe ser reducida. Debido a la similitud del cable de prueba con el que se encuentra en las redes de computadoras, se determinó que la capacidad parásita del cable no puede ser modificada, por lo que se procedió a retirar el capacitor terminador [8] y experimentar nuevamente. La capacidad del diodo de protección se consideró despreciable por lo que se lo conservó en su posición. Los resultados de los nuevos ensayos de la placa con el banco se muestran en las Fig. 11 y 12.

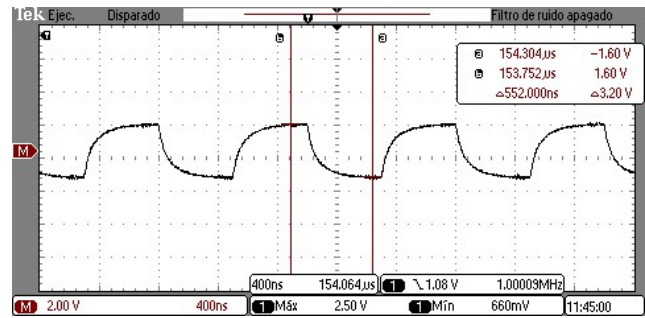


Figura 11. Reloj de entrada a la placa de repuesto modificada.

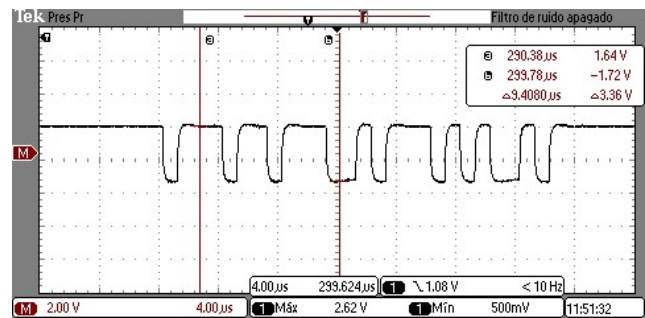


Figura 12. Datos entrantes a la placa de repuesto modificada.

Las pruebas posteriores con la terminación en R mostraron formas de onda similares a las de la placa original. Estas placas fueron posteriormente integradas a la red de computadoras sin mayores inconvenientes.

### C. Ensayos on-line

Para realizar esta serie de ensayos se debió establecer un vínculo en el laboratorio entre las interfaces a testear. Se extrajo una computadora de la red y, ejecutando la rutina original, se conectó al banco de pruebas intentando generar tráfico entre estos. Estas pruebas en principio no resultaron satisfactorias; la computadora acusaba error en la recepción de los datos mientras que el banco funcionaba aparentemente sin problemas. Con el objetivo de verificar el correcto envío por parte del banco, se hizo uso de un analizador lógico de 68



canales, monitoreando la comunicación entre nuestro dispositivo y su placa. Esta actividad se repitió sobre el bus de la computadora, utilizando para ello un conector especial, extensor, para monitorear las líneas que la comunican a su interfaz de red.

En las lecturas se observó que las transmisiones realizadas tanto por la computadora como por el banco eran correctas por lo que se determinó que los errores correspondían a una falla en la recepción de los datos en la placa de red de la computadora, dado el buen desempeño del banco durante la ejecución de las pruebas off-line.

Partiendo de esta hipótesis, con el analizador conectado a la computadora, y gracias a la repetición sistemática de uno de los test on-line, se logró capturar una transmisión errónea. La misma consiste en un bloque de 24 palabras, de 24 bits cada una, las cuales poseen únicamente un bit en estado alto que se va desplazando desde la primera posición hasta la última a lo largo de la transmisión. En esta captura puede observarse sobre el registro de desplazamiento (que convierte la transmisión serie en una palabra escrita en el bus) como la placa de red recibe aparentemente información errónea desde la línea serie, situación que se plasma en la captura como un bit que no es escrito donde se esperaba. Esto se muestra en la Fig. 13.

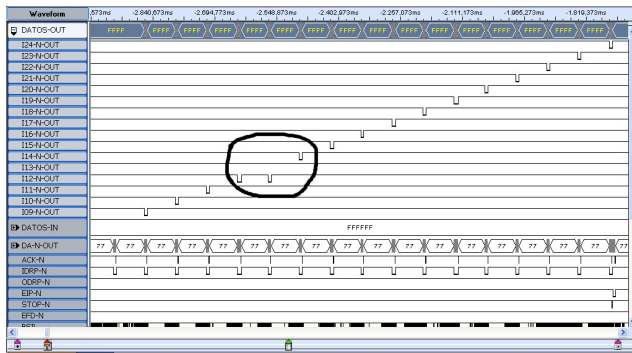


Figura 13. Captura de una trama errónea sobre el bus de la computadora

Este inconveniente posteriormente fue solucionado modificando el VHDL y reconfigurando la FPGA sobre la que se basa el diseño de la nueva placa de red. Se implementó un sistema para registrar las entradas asíncronas [9] (respecto del reloj interno de la FPGA) Esta técnica mejora notablemente la robustez de la comunicación puesto que permite salvar gran parte de los glitches leyendo siempre las líneas cuando los datos se encuentran en estado estable, a expensas de tener que contar obligatoriamente con temporizadores internos del orden de tres a cuatro veces la velocidad de reloj de la placa original.

## V. CONCLUSIONES

El uso del banco de pruebas se vuelve indispensable cuando se intenta acceder a funcionalidades que en otro momento quedaban reservadas a espacios poco convenientes o momentos de poca ocupación del sistema central. La adecuada capacidad del microcontrolador Cortex permitió la implementación de esta antigua rutina de prueba en alto nivel y parte del manejo del bus original en un nivel más bajo, permitiendo entre otras cosas, el reemplazo de disquetes, teletipos y equipos fijos de gran tamaño, mejorando la determinación de fallas y manteniendo la confiabilidad de los resultados.

Dado que los resultados fueron satisfactorios, se observa que existe una posibilidad fehaciente para continuar con el reemplazo de otras funciones y características del antiguo sistema y portarlas a esquemas y arquitecturas más modernas. El conocimiento adquirido por su estudio y el desarrollo del dispositivo aquí presentado, otorga la capacidad de mejorar, modificar, o simplemente actualizar aquellas partes que más lo necesiten. De esta manera podrían recuperarse algunos grados de libertad, perdidos debido a la evidente desactualización del sistema, a fin de permitir eventuales reajustes acorde a las necesidades del usuario.

## REFERENCIAS

- [1] Modelo OSI. Publicado por la "International Organization for Standardization". Disponible para acceso libre en: [http://standards.iso.org/ittf/PubliclyAvailableStandards/s020269\\_ISO\\_I EC\\_7498-1\\_1994\(E\).zip](http://standards.iso.org/ittf/PubliclyAvailableStandards/s020269_ISO_I EC_7498-1_1994(E).zip)
- [2] ST Microelectronics. Datasheet de la familia de microcontroladores STM32F405xx y STM32F407xx. Junio, 2013. Disponible en: <http://www.st.com/web/en/resource/technical/document/datasheet/DM00037051.pdf>
- [3] ST Microelectronics. Datasheet de la familia de la placa de desarrollo Discovery Febrero 2016. Disponible en: [www.st.com/resource/en/user\\_manual/dm00039084.pdf](http://www.st.com/resource/en/user_manual/dm00039084.pdf)
- [4] FTDI Chip. Hoja de datos del Convertidor UART a USB con interfaz de puerto serie virtual. Disponible en: [http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS\\_FT230X.pdf](http://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT230X.pdf)
- [5] "Diseño de un analizador de protocolo de bajo costo basado en FPGA". Nestor D. Campos, Martín Paz, Miguel A. Banchieri, Christian L. Galasso; Gustavo J. Díaz. VI Congreso de Microelectrónica Aplicada, UEA 2015 / Gustavo Ariel Merletti [et.al.] ; coordinado por Alejandro Sigfrido Pérez. - 1a ed. - San Justo : Universidad Nacional de La Matanza, 2015. E-Book. ISBN 978-987-3806-24-7.
- [6] "Desarrollo de un prototipo basado en FPGA". Galasso Ch. L.; Friedrich G. R.; Antonini A. A.; Díaz G. J. IV Congreso Microelectrónica Aplicada, UEA 2013, Memorias del Congreso. Friedrich G., Reggiani G., Coppo R., Baldini P., Iparraguirre J., Pellegrino S., Cayssials R (Editores); pp. 59 - 64. ISBN 978-987-1896-18-9.
- [7] "What are TVS diodes?" Semtech. TVS Application note. Disponible para acceso libre en: [http://www.semtech.com/images/promo/What\\_are\\_TVSDiodes.pdf](http://www.semtech.com/images/promo/What_are_TVSDiodes.pdf)
- [8] TI, Application Report, RS-422 and RS-485 Standards Overview and System Configurations. SLLA070D - June 2002 - Revised May 2010.
- [9] "LVDS 4x Asynchronous Oversampling Using 7 Series FPGAs". Nota de aplicación para las FPGA serie 7 de Xilinx. Marc Defosse. Abril 2012. Disponible para acceso libre en: <http://klabs.org/mapld04/tutorials/vhdl/presentations/methodologies.ppt>