

计算机系统结构实验

lab1: FPGA 基础实验-LED Flow Water Light

周旭东 521021910829

2023 April

摘要

学习使用 Xilinx 逻辑设计工具 Vivado 的基本操作，Verilog HDL 进行简单的逻辑设计与功能仿真并使用 1/0 Planing 添加管脚约束生成 Bitstream 文件。在此基础上实现 LED Flow Water Light 对设计。

目录

1	实验目的	2
2	实验原理	2
2.1	Vivado 工程文件结构	2
2.2	Flowing Light 实现分析	2
3	功能实现	3
3.1	一段时间后第二个灯亮起	3
3.2	循环实现八个灯的亮起	3
4	管脚约束	5
5	上板验证	6
6	问题与解决	7
7	总结与反思	7
8	致谢	8

3 功能实现

3.1 一段时间后第二个灯亮起

- 只需更改 `flowing_light.v` 文件内容
- 原代码 `else if(cnt_reg == 24'hffffff)` 中判断计数器到达 `ffffff` 时才调整灯灯亮灭
- 更改此行代码为 `else if(cnt_reg == 8'ha)` 即可使在第 10 个 clock 后更改为第二个灯亮。

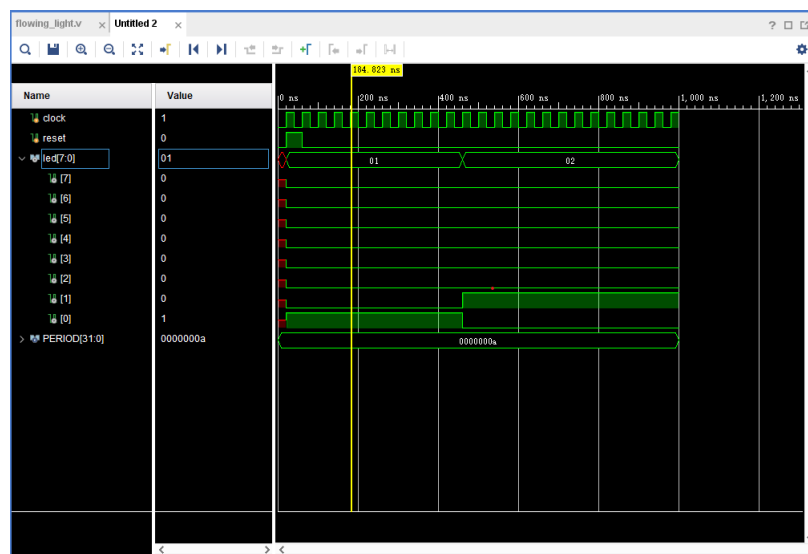


图 2: 第二个灯亮

3.2 循环实现八个灯的亮起

- `cnt_reg` 寄存器大小为 24 字节，导致无法在规定 clock 周期内实现八个灯的转换
- 更改代码 `reg[23:0] cnt_reg;` 为 `reg[1:0] cnt_reg;` 缩小寄存器的值，使之能在四个 clock 后循环
- 更改 `else if(cnt_reg == 24'hffffff)` 为 `else if(cnt_reg == 4'h1)`，判断每到此之变更灯的暗灭

最终代码为

```

1 module flowing_light(
2     input clock,
3     input reset,
4     output [7:0] led
5 );
6
7 reg[1:0] cnt_reg;
8 reg[7:0] light_reg;
9 always@(posedge clock)
10     begin
11         if(reset)
12             cnt_reg <= 0;
13         else
14             cnt_reg <= cnt_reg + 1;
15     end
16 always@(posedge clock)
17     begin
18         if(reset)
19             light_reg <= 8'h01;
20         else if(cnt_reg == 4'h1)
21             begin
22                 if(light_reg == 8'h80)
23                     light_reg <= 8'h02;
24                 else
25                     light_reg <= light_reg << 1;
26             end
27         end
28         assign led = light_reg;
29
30 endmodule

```

测试结果如图 3所示。

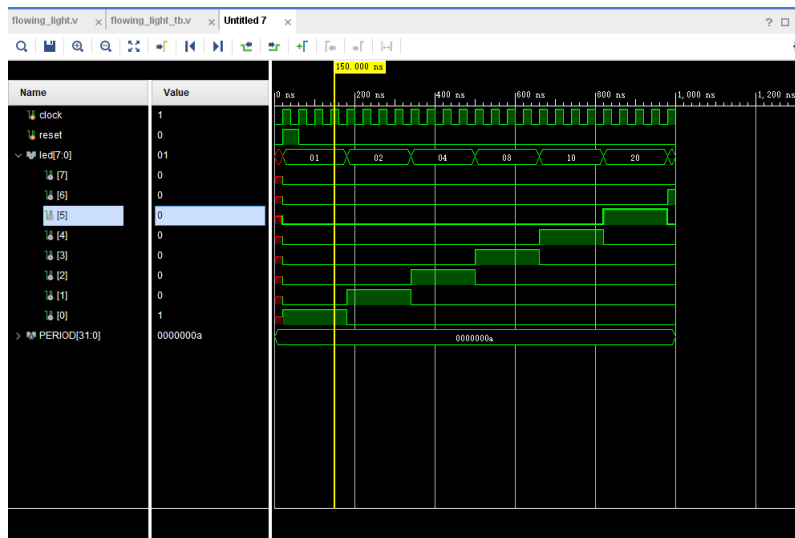


图 3: 八灯循环亮

4 管脚约束

添加管脚约束文件

```

1 set_property PACKAGE_PIN W23 [get_ports {led[7]}]
2 set_property PACKAGE_PIN AB26 [get_ports {led[6]}]
3 set_property PACKAGE_PIN Y25 [get_ports {led[5]}]
4 set_property PACKAGE_PIN AA23 [get_ports {led[4]}]
5 set_property PACKAGE_PIN Y23 [get_ports {led[3]}]
6 set_property PACKAGE_PIN Y22 [get_ports {led[2]}]
7 set_property PACKAGE_PIN AE21 [get_ports {led[1]}]
8 set_property PACKAGE_PIN AF24 [get_ports {led[0]}]
9 set_property IOSTANDARD LVCMOS33 [get_ports {led[7]}]
10 set_property IOSTANDARD LVCMOS33 [get_ports {led[6]}]
11 set_property IOSTANDARD LVCMOS33 [get_ports {led[5]}]
12 set_property IOSTANDARD LVCMOS33 [get_ports {led[4]}]
13 set_property IOSTANDARD LVCMOS33 [get_ports {led[3]}]
14 set_property IOSTANDARD LVCMOS33 [get_ports {led[2]}]
15 set_property IOSTANDARD LVCMOS33 [get_ports {led[1]}]
16 set_property IOSTANDARD LVCMOS33 [get_ports {led[0]}]
17 set_property PACKAGE_PIN AC18 [get_ports clock_p]
18 set_property PACKAGE_PIN W13 [get_ports reset]
19 set_property IOSTANDARD LVDS [get_ports clock_p]
20 set_property IOSTANDARD LVCMOS18 [get_ports reset]

```

利用 Vivado 的 IO planning 功能添加管脚约束，如图 4。

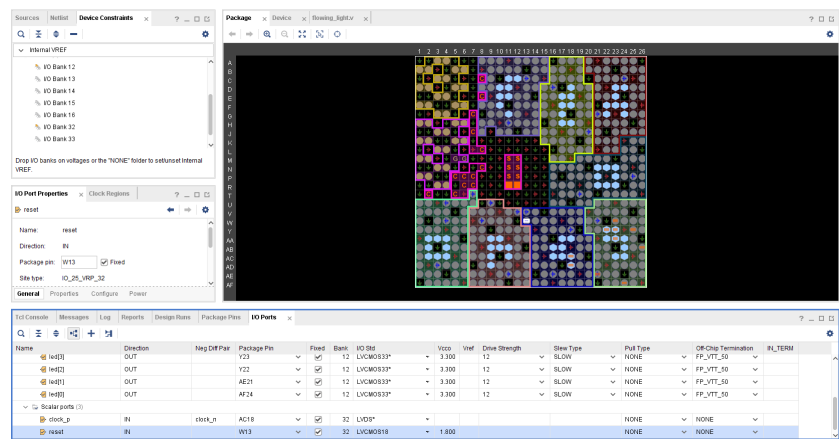


图 4: IO Planning 添加管脚约束

5 上板验证

使用 FPGA 开发版进行验证，结果如图 5 所示证明程序正确，实验成果良好。

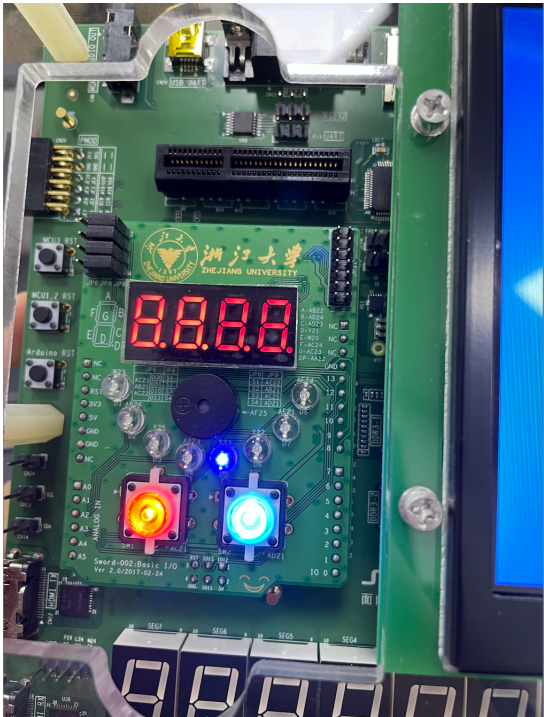


图 5: 实验板测试

6 问题与解决

在进行第一步实验时，发现除 0 号灯管外其余灯管处于高阻状态，value 为 Z，电平为蓝色，并影响后续实验。

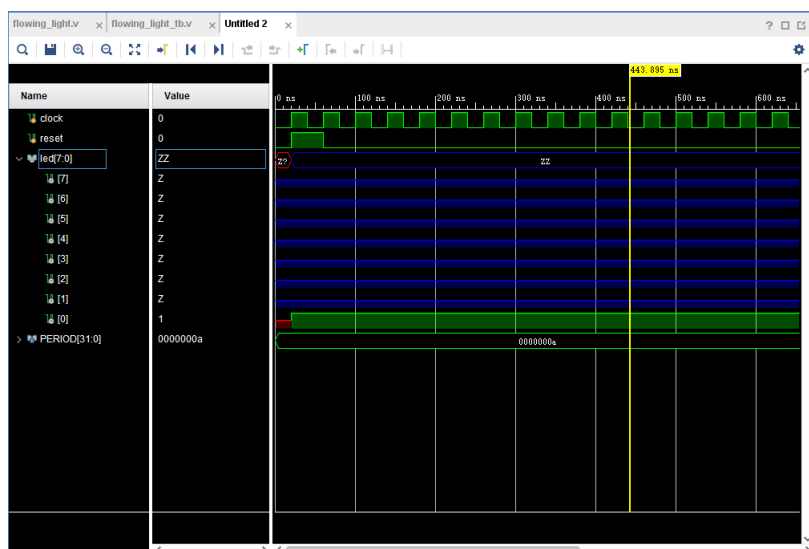


图 6: 高阻状态

发现问题为 output [7:0] led 错写为 output led导致。

7 总结与反思

实验 1 中，我学习使用 Xilinx 逻辑设计工具 Vivado 的基本操作，Verilog HDL 进行简单的逻辑设计与功能仿真并使用 1/0 Planing 添加管脚约束生成 Bitstream 文件。

对 Vivado 和 Verilog 语言有了初步认识，期待后续实验。

8 致谢

感谢刘雨桐老师为实验提供了良好的讲解。

感谢助教蔡明昕、黄正翔老师帮助我解决在实验中遇到的问题。

感谢黄小平老师及实验室提供的资源和硬件支持。

感谢在实验过程中给予我帮助的同学。