

THỰC THI VÀ ĐÁNH GIÁ MẠNG TRÊN CHIP SỬ DỤNG CÔNG CỤ SYNOPSISYS

IMPLEMENTATION AND EVALUATION OF NETWORK-ON-CHIP BY USING SYNOPSISYS TOOL

Phạm Văn Khoa

Trường Đại học Sư phạm Kỹ thuật Tp.HCM, Việt Nam

Ngày toà soạn nhận bài 17/5/2021, ngày phản biện đánh giá 26/5/2021, ngày chấp nhận đăng 28/6/2021.

TÓM TẮT

Mạng trên chip (network on chip - NoC) được xem là giải pháp hiệu quả trong hệ thống đa lõi thay thế cho các kiến trúc bus truyền thống. Trong bài báo này, hoạt động của một hệ thống trên chip ứng dụng khái niệm mạng trên chip được minh họa một cách hoàn chỉnh. Kiến trúc bộ định tuyến sử dụng cơ chế chuyển mạch gói, các giao diện giao tiếp mạng cũng như các thành phần lõi được thiết kế và thực thi sử dụng nền tảng phần cứng FPGA. Thêm vào đó, một giao diện đồ họa giao tiếp với người dùng được cung cấp nhằm để giám sát tình trạng hoạt động của mạng từ bên ngoài. Các kết quả về mặt thời gian, và công suất tiêu thụ của thiết kế được tổng hợp và phân tích với công cụ Design Compiler và công nghệ CMOS 90nm.

Từ khóa: mạng trên chip; chuyển mạch gói; mô hình lưới; công nghệ CMOS 90nm; công suất tiêu thụ.

ABSTRACT

For manycore systems, Network-on-chip (NoC) is a well-known efficient method for replacing traditional bus architectures. In this paper, operation of a system-on-chip applying the network-on-chip concept has been successfully demonstrated. Packet switching-based router architecture, network resource interfaces and process elements are designed and implemented using FPGA hardware platform. In addition, a Matlab-based graphical user interface are also provided in order to monitor the network traffic from outside. The proposed hardware was synthesized and analysed using Design Compiler tool and Synopsys 90nm CMOS technology to obtain timing, and power consumption results.

Keywords: Network-on-Chip; packet switching; mesh topology; CMOS 90nm technology; power consumption.

1. GIỚI THIỆU

Ngày nay, với sự phát triển của kỹ thuật vi mạch tích hợp, số lượng lớn các thành phần xử lý có thể được tích hợp trên một thiết kế vi mạch đơn. Bên cạnh việc mang lại ưu điểm như giảm giá và giảm kích thước vật lý, phương pháp này cũng tạo ra nhiều vấn đề đối với khả năng mở rộng, tái sử dụng và giới hạn hiệu năng của thiết kế. Để giải quyết các thách thức nêu trên đối với các thiết kế hệ thống đa lõi xử lý trên chip (Multiprocessor System on Chip - MPSoC), phương pháp thiết kế tập trung

vào khả năng giao tiếp thay vì tập trung vào khả năng xử lý được xem là giải pháp tiềm năng [1-3].

Kiến trúc liên kết đa lõi trên một thiết kế vi mạch đóng vai trò rất quan trọng trong việc quyết định hiệu năng và công suất tiêu thụ [1-2]. Triển khai ý tưởng từ mạng máy tính, mạng trên chip (Network on chip - NoC) với phương pháp chuyển mạch gói được xem là giải pháp hiệu quả cho việc liên kết các thành phần lõi thay cho các kết nối dây dẫn thông thường được đề xuất trước đó sử dụng mô hình bus. [1-4].

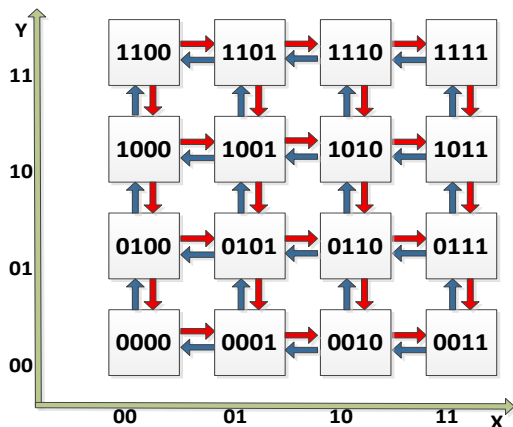
Trong thiết kế mạng trên chip, một điểm truyền thông trên mạng (node) bao gồm bộ định tuyến (router), giao diện kết nối tài nguyên mạng (Resource Network Interface - RNI) và các lõi xử lý [1, 2, 5]. Bộ định tuyến là thành phần quan trọng trong mạng truyền gói tin. Thông thường, mỗi bộ định tuyến có một số cổng tương ứng với các hướng kết nối bộ định tuyến lân cận [5-6]. Các bộ đệm được đặt tại các cổng để lưu trữ các gói tin gửi đi/nhận một cách tạm thời. Gói tin di chuyển qua các điểm truyền thông sử dụng phương pháp chuyển mạch dạng lưu trữ và chuyển tiếp.

Để khảo sát các khía cạnh trong thiết kế mạng trên chip, nghiên cứu này thực thi và phân tích một mô hình mạng trên chip cơ bản với các đặc điểm như cấu trúc liên kết mạng kiểu lưới 2 chiều, phương pháp định tuyến XY, độ dài của đơn vị điều khiển luồng cố định, phương pháp chuyển mạch gói dạng lưu trữ và chuyển tiếp (store and forward), và phương pháp bắt tay sử dụng tín hiệu bận (busy).

2. THIẾT KẾ

2.1 Kiến trúc mạng

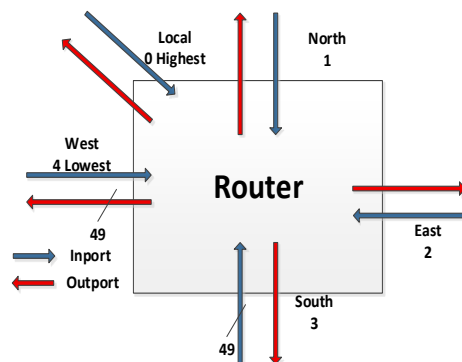
Mạng trên chip là một hệ thống kết nối theo phương pháp truyền gói tin nhằm liên kết các lõi như bộ xử lý, bộ nhớ, hoặc ngoại vi trên một thiết kế đa lõi [1-2]. Tùy vào các thiết kế hệ thống khác nhau thì số lượng node sẽ tùy biến và chức năng của các thành phần trong hệ thống cũng khác nhau [1, 2, 5, 6, 7].



Hình 1. Cấu trúc liên kết mạng dạng lưới 2 chiều với 16 điểm giao tiếp mạng

Cấu trúc liên kết mạng quyết định thiết kế bộ định tuyến, sơ đồ kết nối giữa bộ định tuyến với kênh truyền dẫn, và số bộ định tuyến mà một khung dữ liệu sẽ đi qua trên toàn mạng [1, 2, 5, 6, 7, 8]. Dựa trên các khía cạnh trên, có thể thấy cấu trúc liên kết ảnh hưởng lớn đến độ trễ (latency) và công suất tiêu thụ. Trong các cấu trúc liên kết mạng phổ biến dành cho kiến trúc kết nối số lượng lõi cố định, cấu trúc dạng lưới 2 chiều được nghiên cứu và sử dụng rộng rãi bởi một số lý do như sử dụng thuật toán định tuyến đơn giản từ nguồn gửi gói tin đến đích nhận, số lượng điểm liên kết mạng cố định dẫn đến thông tin định tuyến có thể được mã hóa hiệu quả với chỉ một vài bit thông tin và dễ dàng bố trí các khối thiết kế trong qui trình sản xuất vi mạch [1, 2, 7, 8]. Hình 1 thể hiện cấu trúc liên kết mạng dạng lưới 2 chiều với 16 điểm giao tiếp mạng được sử dụng trong đề tài.

Trong cấu trúc liên kết mạng được sử dụng, các bộ định tuyến có 5 ngõ vào/ra tương ứng với 4 hướng kết nối với các bộ định tuyến lân cận và hướng còn lại dành cho thành phần lõi [5-7]. Tại mỗi hướng kết nối có 2 kênh truyền vật lý tách biệt tương ứng ngõ vào/ra để thực hiện cho chức năng đọc/ghi các gói tin.



Hình 2. Thiết kế bộ định tuyến với 2 kênh truyền vào/ra riêng biệt ở mỗi hướng

Độ ưu tiên trong hướng đi của gói tin được quyết định bởi bộ định tuyến và cố định theo thứ tự cổng kết nối với thành phần lõi (Local) sẽ có ưu tiên cao nhất tiếp đến là cổng Bắc, Đông, Nam, và hướng Tây (West) có độ ưu tiên thấp nhất như minh họa trong hình 2. Bên cạnh đó, thiết kế bộ điều khiển còn nhằm giải quyết các tranh chấp khi nhiều

gói tin đầu vào muốn chuyển tiếp đến cùng ngõ ra [6].

2.2 Kích thước gói tin

Dựa trên cơ chế chuyển mạch gói dạng lưu trữ và chuyển tiếp, đơn vị điều khiển luồng (flit) được sử dụng để truyền thông tin trên mạng [1, 2, 5, 6]. Trong đề tài, thiết kế sử dụng cấu trúc mỗi đơn vị điều khiển luồng tương ứng với từng gói tin. Đề tài sử dụng 3 loại gói tin được thể hiện trong hình 3, bao gồm gói tin ghi (**write**), gói tin yêu cầu đọc (**read request**), và gói tin dữ liệu đọc trả về (**return**).

Trong đó, gói tin ghi được xuất phát từ lõi có nhu cầu ghi dữ liệu đến một lõi khác như bộ nhớ hoặc bộ điều khiển ngoại vi. Gói tin yêu cầu đọc được xuất phát từ lõi xử lý có nhu cầu đọc dữ liệu từ một lõi khác và gói tin trả về sẽ gửi lại nội dung được yêu cầu đọc. Tất cả các gói tin đều có kích thước cố định 49 bit trong đó có một số bit được đặt giá trị 0. Trong hình 3, các gói tin được phân chia nhờ giá trị 1 được đặt trong 3 cờ **write**, **read**, **return** ở vị trí bit thứ 40, 41, 42 tương ứng. Nếu là gói tin rỗng (**empty packet**) thì các bit này được đặt giá trị 0. Tất cả các gói tin đều yêu cầu thông tin mã định dạng (**identifier - ID**) của node đích mà các gói tin muốn gửi đến. Các gói tin ghi và yêu cầu đọc cần một địa chỉ trong bộ nhớ trong trường hợp các lõi trao đổi dữ liệu là giữa bộ xử lý và bộ nhớ.

Write							
48-43	42	41	40	39-36	35-8	7-0	
x-y routing	read	write	return	Destination node ID	Memory address	Data	
Read request							
48-43	42	41	40	39-36	35-8	7-4	3-0
x-y routing	read	write	return	Destination node ID	Memory address	Source node ID	Zeros
Return							
48-43	42	41	40	39-36	35-28	27-0	
x-y routing	read	write	return	Destination node ID	Data Memory	zeros	

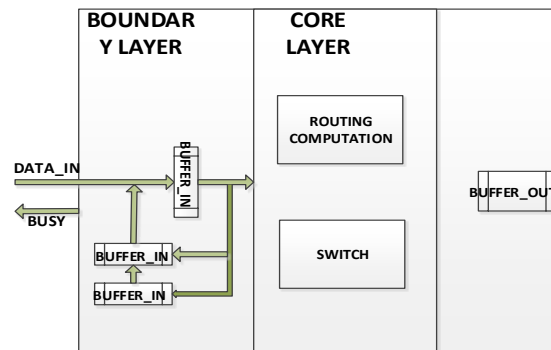
Hình 3. Định dạng gói tin

Gói tin yêu cầu đọc chứa địa chỉ của nơi gửi vì bên nhận loại gói tin này cần biết địa chỉ nguồn trên mạng để phản hồi dữ liệu. Gói tin phản hồi nhằm trả lời cho gói tin yêu cầu đọc và gói tin này chỉ chứa địa chỉ đích và dữ

liệu đọc từ bộ nhớ. Gói tin ghi và đọc đều chứa 8 bit dữ liệu. Tất cả các gói tin có 6 bit ở vị trí bit 43 đến 48 để phục vụ cho việc định tuyến, 3 bit cho mỗi chiều X và Y tương ứng. Trong mô hình lưới có kích thước lớn thì số bit cần được thay đổi sao cho phù hợp. Các bit được khởi tạo giá trị tại thành phần giao tiếp mạng và được thay đổi bởi bộ định tuyến. Trong đề tài, như được thể hiện trong hình 1, với 16 node mạng thì mỗi gói tin sử dụng 2 bit cho mỗi trục X và Y để mã hoá vị trí node và 1 bit để chỉ chiều di chuyển của gói tin trên trục X và Y.

2.3 Thiết kế cấu trúc bộ định tuyến

Chức năng của bộ định tuyến là tìm đường đi cho gói tin từ ngõ vào để đến các cổng ngõ ra dựa vào địa chỉ trên đơn vị điều khiển luồng [1, 2, 6, 7]. Các bộ định tuyến có cấu tạo từ các bộ đệm ngõ vào/ra (in/out buffer), bộ tính toán định tuyến (route computation), bộ cấp phát kênh ảo (virtual channel allocator), bộ cấp phát chuyển mạch (switch allocator) và thành phần chuyển mạch giữa các hướng (crossbar switch).



Hình 4. Kiến trúc bộ định tuyến

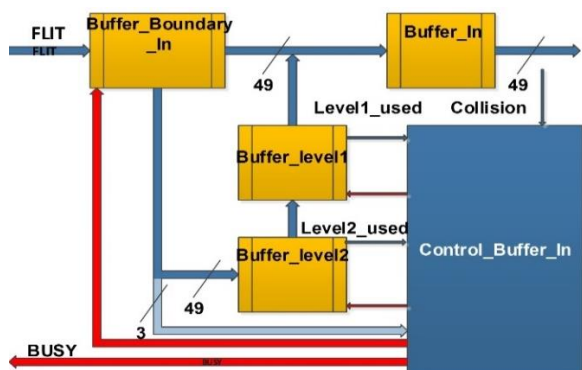
Hình 4 thể hiện kiến trúc tổng quát của bộ định tuyến. Trong các mạng chuyển mạch gói, các lõi được kết nối sẽ gửi dữ liệu là các gói tin đến bộ định tuyến. Các gói tin sẽ được lưu trữ tạm thời trên bộ đệm trước khi nó được gửi đến ngõ ra. Các ngõ ra trên bộ định tuyến được thiết kế có một bộ dồn kênh với cơ chế hoạt động là nhận các gói tin từ các hàng đợi khác nhau và sau đó chọn một gói tin để chuyển đến ngõ vào của bộ định tuyến tiếp theo. Bên cạnh đó, các bộ điều khiển hướng và bộ đệm cũng là thành phần chính quan trọng trong bộ định tuyến. Các giao

thức và thuật toán định tuyến được thực hiện tại khối này.

2.3.1 Cấu trúc bộ đệm

Kiến trúc bên trong bộ định tuyến bao gồm 2 lớp chính là lớp biên (boundary layer) và lớp lõi (core layer). Lớp biên có các bộ đệm để lưu giữ các gói tin và bộ điều khiển bộ đệm quản lý các tín hiệu ngõ vào. Lớp lõi có chức năng xử lý thông tin địa chỉ nguồn và đích của gói tin để đưa ra quyết định định tuyến gói tin đến ngõ ra kênh dẫn tương ứng hoặc được chuyển ngược lại về các bộ đệm ở lớp biên.

Theo kiến trúc được xây dựng trong đề tài, mỗi cổng vào/ra đều có khối đệm dùng làm vùng nhớ cho dữ liệu vào/ra tương ứng [1, 2, 6]. Độ sâu bộ đệm phụ thuộc vào thiết kế bộ định tuyến. Trong đó, độ rộng của bộ đệm thì tùy thuộc vào định dạng của gói tin trên kênh truyền vật lý. Độ sâu thể hiện số lượng gói tin tối đa mà mỗi bộ đệm có thể chứa. Với thiết kế được đề xuất trong đề tài mỗi đơn vị điều khiển luồng tương ứng với từng gói tin thì kích thước bộ đệm không lớn.



Hình 5. Cấu trúc bộ đệm tại ngõ vào

Cấu trúc khối bộ đệm tại ngõ vào được thể hiện trong hình 5. Bộ đệm này hoạt động với nguyên tắc như sau:

- Gói tin từ bộ định tuyến lân cận khi vào bộ định tuyến đang xét sẽ được lưu tạm thời trên bộ đệm biên (**buffer_boundary_in**). Bộ đệm cấp 1 (**buffer_level_1**) và bộ đệm cấp 2 (**buffer_level_2**) là 2 bộ đệm riêng biệt mỗi bộ đệm lưu trữ được một gói tin 49 bit.

- Trạng thái sử dụng của hai bộ đệm cấp 1 và 2 được thể hiện qua tín hiệu **level1_used**

và **level2_used** tương ứng. Tín hiệu này sẽ đi đến khối điều khiển bộ đệm vào (**control_buffer_in**). Ngoài ra, trong nội dung của gói tin từ bộ định tuyến lân cận gửi đến thì 3 bit thứ 40, 41 và 42 sẽ đi đến khối điều khiển bộ đệm vào để khối này đưa ra phương án xử lý từng loại gói tin tương ứng. Từ các thông tin về tình trạng các bộ đệm, tình trạng tranh chấp mà khối **control_buffer_in** sẽ điều khiển trạng thái của **buffer_level1**, **buffer_level2** và **buffer_in**.

- Nếu **buffer_level1** được sử dụng thì giá trị này sẽ được ghi vào **buffer_in** của lớp bên trong để tiếp tục cho quá trình xử lý sau.

2.3.2 Cơ chế xử lý tranh chấp

Quá trình truyền thông giữa các bộ định tuyến đôi khi xảy ra tranh chấp trong trường hợp có nhiều gói tin tại ngõ vào muốn di chuyển đến cùng một ngõ ra [8, 9, 10]. Để giải quyết vấn đề này, thuật toán định tuyến sẽ xem xét mỗi ngõ vào một cách riêng biệt trong một vòng lặp với thứ tự ưu tiên cố định cao nhất (0) ở hướng kết nối với bộ xử lý, bộ nhớ hoặc bộ điều khiển ngoại vi. Tiếp theo, các hướng Bắc, Đông, Nam, Tây có độ ưu tiên giảm dần. Hướng Tây có độ ưu tiên nhỏ nhất (4) như thể hiện trong hình 2.

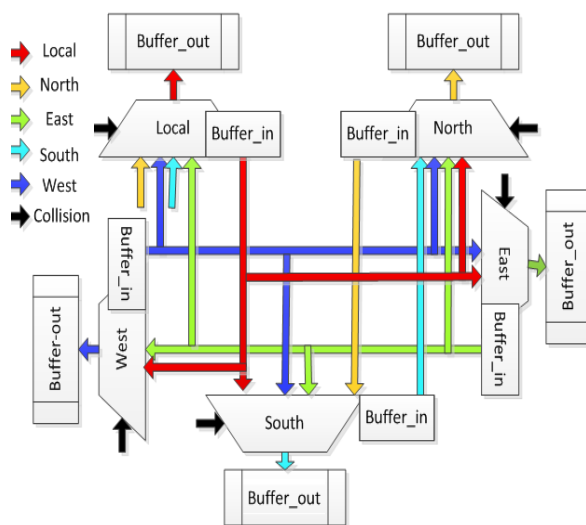
Khi kênh dẫn ngõ vào được sử dụng thì bộ định tuyến chọn gói tin từ bộ đệm hoặc một gói tin rỗng trong trường hợp kênh dẫn trong trạng thái rảnh. Nếu dữ liệu nhận được là một trong 3 loại gói tin thì chiều ngõ ra mong muốn được tính toán và lưu trong một biến. Mỗi ngõ vào cũng có một cờ tranh chấp (**collision flag**) tương ứng.

Mỗi bộ đệm ngõ vào có tín hiệu đường truyền bận (**busy**) và nó được đặt 1 khi bộ đệm được sử dụng. Như vậy, thuật toán định tuyến đầu tiên sẽ kiểm tra tín hiệu bận ở ngõ vào hiện tại và nếu cờ báo bận thì cờ tranh chấp sẽ được bật. Một vòng lặp được thực hiện từ ngõ vào 0, tức ngõ kết nối lõi, đến ngõ vào hiện tại. Phương pháp này bỏ qua gói tin rỗng và nếu có bất kỳ gói tin nào muốn di chuyển đến cùng ngõ ra thì cờ tranh chấp sẽ được đặt lên 1.

2.3.3 Thuật toán định tuyến

Thuật toán định tuyến đóng vai trò quan trọng trong thiết kế và ảnh hưởng đến hiệu năng chung của mạng trên chip [11]. Trong nghiên cứu này, vì số lượng node cố định và vị trí các node có tính đối xứng, phương pháp định tuyến XY được sử dụng hiệu quả. Để dịch chuyển các gói tin từ nơi gửi đến đích, bộ định tuyến sẽ xem xét các bộ đếm x và y nằm tại bit thứ 43 đến 48 trong gói tin nhận được.

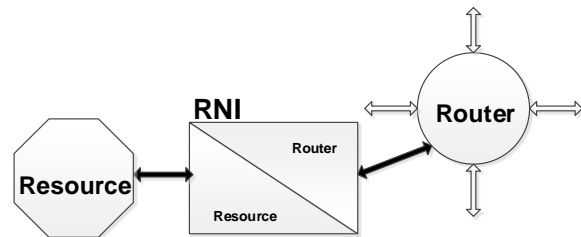
Chiều di chuyển của gói tin sẽ đi lên hay xuống của trục Y sẽ được quyết định dựa trên thông tin của phần cờ y (**y flag**) và bộ đếm y (**y counter**). Trước tiên, bộ định tuyến sẽ kiểm tra thông tin ở chiều dọc. Nếu cờ y có giá trị 0 thì gói tin sẽ di chuyển đến hướng Nam. Ngược lại, nếu giá trị cờ y là 1, gói tin sẽ di chuyển đến hướng Bắc. Khi gói tin được đi đến bộ định tuyến tiếp theo, thì giá trị bộ đếm y được giảm 1. Khi bộ định tuyến nhận gói tin với giá trị bộ đếm y là 0, thì thuật toán định tuyến sẽ xem xét tiếp ở cờ x (**x flag**) và bộ đếm x (**x counter**) để quyết định sẽ di chuyển gói tin theo hướng nào của chiều ngang. Nếu cờ x là 0 thì gói tin sẽ di chuyển đến hướng Đông. Trong trường hợp ngược lại, nếu cờ x đặt là 1 thì gói tin sẽ di chuyển đến hướng Tây. Trường hợp, nếu bộ định tuyến nhận được một gói tin mà thông tin trong cả 2 bộ đếm x và y đều là 0 thì bộ định tuyến biết gói tin đã đến đích. Hướng tiếp theo gói tin cần đi sẽ là đến phần lỗi thông qua thành phần giao tiếp mạng.



Hình 6. Thiết kế khối chuyển mạch

2.3.4 Thành phần giao tiếp mạng

Thành phần giao tiếp mạng (RNI) là một giao diện để kết nối giữa bộ định tuyến với một trong các thành phần tài nguyên mạng như bộ xử lý, bộ nhớ, hoặc bộ điều khiển ngoại vi. Chức năng của khối này là chuyển đổi tín hiệu từ đường tín hiệu cục bộ khi giao tiếp với các tài nguyên mạng trở thành định dạng gói tin để phù hợp với tín hiệu ở phần bộ định tuyến trước khi gói tin được truyền trên mạng và ngược lại [5-6].



Hình 7. Vị trí của thành phần giao tiếp mạng (RNI) trong thiết kế mạng trên chip

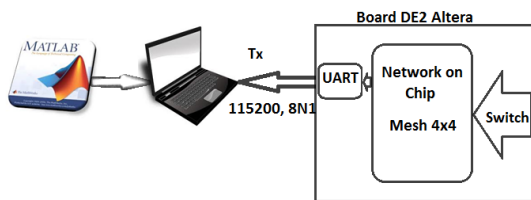
Được thể hiện trong hình 7, bên trong của thành phần giao tiếp mạng được phân ra làm phần phụ thuộc và phần độc lập với tài nguyên [6]. Bên cạnh đó, thông thường trong các hệ thống đa lõi được phân cấp chủ-tớ. Vì thế, các thành phần giao tiếp mạng cũng được chia thành hai loại là RNI chủ và RNI tớ. Trong đó, RNI chủ sử dụng để kết nối bộ định tuyến và bộ xử lý; còn RNI tớ là cầu nối giữa bộ định tuyến và các lõi tớ như bộ nhớ và ngoại vi.

Thiết kế trong node chủ gồm bộ định tuyến, bộ giao tiếp mạng, và bộ xử lý. Trong đó, bộ giao tiếp mạng có chức năng như xây dựng gói tin dựa trên dữ liệu từ bộ xử lý, giải mã gói tin từ bộ định tuyến thành dữ liệu để chuyển đến bộ xử lý. Các gói tin mà RNI nhận và gửi đều chứa thông tin đích đến. Từ đó, RNI sẽ quyết định giá trị cho các bộ đếm x và y dựa trên vị trí hiện tại và vị trí đích mà gói tin muốn gửi đến để hỗ trợ bộ định tuyến trong quá trình truyền gói tin. Thông tin do RNI xử lý gồm các bit từ 48 đến 43 trong gói tin gửi đi gồm cờ x và y, bộ đếm x và y. Trong đó, cờ y được đặt 1 hoặc 0 dựa vào vị trí y trên lưới theo nguyên tắc: 1 nếu vị trí node đích nhỏ hơn vị trí của node hiện tại và 0 trong trường hợp ngược lại. Khối RNI tớ

giúp kết nối lỗi tở và bộ định tuyến. Chức năng khối này bao gồm xây dựng gói tin dựa trên dữ liệu từ lỗi tở, giải mã gói tin từ bộ định tuyến thành dữ liệu để chuyển đến lỗi tở, và thêm thông tin định tuyến X và Y.

3. THỰC THI MÔ HÌNH MẠNG TRÊN CHIP

Trên thực tế, trong quá trình hoạt động, tình trạng truyền thông của mô hình mạng trên chip sẽ khó giám sát từ bên ngoài. Vì thế, đề tài này cung cấp một giao diện giao tiếp với hệ thống sử dụng Matlab nhằm giám sát tình trạng hoạt động của mạng trên chip.



Hình 8. Kết nối giữa mô hình mạng trên chip và máy tính

Hình 8 minh họa sơ đồ khối hệ thống được đề xuất nhằm kiểm chứng hoạt động của thiết kế mạng trên chip. Trong đó, giao diện giám sát mạng trên máy tính được kết nối với thiết kế mạng trên chip thông qua chuẩn truyền thông nối tiếp bất đồng bộ (Universal Asynchronous Receiver Transmitter - UART). Chức năng của giao diện là tổng hợp tình trạng tại mỗi đường truyền ở mỗi công đồng thời ghi nhận tình trạng xung đột tại mỗi bộ đệm trên mỗi hướng của bộ định tuyến. Tình trạng trên mỗi đường truyền vật lý và xung đột tại mỗi hướng ngõ vào sẽ được minh họa bằng các màu theo qui ước trong Bảng 1.

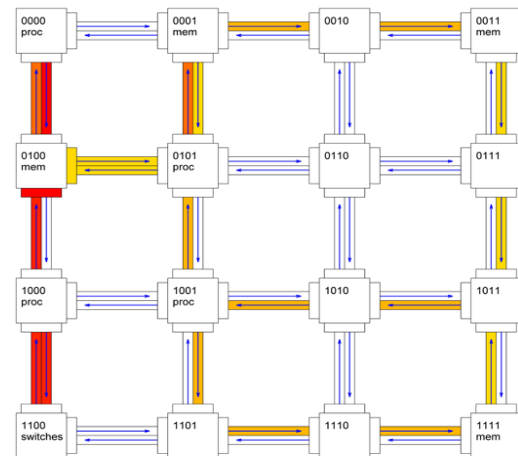
Bảng 1. Tình trạng mạng trên kênh dẫn

Màu kênh	Mô tả trạng thái
Đỏ	Kênh dẫn có luồng dữ liệu lớn, nhiều gói tin di chuyển từ node nguồn đến đích.
Cam	Kênh dẫn có ít hơn luồng dữ liệu đi qua, nhiều gói tin di chuyển từ node nguồn đến đích.
Vàng	Kênh dẫn có luồng dữ liệu ít đi qua, ít gói tin di chuyển từ node nguồn đến đích.
Trắng	Không có dữ liệu đi qua.

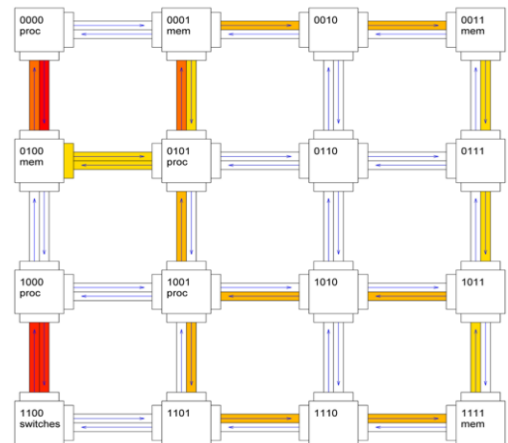
Tình trạng hoạt động trên mạng được đánh giá dựa trên hành vi ghi và đọc của các thành phần lỗi. Bảng 2 thể hiện tình trạng mạng dựa trên sự thay đổi hành vi của bộ xử lý (proc) tại vị trí 1000 ghi liên tục mỗi 2 chu kỳ xung đến các node khác nhau thông qua 4 công tắc ([3:0] switch) trên bo mạch. Bên cạnh đó, các bộ xử lý tại vị trí khác cũng thực hiện ghi/đọc lên các node khác nhau.

Bảng 2. Giao tiếp node nguồn và đích

Nguồn (Bộ xử lý)	Đích	Chu kỳ ghi/đọc	Hoạt động
0000	0100	4	Ghi và đọc
0101	0100	10	Đọc
0101	0001	10	Ghi và đọc
1001	0011	10	Ghi và đọc
1000	1100	2	Đọc



a



b

Hình 9. Tình trạng mạng khi công tắc cấu hình ở vị trí a) 0100 b) 1000

Dựa vào hình 9a, khi công tắc ở vị trí 0100, xung đột xảy ra giữa các gói tin hướng Bắc, Đông, Nam vì các khối lân cận đang gửi gói tin đến khối 0100. Tại khối bộ nhớ 0100, các tín hiệu bận chỉ ra thứ tự ưu tiên của ngõ vào Bắc là cao nhất và có thể thấy rằng bộ đệm tại ngõ này không bận, được thể hiện màu trắng. Ngược lại, các gói tin tại ngõ vào hướng Đông và Nam cần phải chờ trong các bộ đệm ngõ vào vì thứ tự ưu tiên thấp hơn. Bộ đệm ở hướng Nam có màu đỏ cho thấy có tranh chấp xảy ra ở hướng này nhiều nhất vì độ ưu tiên hướng này thấp hơn so với 2 hướng còn lại. Khi công tắc là 1000 ở hình 9b, bộ xử lý yêu cầu ghi lên chính nó, gói tin sẽ bị loại bỏ. Kết nối giữa 0100 và 1000 có màu trắng thể hiện không có dữ liệu đi qua. Bên cạnh đó, giao tiếp yêu cầu đọc giữa khối 1001 với bộ nhớ 1111, thì kênh truyền giữa 1111 và 1011 màu vàng vì chỉ có gói tin trả về từ bộ nhớ 1111 cho bộ xử lý 1001 đi qua.

4. ĐÁNH GIÁ THIẾT KẾ

Thiết kế trong đề tài được thực thi trên nền tảng phần cứng mảng cổng lập trình được dạng trường (Field programmable Gate Array - FPGA) trên bo mạch của hãng Altera. Từ kết quả tổng hợp thiết kế có thể thấy rằng số lượng phần cứng được yêu cầu đối với mỗi khối trong thiết kế là khác nhau. Công cụ tổng hợp thiết kế Quartus [12] đã thống kê chi tiết số lượng tài nguyên được sử dụng đối với mỗi khối trong thiết kế. Được thể hiện trong Bảng 3, tài nguyên phần cứng gồm thành phần mạch tổ hợp và tuần tự phần lớn dành cho bộ định tuyến và có thể thay đổi phụ thuộc vào vị trí của bộ định tuyến trên mạng. Điều này vì các mạch xử lý và định tuyến gói tin đều được xây dựng trên bộ định tuyến. Xét về vị trí, mỗi bộ định tuyến trên mạng lưới 2 chiều có số lượng hướng kết nối khác nhau và số lượng bộ đệm tương ứng cũng khác nhau. Trong trường hợp, bộ định tuyến ở phần lõi của cấu trúc liên kết mạng yêu cầu 10 kênh dẫn riêng ứng với 5 hướng kết nối gồm 4 hướng cho các bộ định tuyến lân cận và 1 hướng cho thành phần lõi. Tuy nhiên, ở bộ định tuyến biên chỉ kết nối với 3 hoặc chỉ 2 bộ định tuyến lân cận thì sẽ yêu cầu ít tài nguyên phần cứng hơn.

Thành phần giao tiếp mạng cần thành phần phần cứng ít hơn nhiều lần so với bộ định tuyến. Bởi hầu hết việc tính toán phức tạp đã được đặt trên các bộ định tuyến trong khi đó các bộ giao tiếp mạng chỉ có chức năng xây dựng, giải mã các gói tin và tính toán giá trị cho thành phần định tuyến được thêm vào trong gói tin gửi đi hoặc nhận về.

Bảng 3. Tài nguyên phần cứng cho mỗi khối

Thành phần	Tài nguyên phần cứng	
	Mạch tổ hợp	Mạch tuần tự
Bộ định tuyến lõi	631	302
Bộ định tuyến biên	336	191
Bộ giao tiếp mạng	24	37

Công suất tiêu thụ gồm công suất tĩnh và công suất động. Phân đánh giá công suất của thiết kế số được thực hiện bởi công cụ Design Compiler của Synopsys [13]. Công cụ này nhận đầu vào là mã mô tả phần cứng của thiết kế và thư viện công nghệ bán dẫn kim loại ô-xít bù (Complementary Metal Oxide Semiconductor - CMOS) có kích thước 90nm [14] với đặc điểm công suất tiêu thụ thấp. Đối với từng yêu cầu tối ưu thiết kế [15] thì phương pháp tổng hợp khác nhau sẽ ảnh hưởng đến công suất tiêu thụ. Bảng 4 thể hiện 2 thành phần công suất tiêu thụ trong thiết kế tại tần số hoạt động 100Mhz và điện áp nguồn cung cấp $V_{DD} = 1V$.

Bảng 4. Công suất tiêu thụ của thiết kế đối với từng yêu cầu tối ưu

Thành phần	Công suất (μW) tối ưu	
	mức cao	mức thấp
Công suất tĩnh	1528	1653
Công suất động	3713	3926

Xét về mặt phần cứng, tần số hoạt động tối đa được quyết định bởi nền tảng phần cứng FPGA hoặc thư viện thiết kế chuẩn CMOS từ nhà sản xuất vi mạch như SAMSUNG. Một khi lựa chọn được nền tảng phần cứng để thực thi thiết kế thì yếu tố chính ảnh hưởng đến tần số hoạt động là kiến trúc của thiết kế được xây dựng từ các mã mô tả thiết kế phần cứng. Tần số hoạt động trong một thiết kế đồng bộ được giới hạn bởi thời gian thiết lập (setup time),

thời gian ổn định (hold time) trên flip-flop cùng độ trễ lan truyền (propagation delay). Bên cạnh đó, quá trình định tuyến của các kết nối cũng yêu cầu một khoảng thời gian trễ. Ngoài ra, một số yếu tố khác cũng ảnh hưởng đến tần số khi hệ thống hoạt động là sự biến thiên về điện áp cung cấp và nhiệt độ hoạt động. Bảng 5 minh họa các tần số hoạt động khác nhau của thiết kế khi khảo sát trên một số họ vi mạch FPGA.

Bảng 5. Tần số hoạt động tối đa trên các họ vi mạch FPGA

Họ FPGA	Tần số hoạt động (Mhz)
Cyclone II	122
Stratix II	150

5. KẾT LUẬN

Đề tài đã xây dựng một mô hình hoàn chỉnh nhằm minh họa hoạt động của hệ thống trên chip cơ bản sử dụng nền tảng liên kết mạng trên chip. Thiết kế được đề xuất trong đề tài gồm đầy đủ các thành phần điểm giao tiếp mạng bao gồm bộ định tuyến, các lõi và thành phần liên kết mạng. Trong đó, hoạt động của hệ thống có thể được xem xét một cách trực quan từ bên ngoài thông qua một giao diện đồ họa người dùng sử dụng Matlab. Sử dụng công cụ thiết kế vi mạch như Quartus và Synopsys, đề tài đã đưa ra phân tích thiết kế cụ thể về mặt tài nguyên phần cứng, tần số hoạt động cũng như công suất tiêu thụ.

TÀI LIỆU THAM KHẢO

- [1] Maurizio Palesi; etc., "Network-on-chip architectures and design methodologies," Microprocessors and Microsystems, vol. 35, iss. 2, 2011.
- [2] Manoj Singh Gaur, etc. "Network-on-chip: Current issues and challenges," 19th International Symposium on VLSI Design and Test, India, 2015.
- [3] Ahmed Ben Achballah, etc. "A Survey of Network-On-Chip Tools," International Journal of Advanced Computer Science and Applications, vol. 4, no. 9, 2013.
- [4] E. Salminen, etc. "Overview of bus-based system-on-chip interconnections," IEEE International Symposium on Circuits and Systems. Proceedings, USA, 2002.
- [5] Manel Langar; etc. "Design and implementation of an enhanced on chip mesh router," IEEE 12th International Multi-Conference on Systems, Signals & Devices, Tunisia, 2015.
- [6] S Swapna; etc. "Design and analysis of five port router for network on chip," Asia Pacific Conference on Postgraduate Research in Microelectronics and Electronics, India, 2012.
- [7] Saad Mubeen; etc. "Designing Efficient Source Routing for Mesh Topology Network on Chip Platforms", 13th Euromicro Conference on Digital System Design: Architectures, Methods and Tools, France, 2010.
- [8] Luca Benini; etc. "Network-on-chip architectures and design methods", IEE Proceedings - Computers and Digital Techniques, vol. 152, iss. 2, pp. 261, 2005.
- [9] Phạm Đăng Lâm, Phạm Văn Khoa, etc. "Impact of structural design parameters on on-chip network latency," Journal of Science and Technology, vol. 4, no. 4, 2014.
- [10] Seyyed Amir Asghari, etc. "Designing and implementation of a network on chip router based on handshaking communication mechanism," 14th International CSI Computer Conference, Iran, 2009.
- [11] Maurizio Palesi; etc. "Routing Algorithms in Networks-on-chip," Springer, 2013.
- [12] Altera. Introduction to the Quartus® II Software. Altera: Version 10.0, 2010.
- [13] Himanshu Bhatnagar, "Advanced Asic Chip Synthesis Using Synopsys Design Compiler Physical Compiler and PrimeTime," Kluweracademic Publishers, 2002.
- [14] Eli Lyons; etc. "Full-custom design project for digital VLSI and IC design courses using synopsys generic 90nm CMOS library," IEEE International Conference on Microelectronic Systems Education, USA, 2009.

- [15] Sridhar Gangadharan; etc. “Constraining Designs for Synthesis and Timing Analysis,” Springer, 2013.

Tác giả chịu trách nhiệm bài viết:

TS. Phạm Văn Khoa

Trường Đại học Sư phạm Kỹ thuật Tp. Hồ Chí Minh

Email: khoapv@hcmute.edu.vn