

**BỘ GIÁO DỤC VÀ ĐÀO TẠO**  
**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT**  
**THÀNH PHỐ HỒ CHÍ MINH**



**BÁO CÁO TT VLSI-CT7-012**

**GVHD: Lê Minh Thành.**

**Sinh viên thực hiện: Nguyễn Duy Huân**

**MSSV: 19119182**

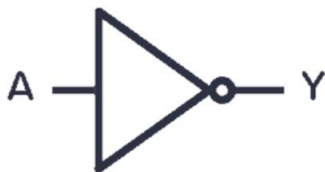
## Mục lục

1.Khảo sát cổng NOT.....	2
1.1.Cơ sở lý thuyết.....	2
1.1.1.Kí hiệu cổng NOT.....	2
1.1.2.Bảng trạng thái cổng NOT.....	2
1.2.Mô phỏng cổng NOT.....	3
1.2.1. Sơ đồ nguyên lí cổng NOT.....	3
1.2.2. Đóng gói cổng NOT.....	3
1.2.3 Mô phỏng mức logic.....	4
1.2.4. Mô phỏng Công suất cổng NOT.....	6
1.2.5. Đặc tuyến DC cổng NOT.....	8
2.Khảo sát cổng OR.....	11
2.1.Cơ sở lý thuyết.....	11
2.1.1. Kí hiệu cổng OR.....	11
2.1.2.Bảng trạng thái cổng OR.....	11
2.2. Mô phỏng cổng OR.....	12
2.2.1 Sơ đồ nguyên lí.....	12
2.2.2. Đóng gói cổng OR.....	13
2.2.3. Mô phỏng mức logic.....	13
2.2.4 Mô phỏng delay.....	15
2.2.5. Mô phỏng công suất.....	16

## 1. Khảo sát cổng NOT

### 1.1. Cơ sở lý thuyết

#### 1.1.1. Kí hiệu cổng NOT



Hình 1.1.1 Kí hiệu cổng NOT

Kí hiệu cổng NOT được thể hiện như hình 1.1.1 bao gồm ngõ vào A và ngõ ra Y.

#### 1.1.2. Bảng trạng thái cổng NOT

Bảng trạng thái của cổng NOT:

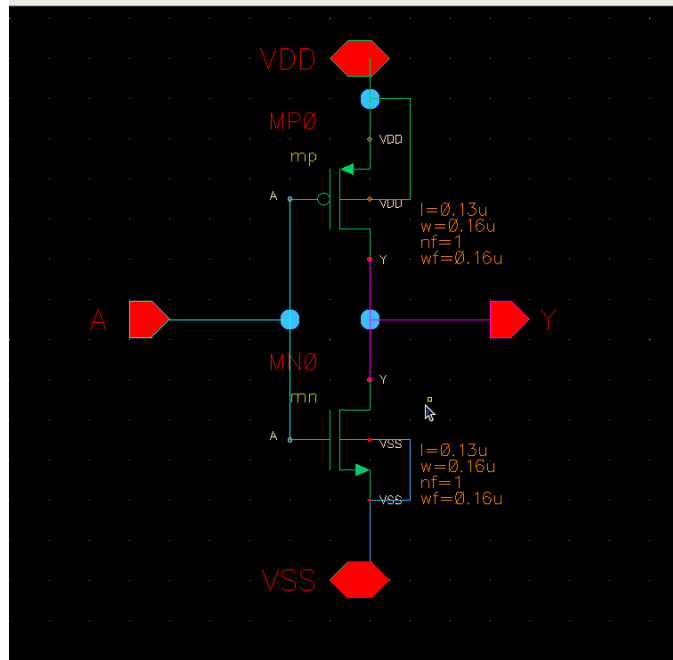
Input	Output
A	Y
0	1
1	0

Hình 1.1.2 Bảng trạng thái cổng NOT

Biểu thức boolean:  $Y = \neg A$

## 1.2. Mô phỏng cổng NOT

### 1.2.1. Sơ đồ nguyên lý cổng NOT



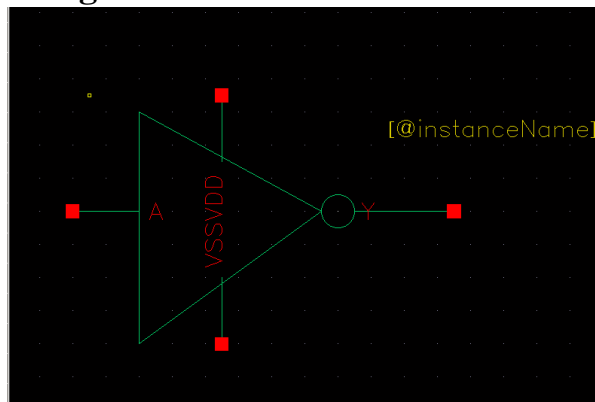
Hình 1.2.1 Sơ đồ nguyên lý cổng NOT

Sơ đồ nguyên lý cổng NOT bao gồm 2 tầng Pmos và Nmos được kết nối như hình 1.2.1 với các thông số của Nmos và Pmos như sau:

Pmos:  $W=0.16\mu$ ,  $L=0.13\mu$ .

Nmos:  $W=0.16\mu$ ,  $L=0.13\mu$ .

### 1.2.2. Đóng gói cổng NOT

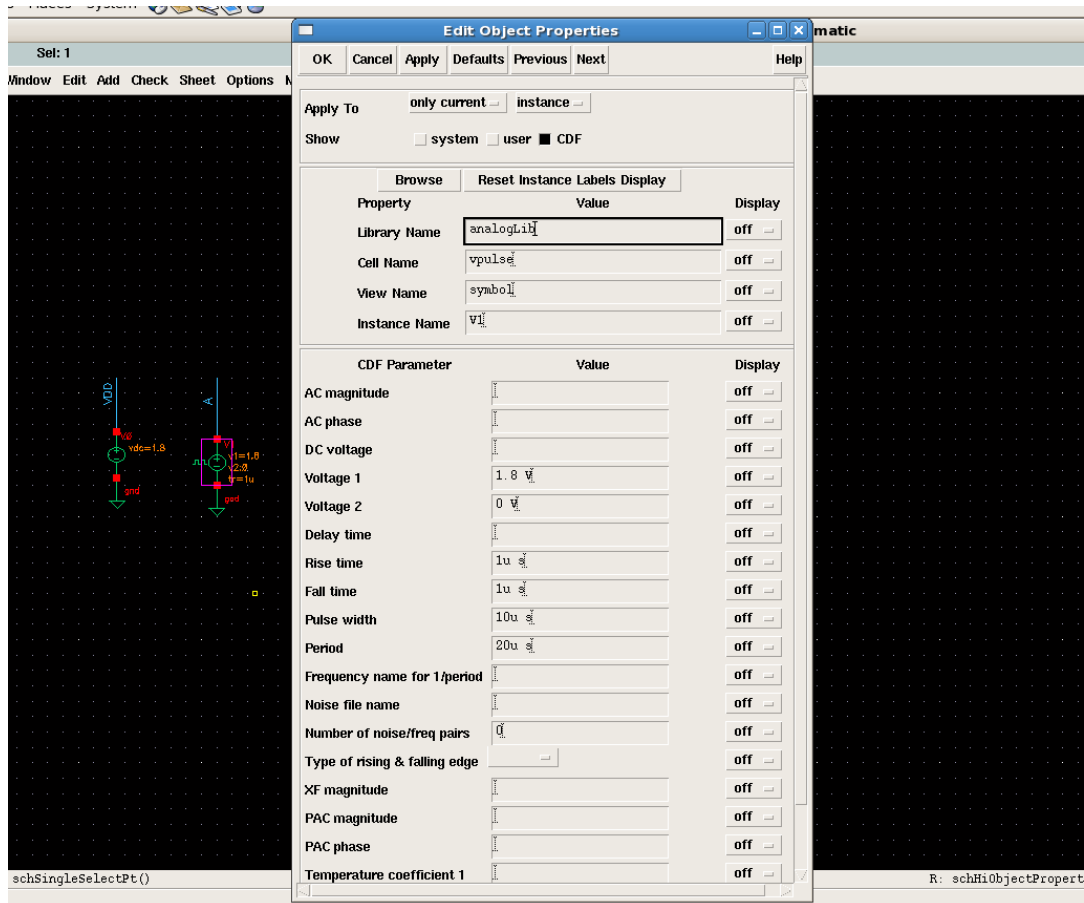


Hình 1.2.2 Đóng gói cổng NOT

Hình ảnh đóng gói cổng NOT được vẽ như hình 1.2.2 với 4 pin ngõ vào A, ngõ ra Y và 2 pin VDD, VSS.

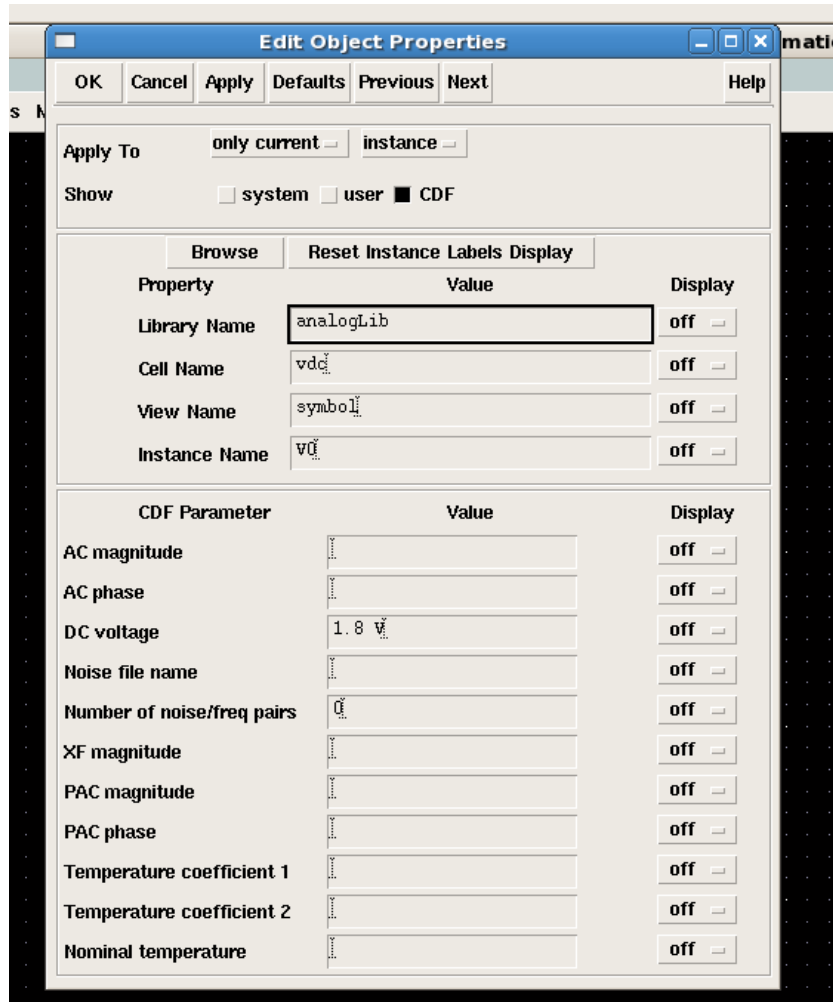
### 1.2.3 Mô phỏng mức logic

Ngõ vào A được cung cấp nguồn xung như có độ rộng xung 50%, chu kỳ 40us như hình 1.2.3.



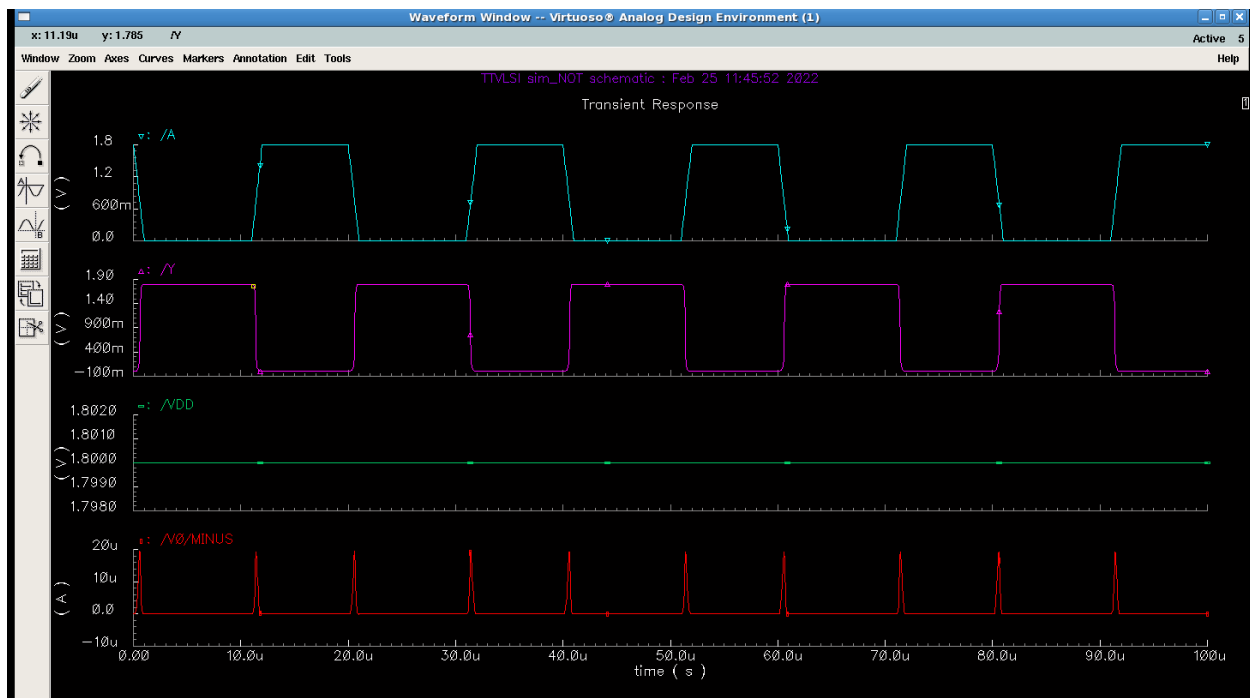
Hình 1.2.3 Nguồn đầu vào A

Nguồn VDD cung cấp 1.8V, VSS nối với GND.



Hình 1.2.4 Nguồn VDD

Mô phỏng ở chế độ tran thời gian mô phỏng 100us dạng sóng được thể hiện dưới hình 1.2.5.



Hình 1.2.5 Dạng sóng mô phỏng mức logic

Nhận xét: với đầu vào A (màu xanh) ta được ngõ ra Y (màu tím), khi A=1 thì Y=0 và ngược lại.

## 1.2.4. Mô phỏng Công suất cổng NOT

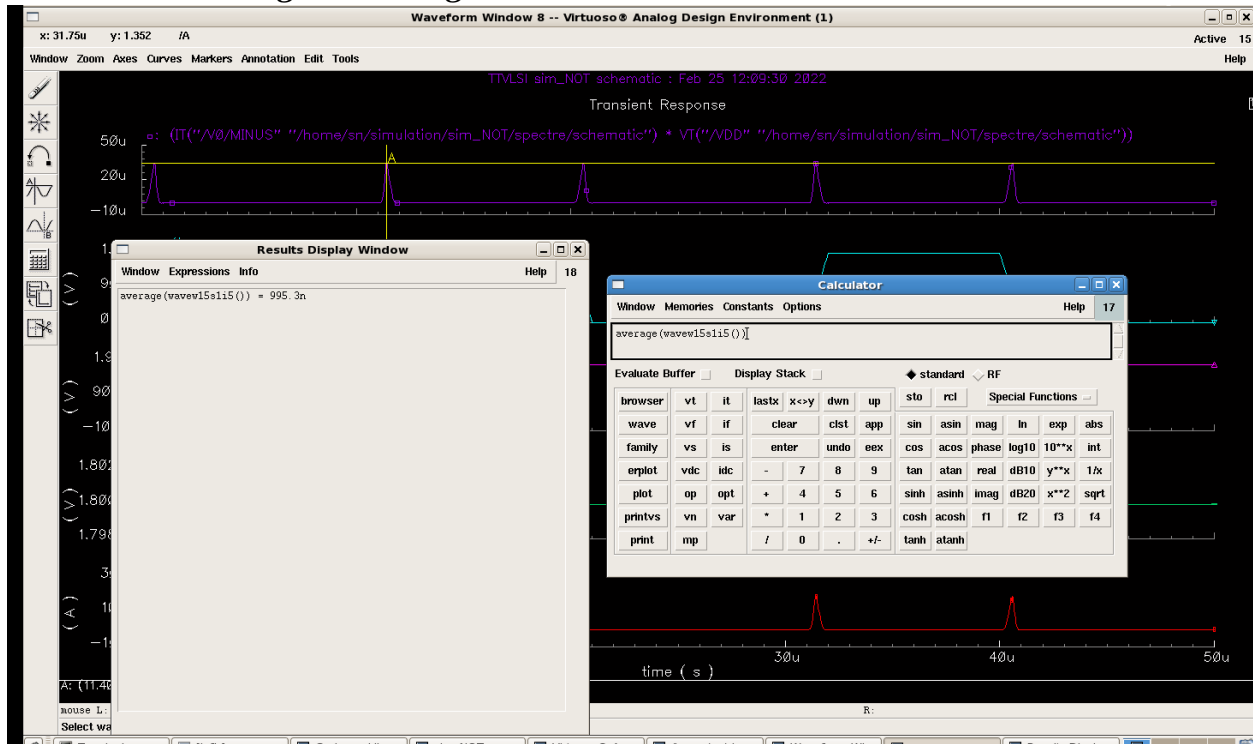
### 1.2.4.1. Công suất cực đại

Tại thời điểm chuyển mạch công suất đạt cực đại.





### 1.2.4.2. Công suất trung bình



Hình 1.2.7 Công suất trung bình

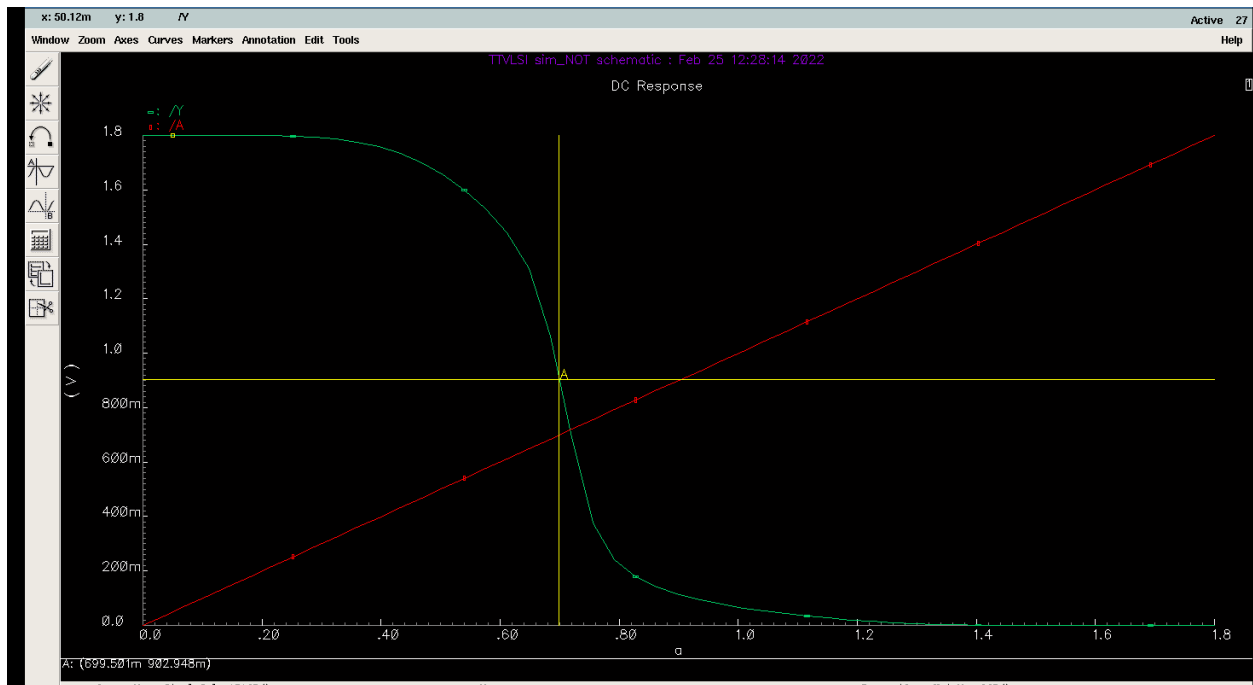
Nhận xét: từ hình 1.2.7 kết luận được công suất trung bình bằng 995.3nW.

### 1.2.5. Đặc tuyến DC cổng NOT

Lần lượt thay đổi W của Nmos và Pmos:

Pmos: W=0.16u, L=0.13u

Nmos: W=0.16u, L=0.13u

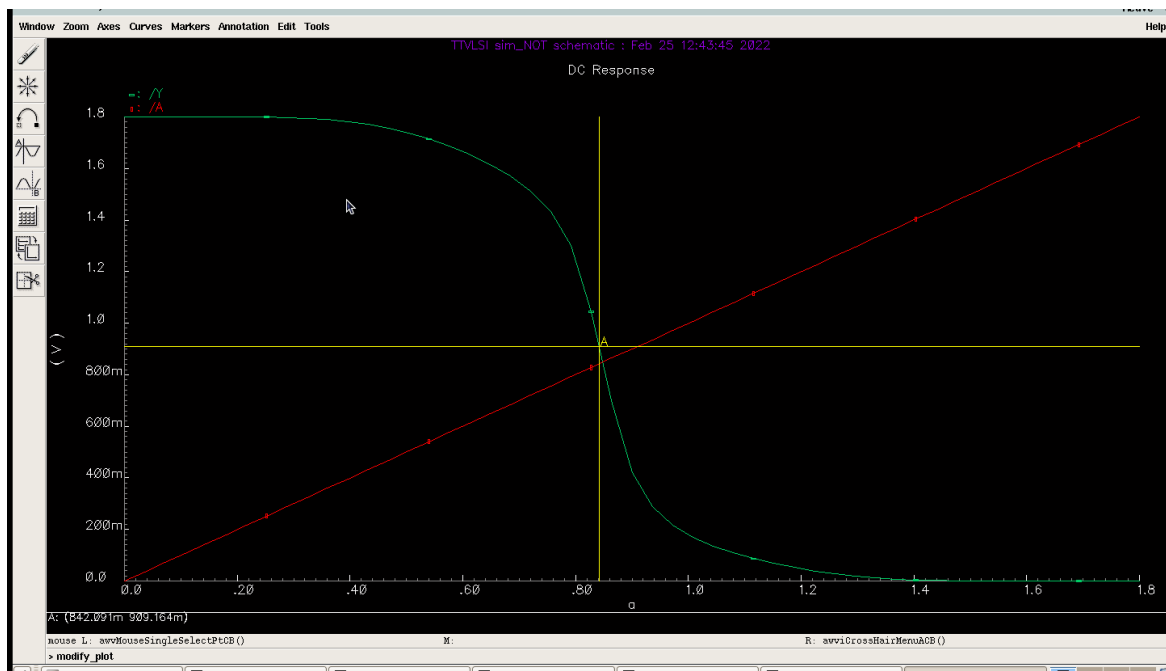


Hình 1.2.8 Đặc tuyến DC

Nhận xét: tại thời điểm 50% ngõ ra thì ngõ vào đạt 699mV.

Pmos:  $W=0.3\mu$ ,  $L=0.13\mu$

Nmos:  $W=0.16\mu$ ,  $L=0.13\mu$



Hình 1.2.9 Đặc tuyến DC

Nhận xét: tại thời điểm 50% ngõ ra thì ngõ vào đạt 842mV.

Kết luận: có thể thay đổi thiết kế Cmos để đạt được đáp ứng DC mong muốn.

## 2. Khảo sát cổng OR

### 2.1. Cơ sở lý thuyết

#### 2.1.1. Kí hiệu cổng OR



Hình 2.1.1 Kí hiệu cổng OR

Kí hiệu cổng OR được thể hiện như hình 2.1.1 với 2 ngõ vào và 1 ngõ ra

#### 2.1.2. Bảng trạng thái cổng OR

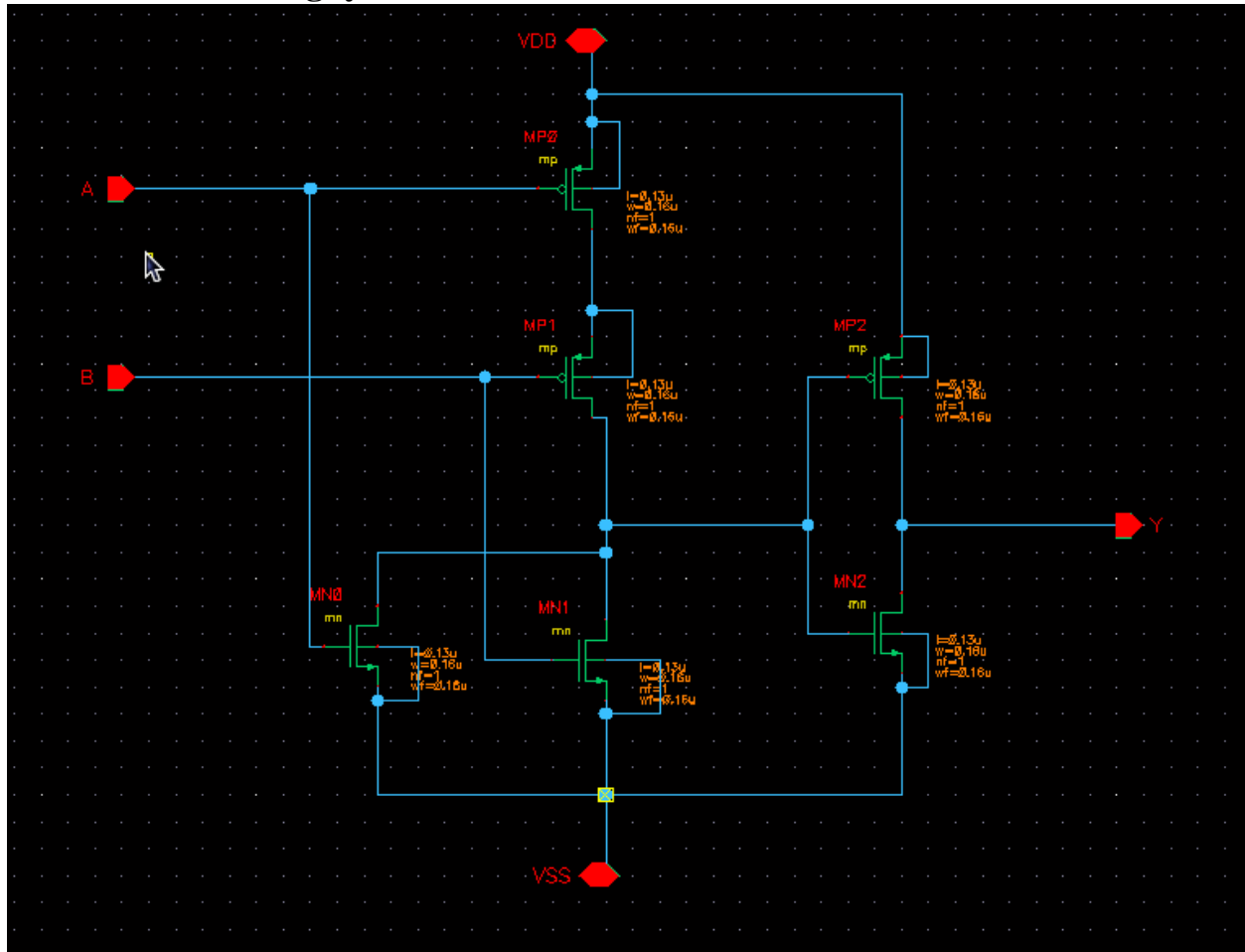
Các ngõ vào		Ngõ ra
A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

Hình 2.1.2 Bảng trạng thái

Bảng trạng thái mức logic cổng OR được thể hiện như hình 2.1.2 khi 2 ngõ vào đều bằng 0 thì ngõ ra bằng 0 các TH còn lại bằng 1.

## 2.2. Mô phỏng cổng OR

### 2.2.1 Sơ đồ nguyên lí



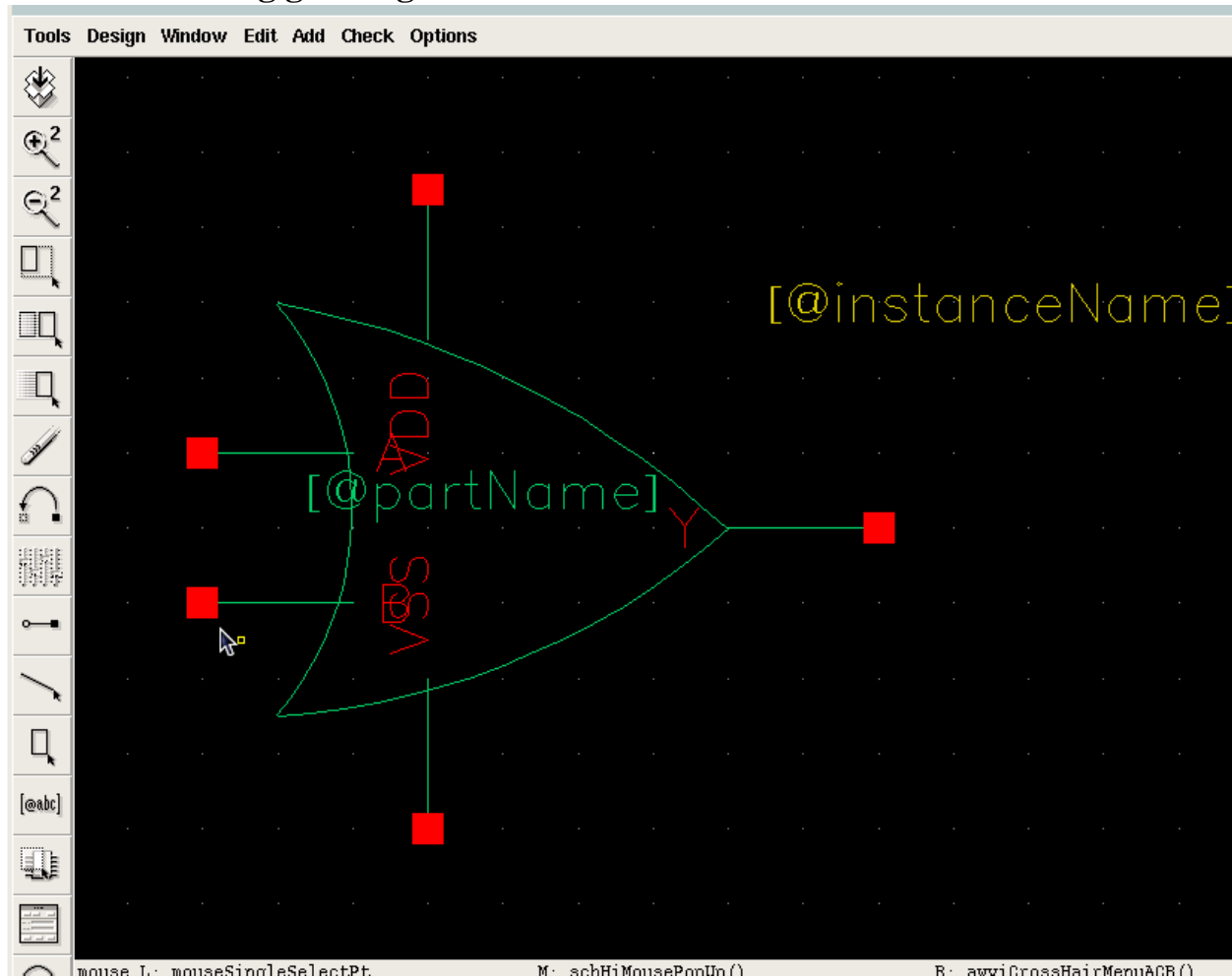
Hình 2.2.1 Sơ đồ nguyên lí cổng OR

Sơ đồ nguyên lí cổng OR được cấu tạo từ cổng NOR kết nối ngõ ra với 1 cổng NOT, các Cmos được cấu hình như sau:

Pmos: W=0.16u, L=0.13u

Nmos: W=0.16u, L=0.13u

### 2.2.2. Đóng gói cổng OR

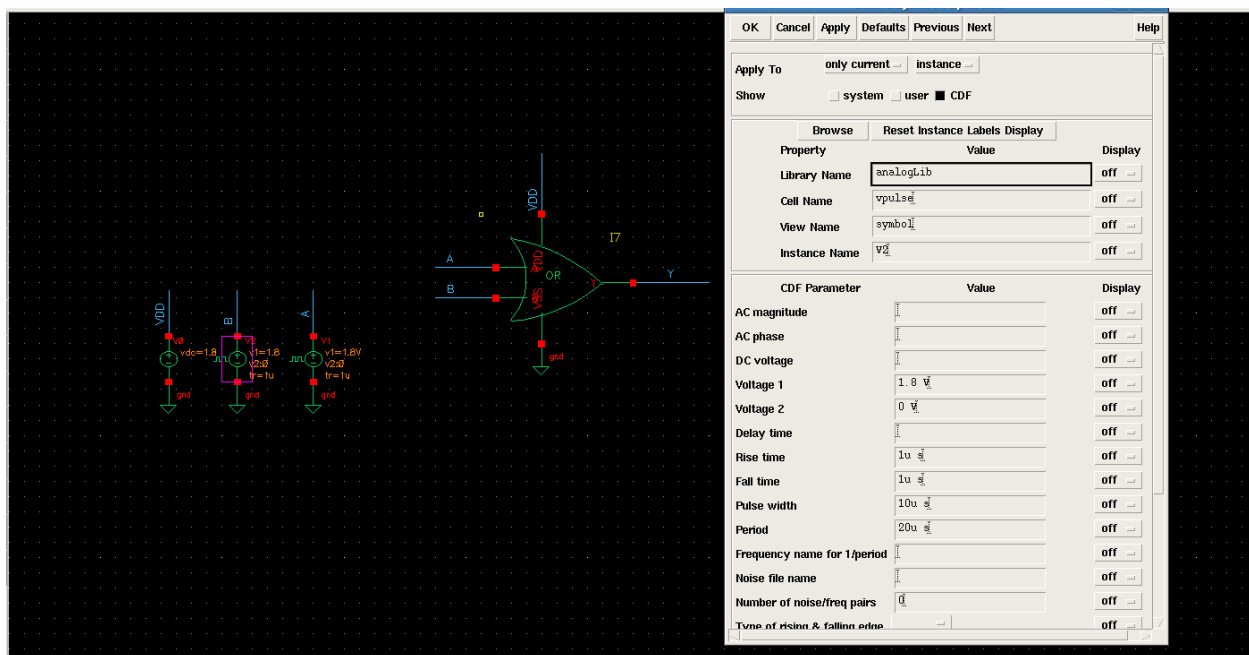


Hình 2.2.2 Đóng gói cổng OR

Cổng OR được đóng gói và kí hiệu như hình 2.2.2 gồm 5 pin VDD, VSS, A, B, Y.

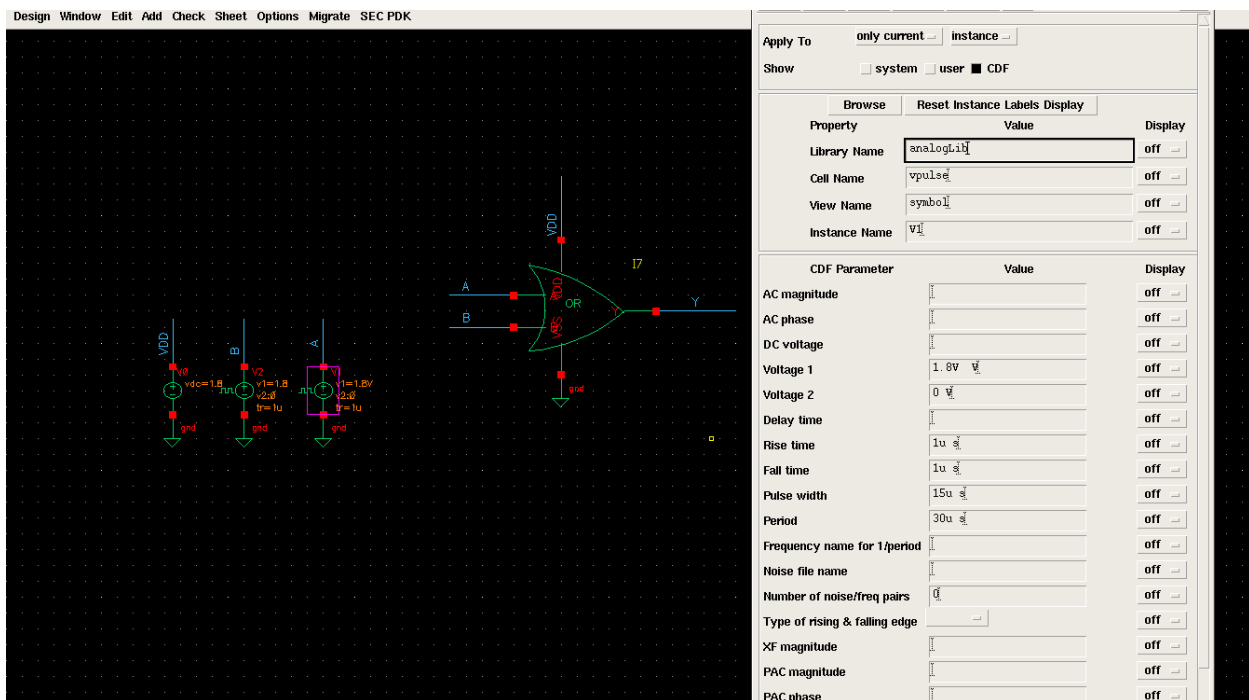
### 2.2.3. Mô phỏng mức logic

Lựa chọn nguồn VDD=1.8V, VSS nối GND.



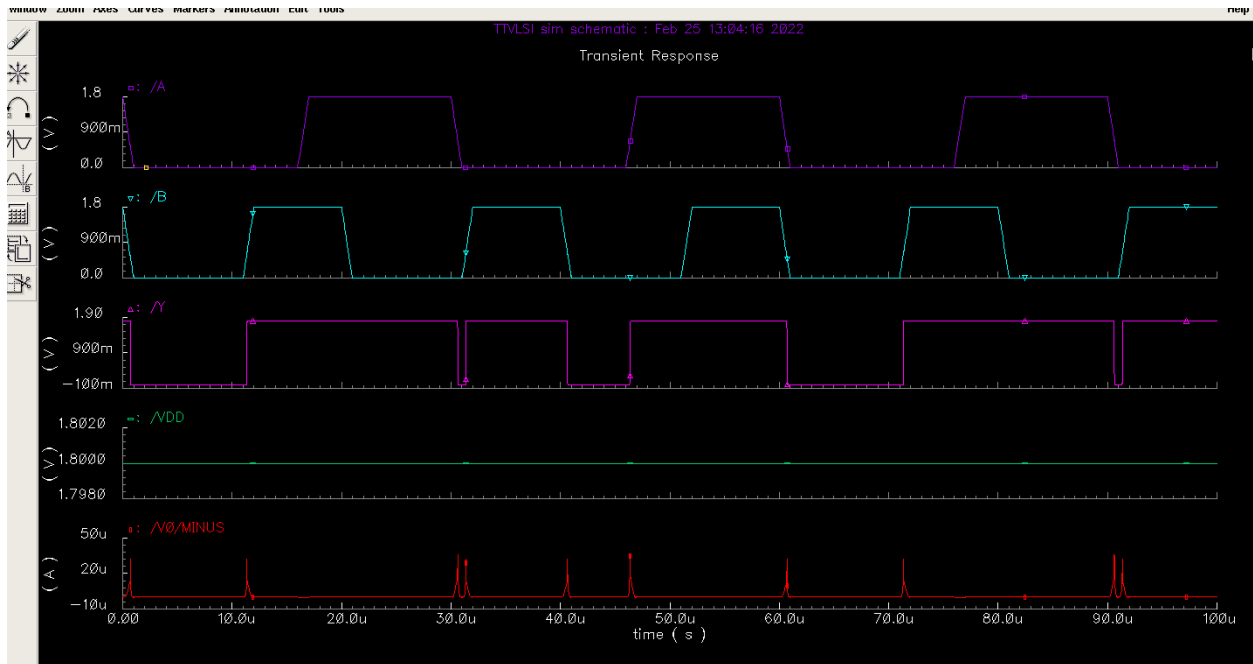
Hình 2.2.3 Nguồn đầu vào B

Thông số: độ rộng xung 50%, chu kỳ 20u.



Hình 2.2.4 Nguồn đầu vào A

Thông số: độ rộng xung 50%, chu kỳ 30u.

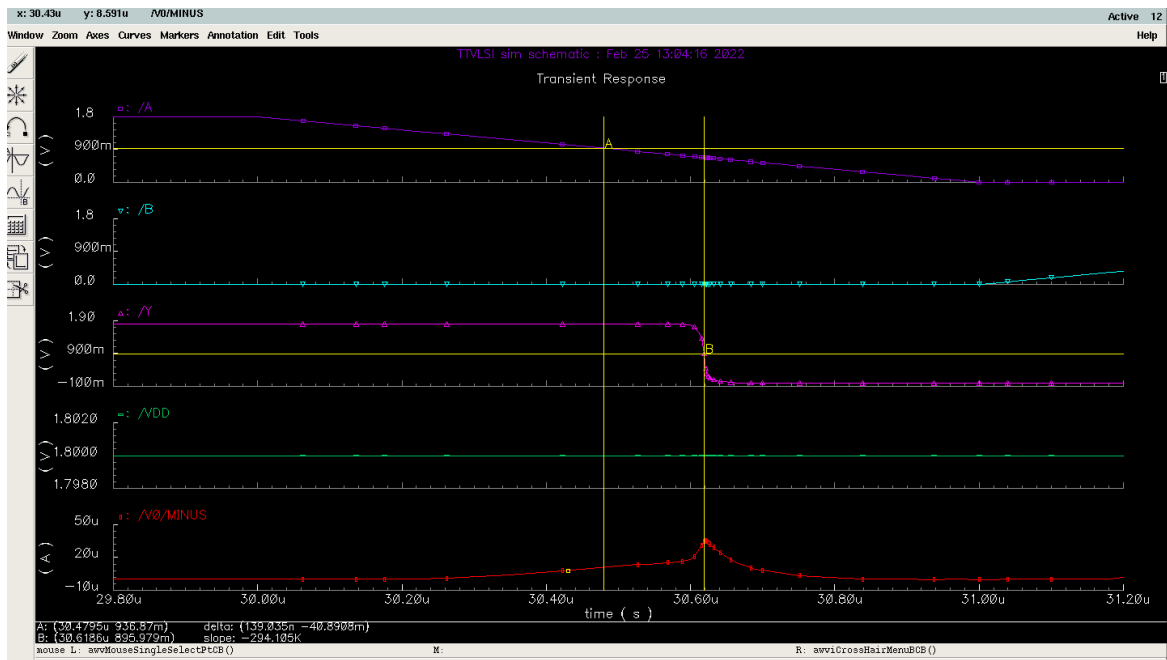


Hình 2.2.5 Mô phỏng mức logic

Nhận xét: với 2 đầu vào A, B khi ngõ vào đều bằng 0 thì ngõ ra bằng 0, các trường hợp còn lại bằng 1.

## 2.2.4 Mô phỏng delay

Tiến hành lấy 50% điện áp ngõ vào so sánh với 50% điện áp ngõ ra.



Hình 2.2.6 Mô phỏng delay

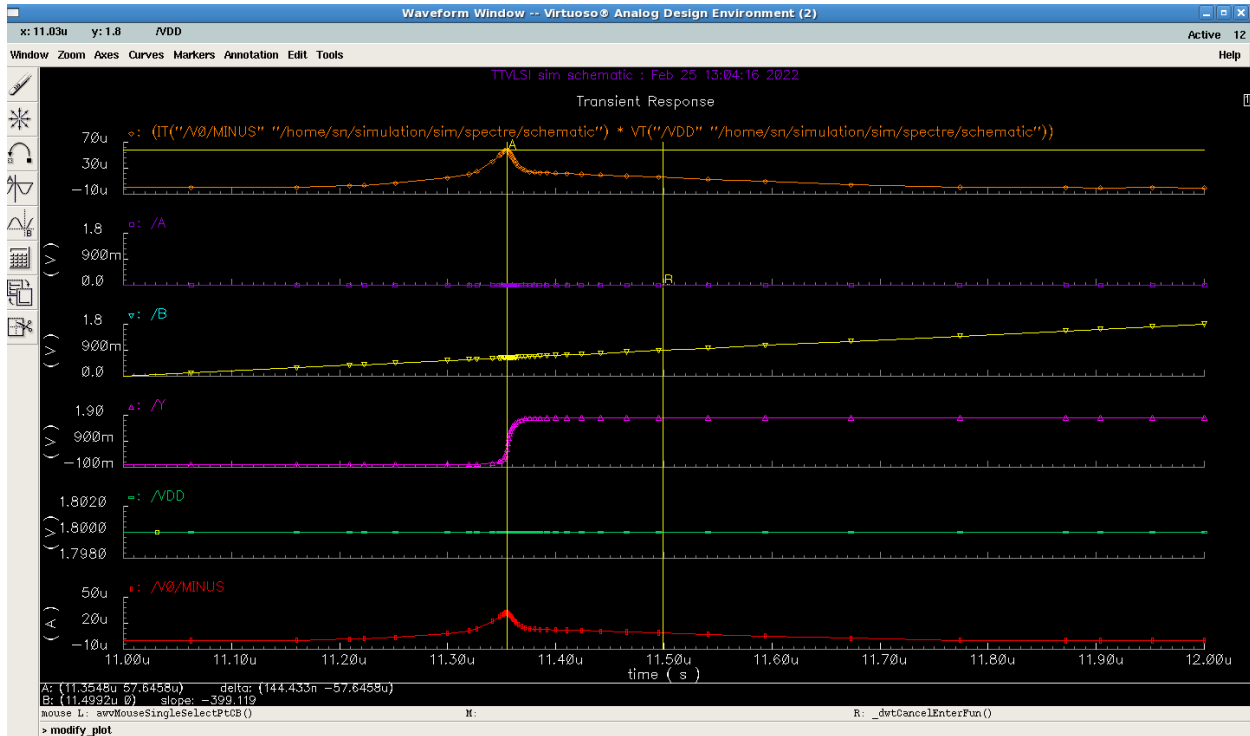


Nhận xét: Độ delay =  $30.61\mu s - 30.47\mu s = 0.14\mu s$ .

## 2.2.5. Mô phỏng công suất

### 2.2.5.1. Công suất cực đại

Công suất đạt cực đại tại thời điểm chuyển mạch.



Hình 2.2.7 Công suất cực đại

Nhận xét: giá trị công suất cực đại  $P_{max} = 57.64\mu W$ .

### 2.2.5.2. Công suất trung bình



Hình 2.2.8 Công suất trung bình

Nhận xét: Công suất trung bình  $P_{avg} = 822.5nW$ .