

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH



BÁO CÁO TT VLSI-CT7-012

GVHD: Lê Minh Thành.

Sinh viên thực hiện: Nguyễn Duy Huân

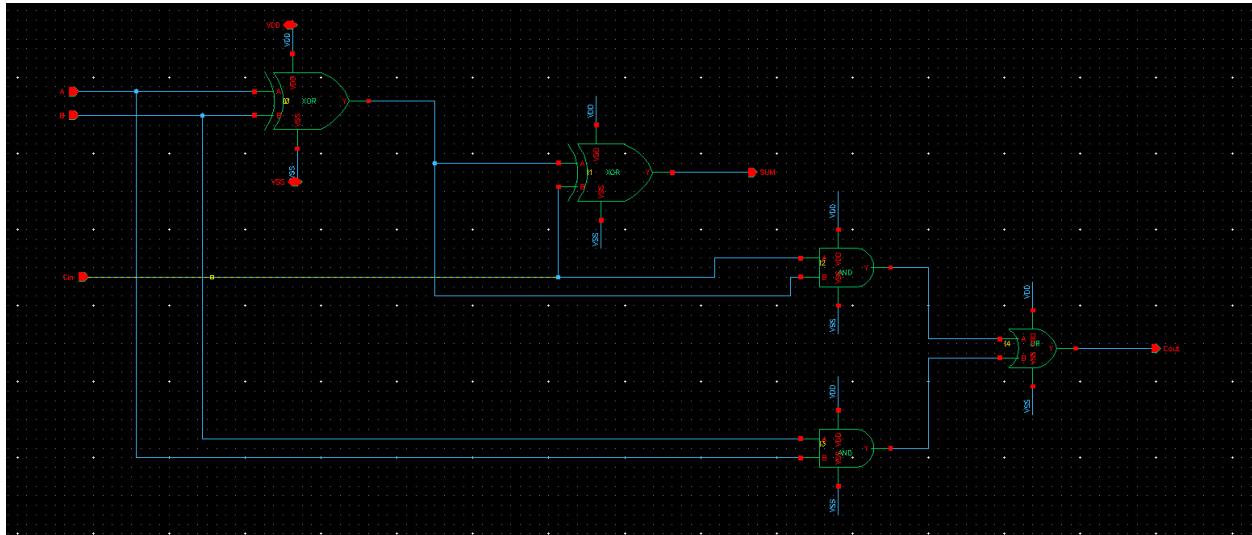
MSSV: 19119182

Mục lục

Phần 1: Mạch cộng toàn phần 4 bit.....	2
1.1.Sơ đồ nguyên lý mạch cộng toàn phần 1 bit.....	2
1.2. Sơ đồ mô phỏng mạch cộng toàn phần 1 bit.....	2
1.3. Mô phỏng nguyên lý	3
1.4. Khảo sát Delay	3
1.5. Khảo sát công suất	4
1.6.Sơ đồ nguyên lý mạch cộng toàn phần 4 bit.....	4
1.7. Sơ đồ mô phỏng	5
1.8. Mô phỏng mức logic.....	6
1.9.Đánh giá công suất.....	6
Phần 2: Thanh ghi dịch 4 bit	8
2.1. Sơ đồ nguyên lý	8
2.2.Sơ đồ mô phỏng	8
2.3.Mô phỏng logic	9
2.4.Khảo sát delay	10
2.5.Khảo sát công suất	10

Phần 1: Mạch cộng toàn phần 4 bit

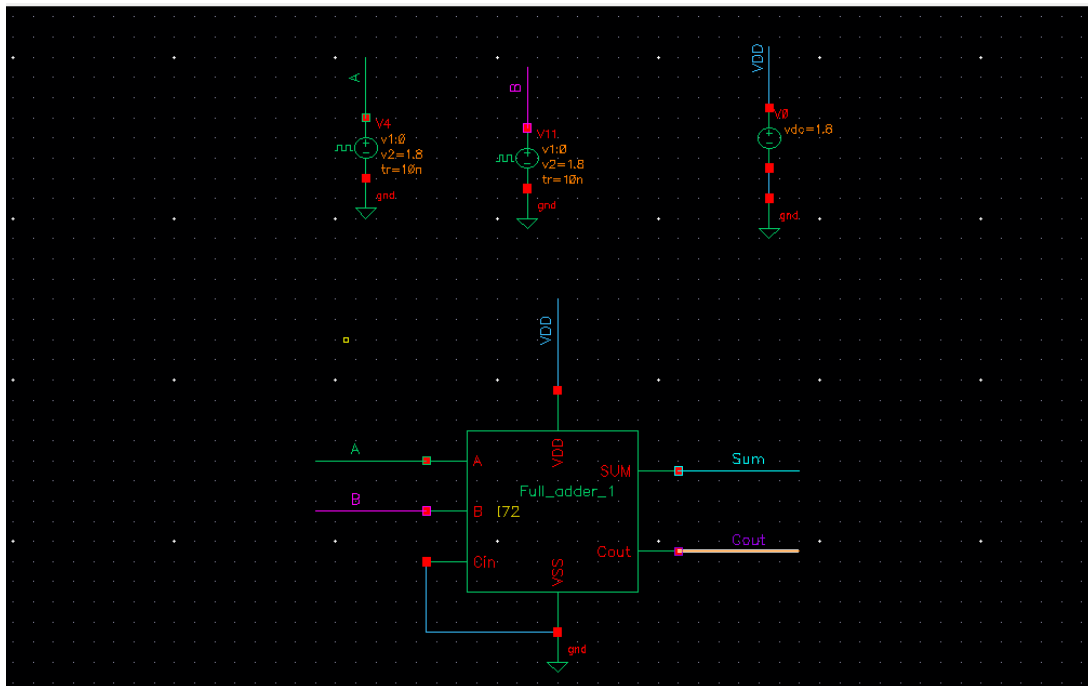
1.1. Sơ đồ nguyên lý mạch cộng toàn phần 1 bit



Hình 1.1: Sơ đồ nguyên lý mạch cộng 1 bit

Sơ đồ nguyên lý mạch cộng toàn phần 1 bit bao gồm 3 ngõ vào 1 bit A, B và Cin. Ngõ ra Sum và Cout như hình 1.1.

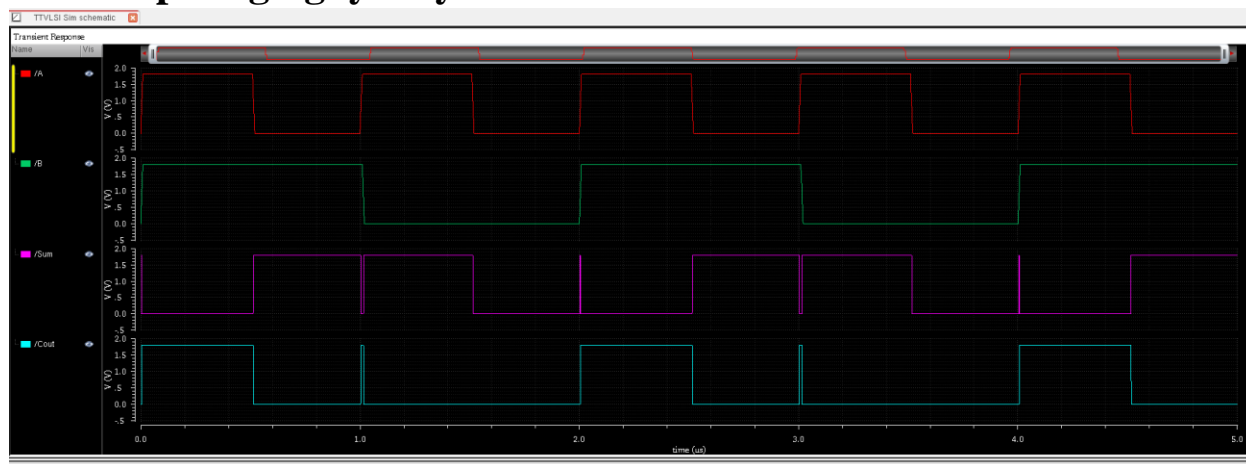
1.2. Sơ đồ mô phỏng mạch cộng toàn phần 1 bit



Hình 2.2: Sơ đồ mô phỏng mạch cộng toàn phần 1 bit

Tiến hành cấp nguồn $VDD=1.8V$, ngõ vào A và B là xung đồng hồ, ngõ vào B có chu kì gấp đôi ngõ vào A, ngõ vào Cin và VSS nối GND.

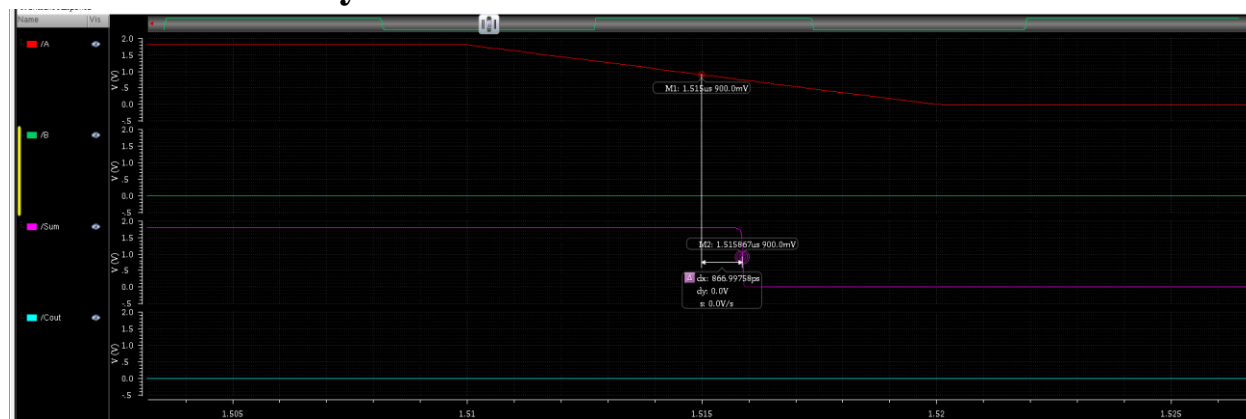
1.3. Mô phỏng nguyên lý



Hình 1.3: Mô phỏng nguyên lý

Khi 1 trong 2 A hoặc B ở mức 1 thì ngõ ra Sum = 1, trường hợp A và B cùng bằng 1 ngõ ra Sum = 1 và Cout = 1, Trường hợp A và B cùng bằng 0 ngõ ra Sum = 0 và Cout = 0.

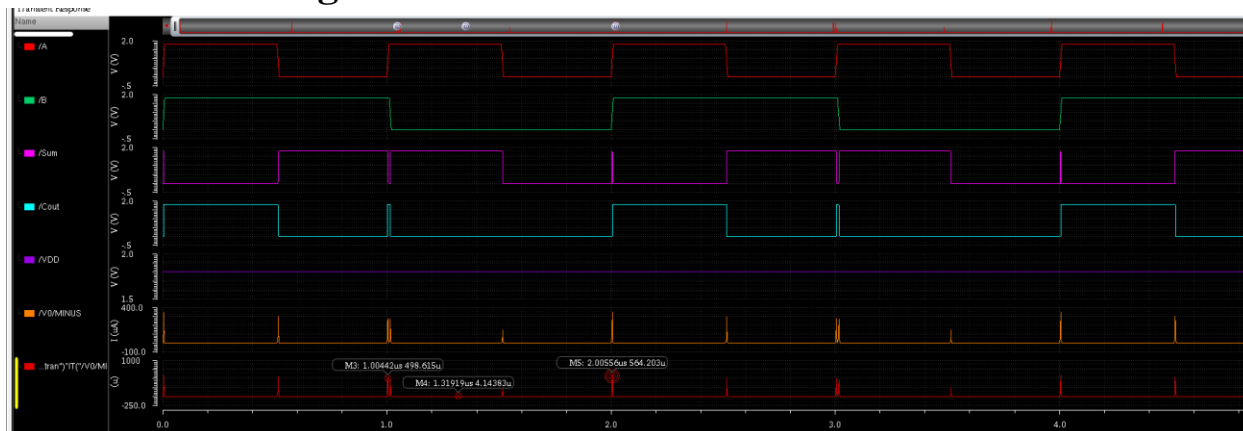
1.4. Khảo sát Delay



Hình 1.4: Khảo sát delay

Lấy 50% xung ngõ vào A thay đổi từ mức 1 xuống mức 0 và đồng thời lấy 50% xung ngõ ra Sum thay đổi từ mức 1 xuống mức 0 thì độ trễ rơi vào khoảng 866ps.

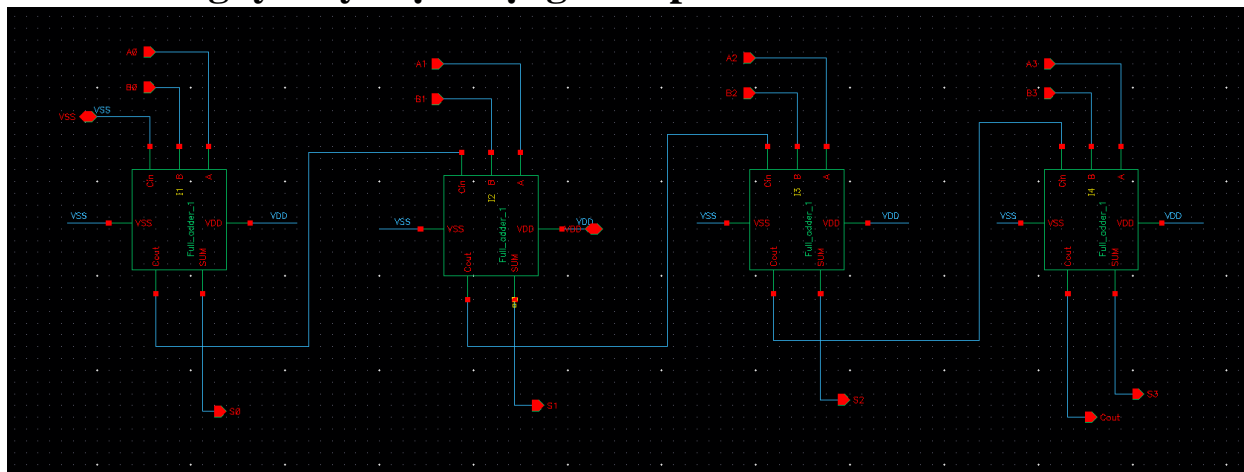
1.5. Khảo sát công suất



Hình 1.5: Khảo sát công suất

Công suất cực đại tại thời điểm chuyển mạch rơi vào khoảng 564uW, công suất tĩnh khoảng 4uW.

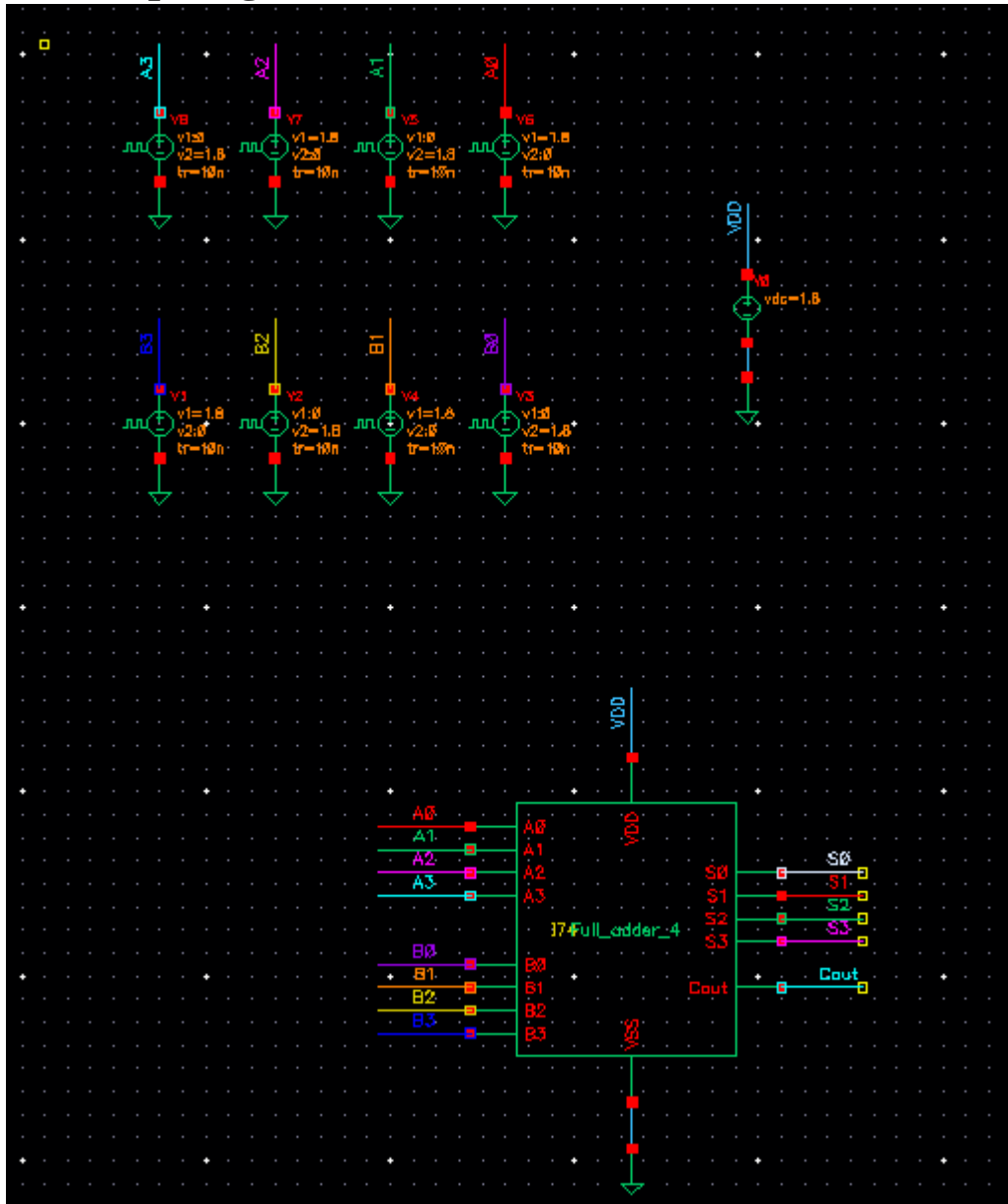
1.6. Sơ đồ nguyên lý mạch cộng toàn phần 4 bit



Hình 1.6: Sơ đồ nguyên lý

Thực hiện ghép nối 4 mạch cộng toàn phần 1 bit được mạch cộng toàn phần 4 bit với Cin nối VSS như hình 1.6.

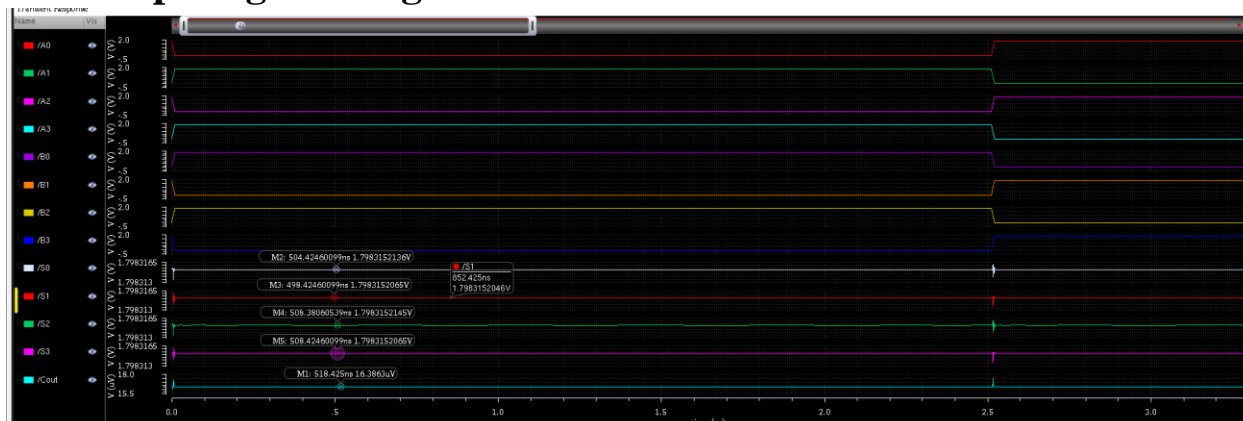
1.7. Sơ đồ mô phỏng



Hình 1.7: Sơ đồ mô phỏng

Cấp nguồn $VDD = 1.8V$ và tiến hành cài mức logic ở số $A = 0101$ và $B = 1010$, VSS nối GND ($C_{in} = 0$).

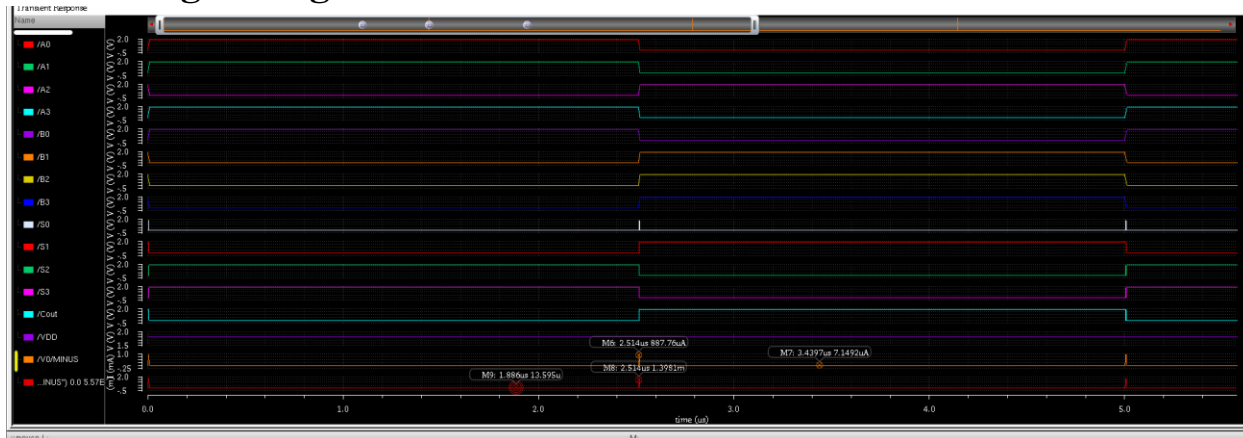
1.8. Mô phỏng mức logic.



Hình 1.8: Mô phỏng mức logic

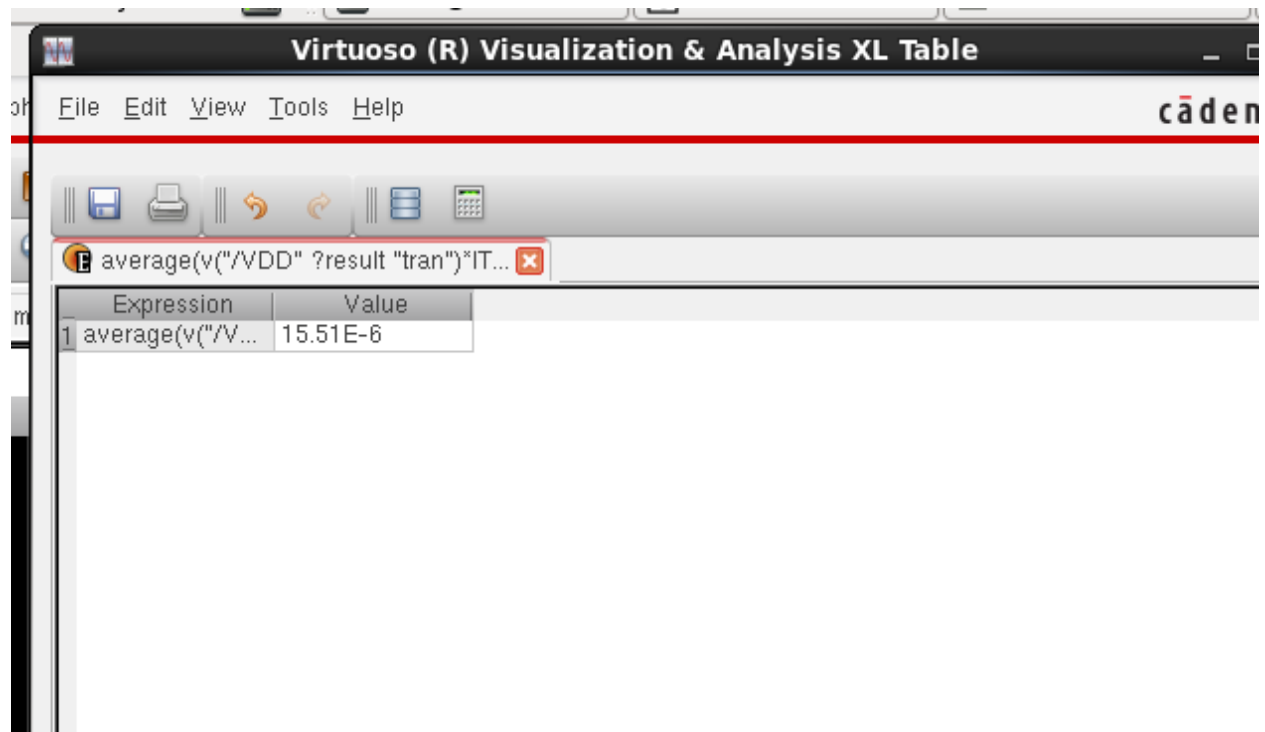
Giả sử trường hợp $A=0101$ và $B=1010$ thì ngõ ra $S = 1111$ và $Cout = 0$, có thể kết luận mạch hoạt động đúng mức logic của mạch cộng toàn phần 4 bit.

1.9.Đánh giá công suất



Hình 1.9: Đánh giá công suất

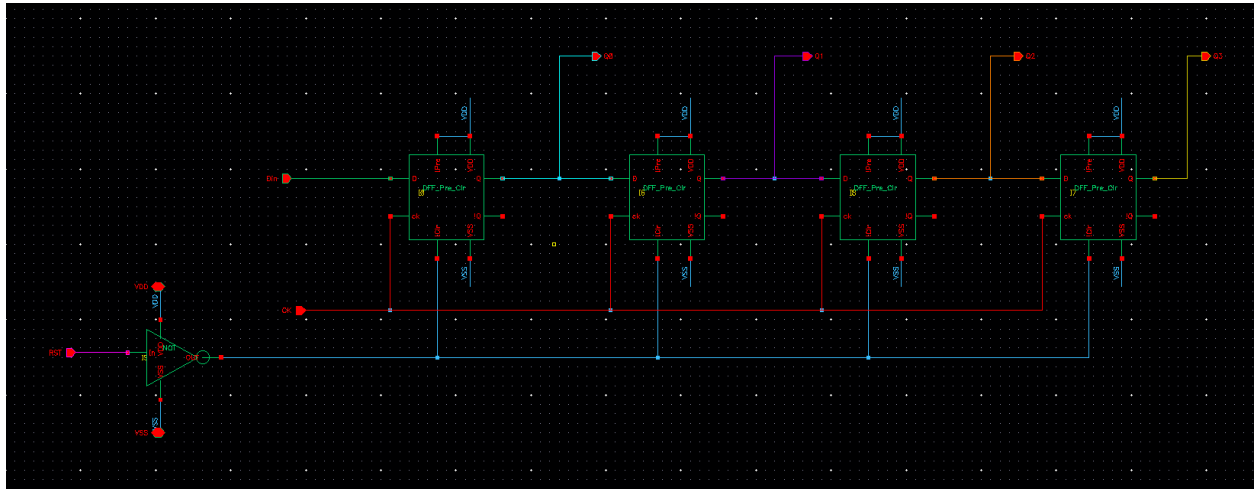
Tại thời điểm chuyển mạch khi ngõ ra S thay đổi thì công suất đạt max rơi vào khoảng $1.39mW$, và công suất tĩnh rơi vào khoảng $13.59uW$.



Hình 1.10: Công suất trung bình

Phần 2: Thanh ghi dịch 4 bit

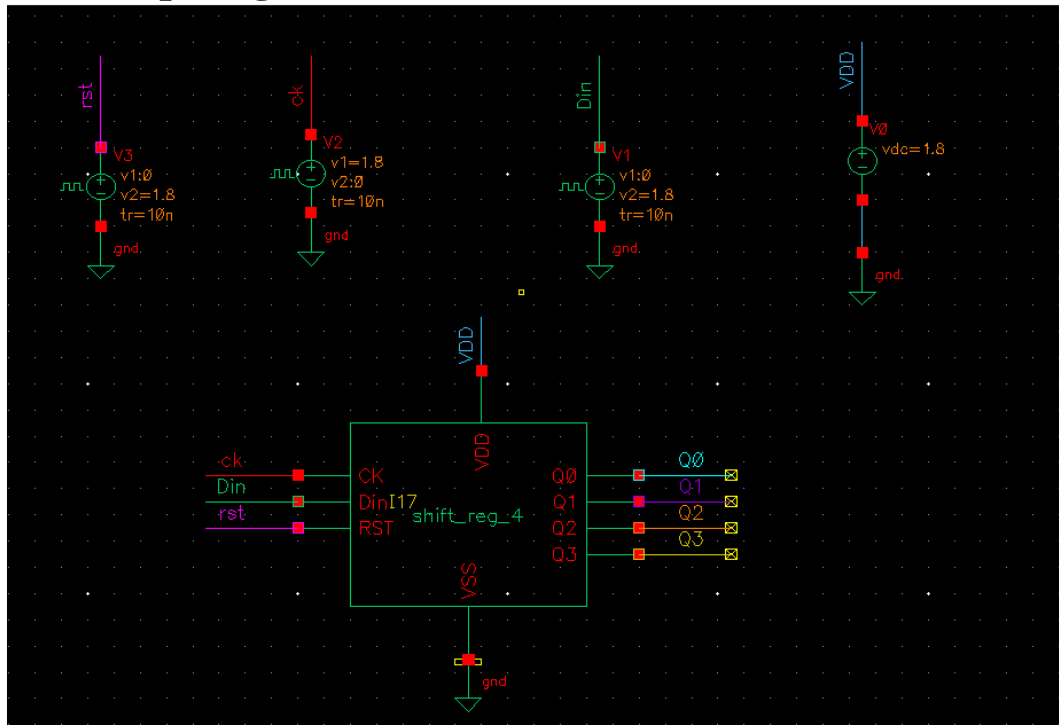
2.1. Sơ đồ nguyên lý



Hình 2.1: Sơ đồ nguyên lý

Thanh ghi dịch 4 bit sử dụng 4 DFF được kết nối như hình 2.1 với ngõ vào Din và 4 ngõ ra Q0, Q1, Q2, Q3, xung rst tích cực mức cao, xung clk tác động cạnh lên.

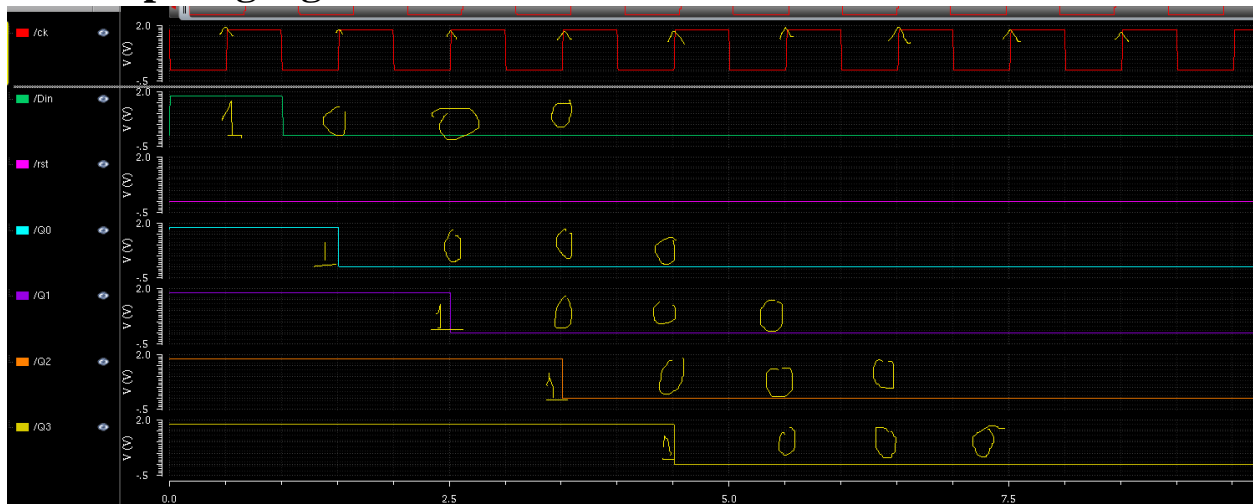
2.2. Sơ đồ mô phỏng



Hình 2.2: Sơ đồ mô phỏng

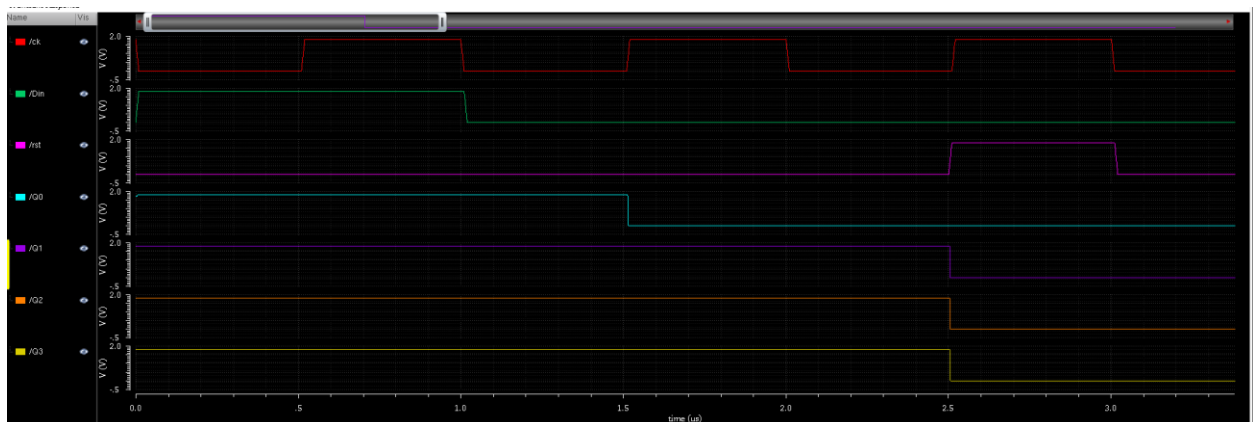
Cấp nguồn VDD = 1.8V, VSS = GND, ngõ vào Din đưa vào 4 bit 1000.

2.3. Mô phỏng logic



Hình 2.4: Mô phỏng logic

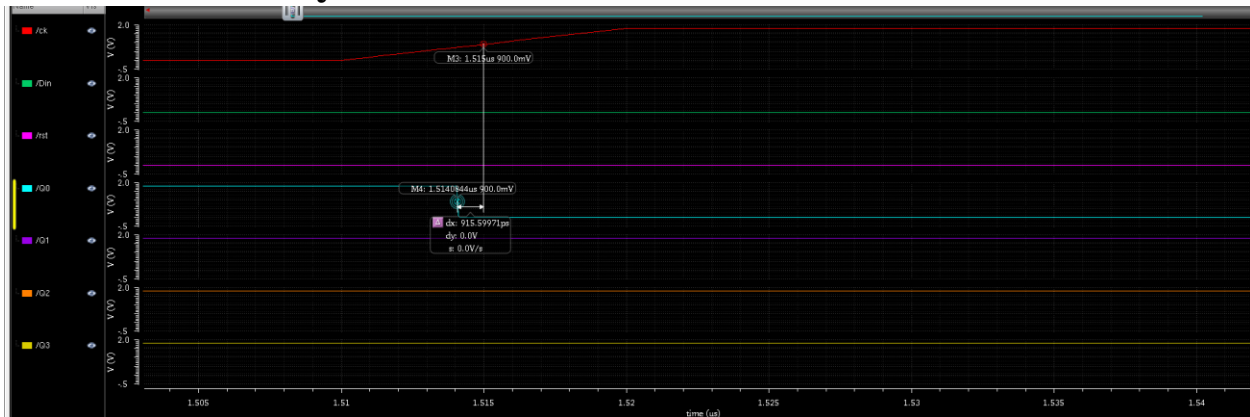
Sau khi cho Din= 1000 thì tại ngõ ra cuối cùng Q3 sau 4 xung clk thì 4 bit 1000 được đưa ra ngõ ra Q3 với quy luật FIFO.



Hình 2.5: Mô phỏng mức logic xung rst

Khi có xung rst tác động mức 1 thì tất cả ngõ ra Q0 -> Q3 đều reset về trạng thái 0.

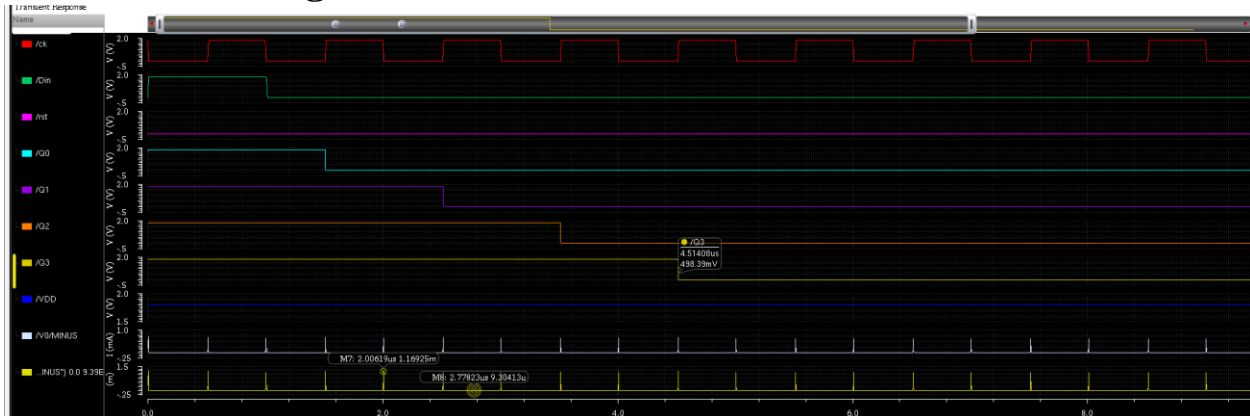
2.4. Khảo sát delay



Hình 2.6: Khảo sát delay

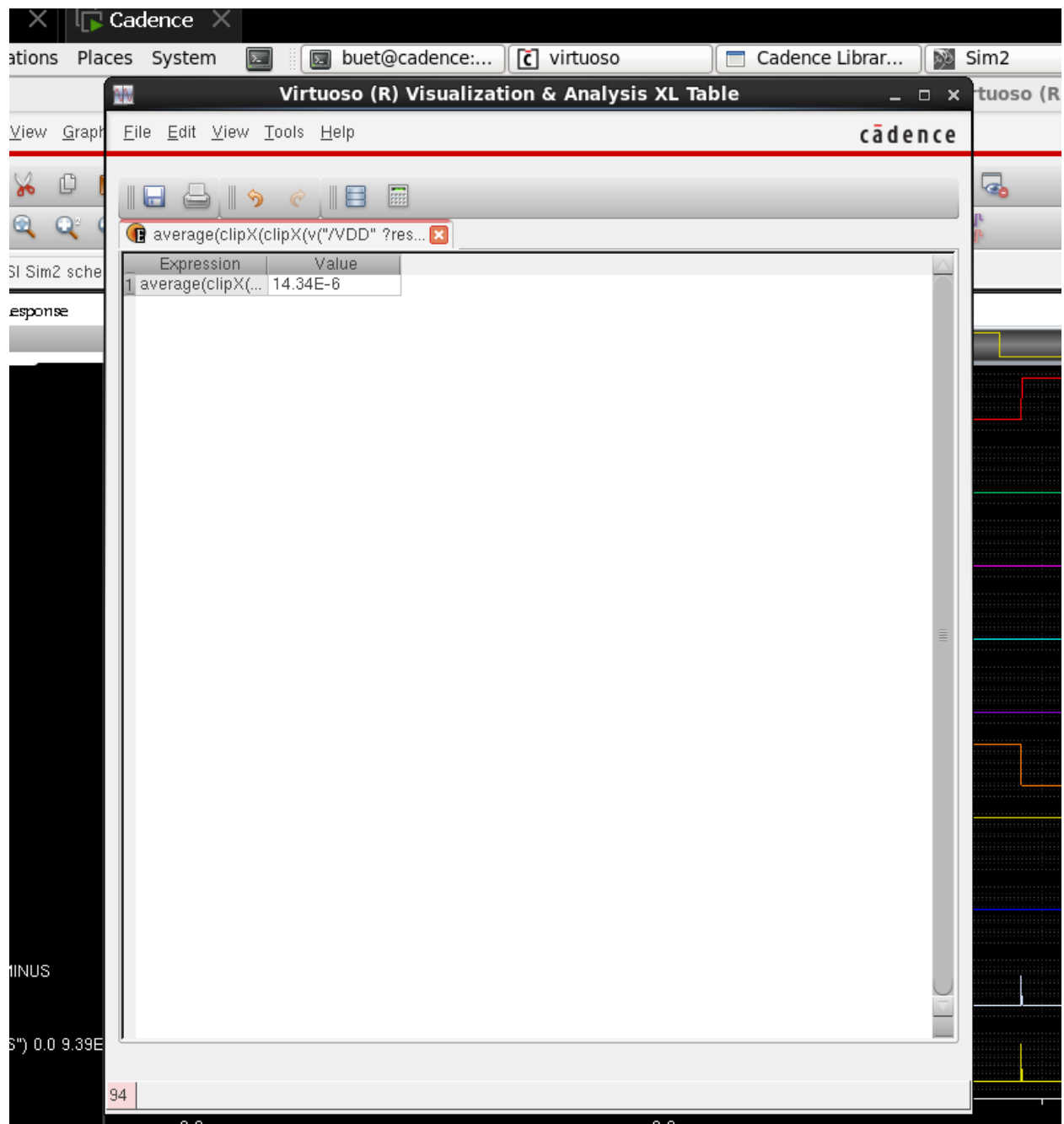
Tiến hành lấy 50% xung cạnh lên ck so với ngõ ra Q0 thì có thể đánh giá được mạch đáp ứng sớm, độ trễ hầu như không có.

2.5. Khảo sát công suất



Hình 2.7: Khảo sát công suất

Công suất đạt cực đại tại thời điểm chuyển mạch rơi vào khoảng 1.16mW, công suất tĩnh rơi vào khoảng 9uW.



Hình 2.8: Công suất trung bình