

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH



THI CUỐI KÌ TT VLSI-CT7-012

GVHD: Lê Minh Thành.

Sinh viên thực hiện: Nguyễn Duy Huân

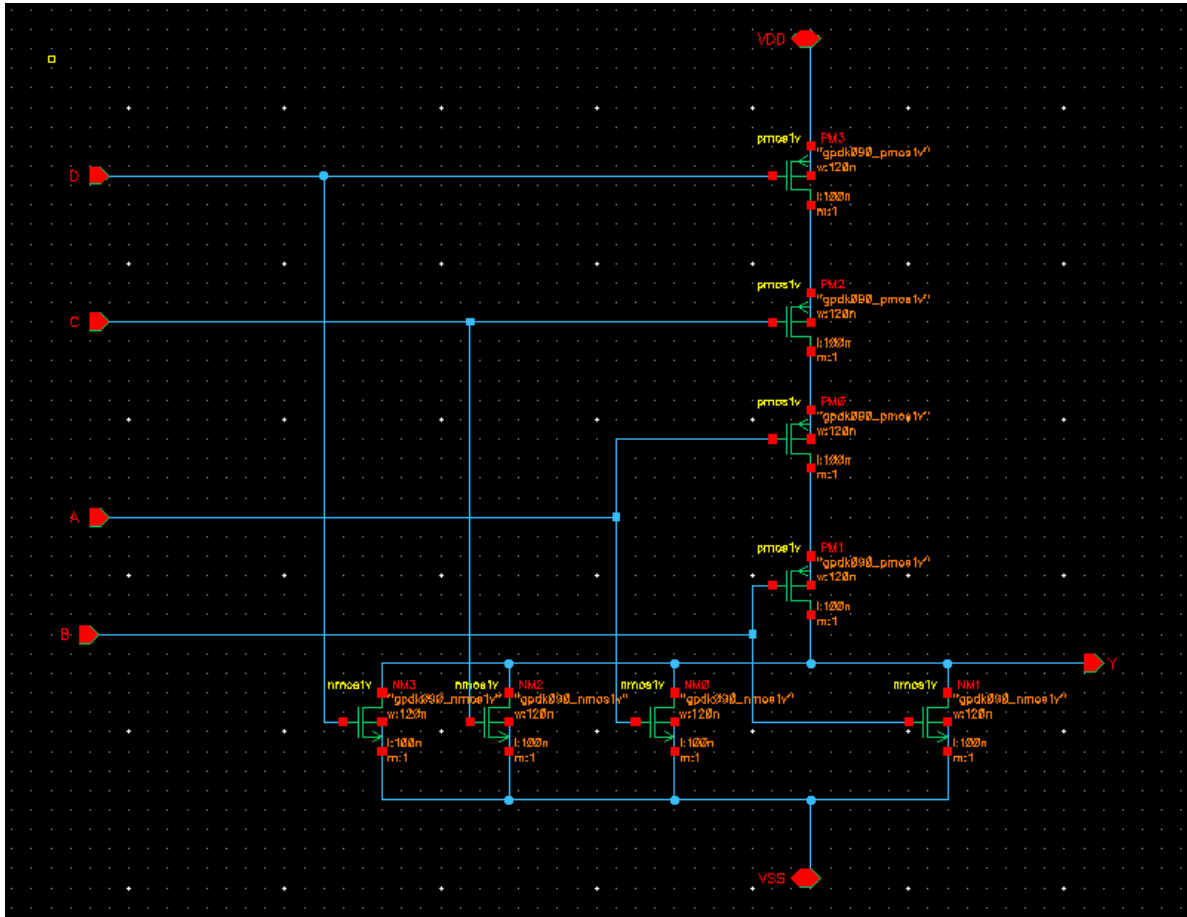
MSSV: 19119182

Mục lục

Bài 1: Thiết kế và mô phỏng cổng NOR 4 ngõ vào.....	2
1.1. Sơ đồ nguyên lý cổng NOR 4 ngõ vào	2
1.2.Sơ đồ mô phỏng	3
1.3.Đánh giá mức logic cổng NOR 4 ngõ vào.....	4
1.4.Đánh giá độ trễ.....	4
1.5. Đánh giá công suất.....	5
Bài 2: Thiết kế mạch đếm johnson 3 bit dùng D-FF tác động clk cạnh lên, có đầy đủ các ngõ vào bất đồng bộ.....	6
2.1. Sơ đồ nguyên lý mạch đếm johnson 3 bit.....	6
2.2.Sơ đồ mô phỏng mạch đếm johnson 3 bit	7
2.3. Khảo sát dạng sóng	7
2.4. Đánh giá độ trễ.....	8
2.5.Đánh giá công suất.....	9

Bài 1: Thiết kế và mô phỏng cổng NOR 4 ngõ vào

1.1. Sơ đồ nguyên lý cổng NOR 4 ngõ vào



Hình 1.1: Sơ đồ nguyên lý cổng NOR 4 ngõ vào

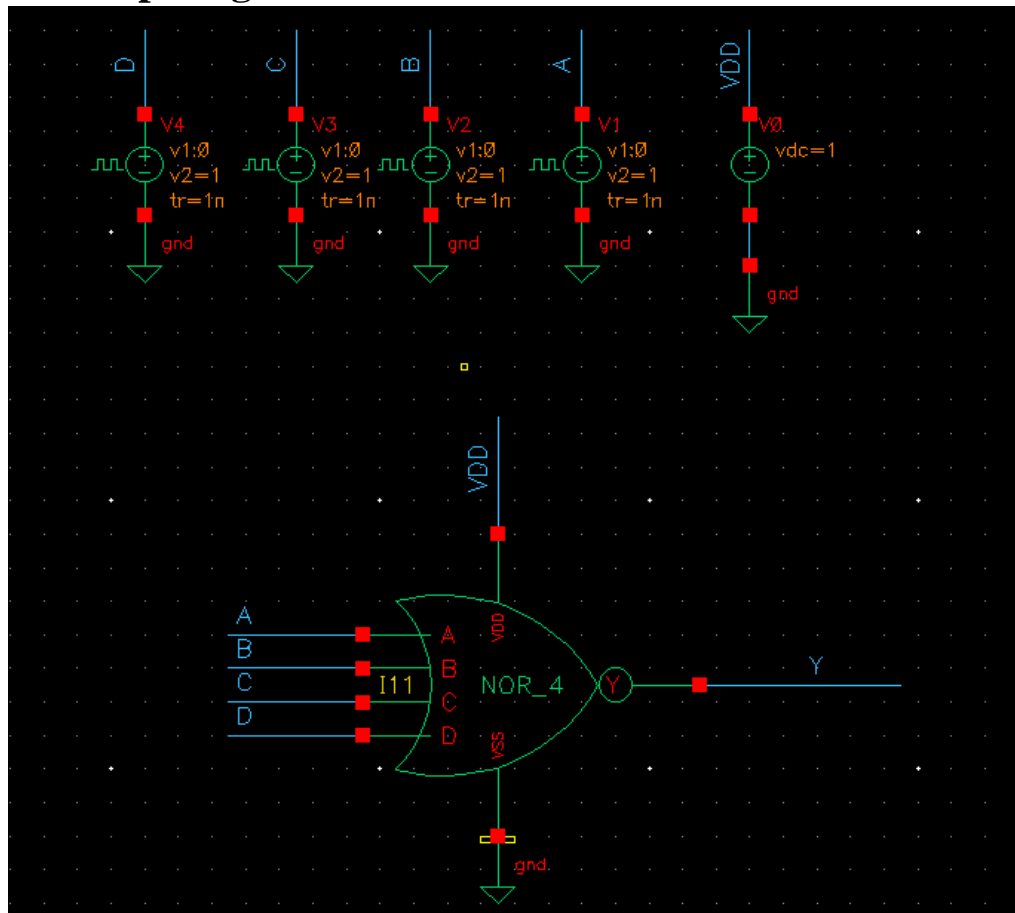
Sơ đồ nguyên lý cổng NOR 4 ngõ vào được thiết kế sử dụng Nmos_1V và Pmos_1V có thông số Nmos và Pmos như sau:

Nmos: $L=100n$, $W = 120n$.

Pmos: $L=100n$, $W = 120n$.

Các Nmos và Pmos được kết nối như hình 1.1 với 4 ngõ vào A, B, C, D và ngõ ra Y. Các chân cấp nguồn VDD và VSS.

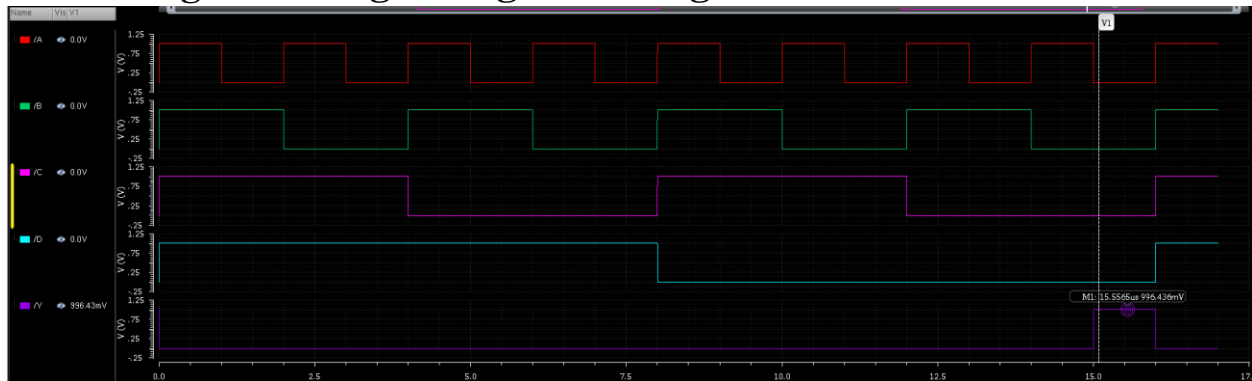
1.2. Sơ đồ mô phỏng



Hình 1.2: Sơ đồ mô phỏng cổng NOR 4 ngõ vào

Tiến hành cấp nguồn $VDD = 1V$, $VSS = 0V$ cho cổng, các ngõ vào A, B, C, D là các xung đồng hồ có chu kì lần lượt từ 2 μs , 4 μs , 8 μs , 16 μs , độ rộng xung 50%.

1.3.Đánh giá mức logic cổng NOR 4 ngõ vào



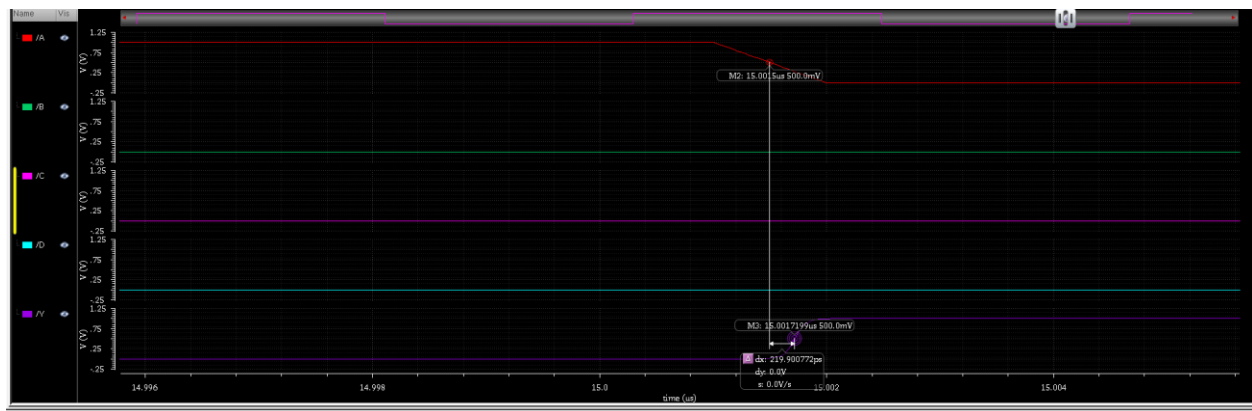
Hình 1.3: Mô phỏng dạng sóng

Tại thời điểm V1 tất cả các ngõ vào A, B, C, D đều ở mức logic 0 thì ngõ ra Y đạt mức logic 1. Tất cả các thời điểm còn lại ngõ ra Y ở mức logic 0.

Do đó có thể kết luận thiết kế cổng NOR 4 ngõ vào đã hoạt động đúng mức logic.

1.4.Đánh giá độ trễ

Dựa vào hình 1.3 ngõ ra Y chỉ thay đổi mức logic từ 0 lên 1 tại thời điểm V1 nên sẽ tiến hành khảo sát độ trễ tại thời điểm V1.

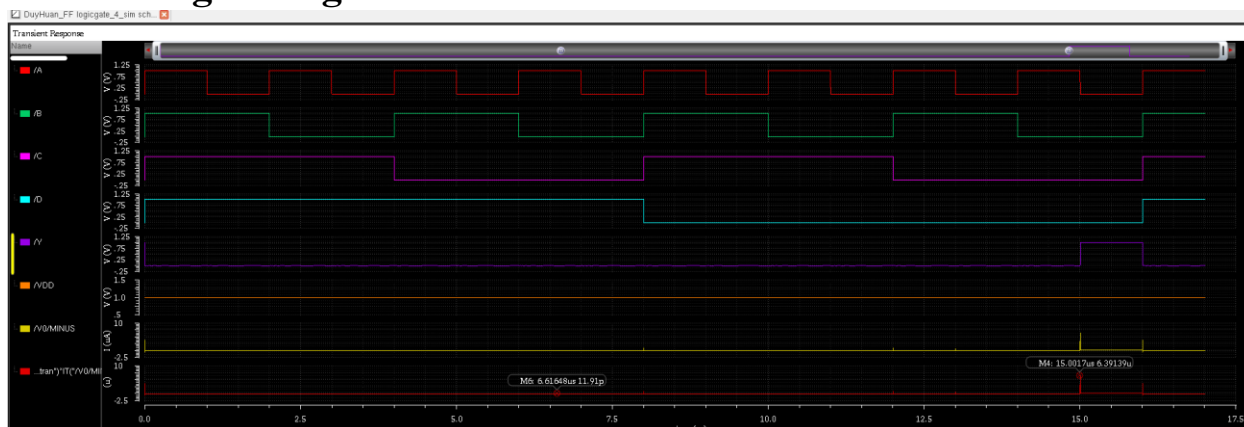


Hình 1.4: Đánh giá độ trễ

Tiến hành lấy 50% thời điểm ngõ vào A chuyển từ mức 1 xuống 0 và so sánh với 50% xung ngõ ra Y đang chuyển từ mức 0 lên mức 1 được kết quả $T_{delay}=219,9ps$.

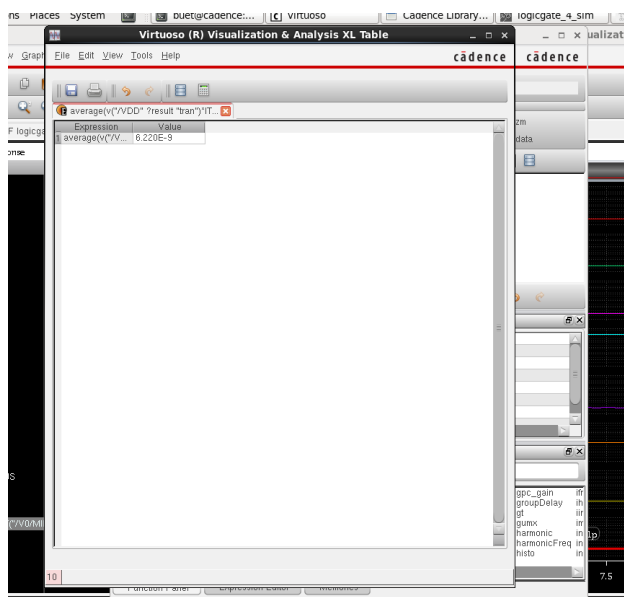
Từ đó có thể đánh giá được thông số độ trễ thấp, Thiết kế mạch này có thể hoạt động ổn định.

1.5. Đánh giá công suất



Hình 1.5: Đánh giá công suất tức thời

Từ hình 1.5 có thể đánh giá được tại thời điểm ngõ ra thay đổi hay nói cách khác là thời điểm chuyển mạch, mạch đạt công suất tối đa rơi vào khoảng 6,39uW, công suất tĩnh khi mạch không chuyển mạch đạt 11,91pW.



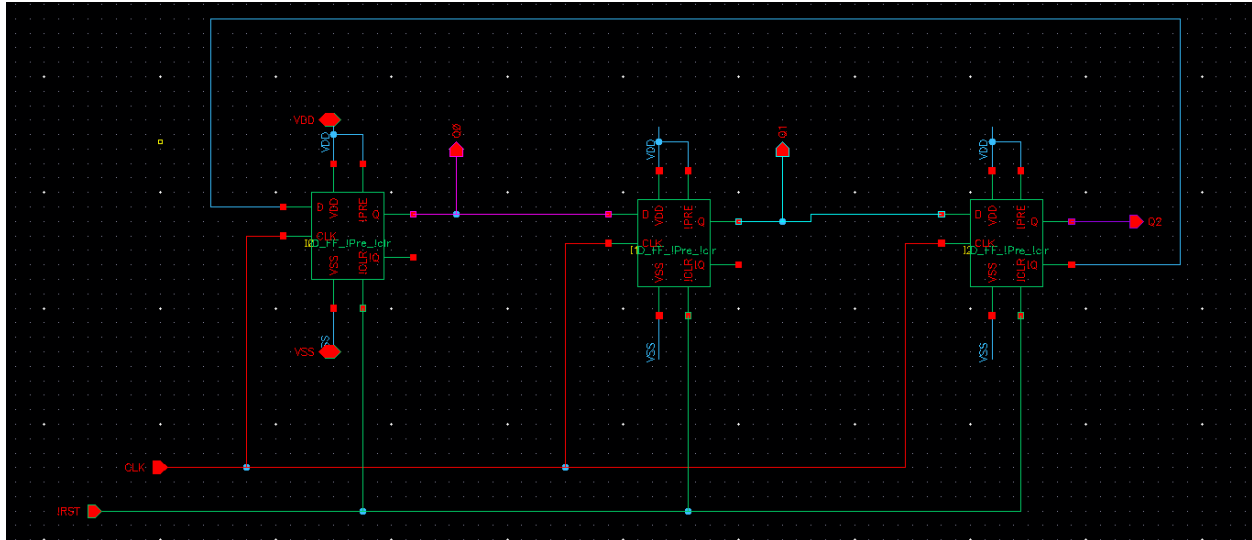
Hình 1.6: Công suất trung bình

Khảo sát trong khoảng 17us mạch cho ra công suất trung bình bằng $6,22 \cdot 10^{-9}$ W.

Kết luận: Để mạch hoạt động ổn định cần nguồn cấp VDC 1V với dòng điện cung cấp cao nhất phải đạt trên 7uA.

Bài 2: Thiết kế mạch đếm johnson 3 bit dùng D-FF tác động clk cạnh lên, có đầy đủ các ngõ vào bất đồng bộ.

2.1. Sơ đồ nguyên lý mạch đếm johnson 3 bit

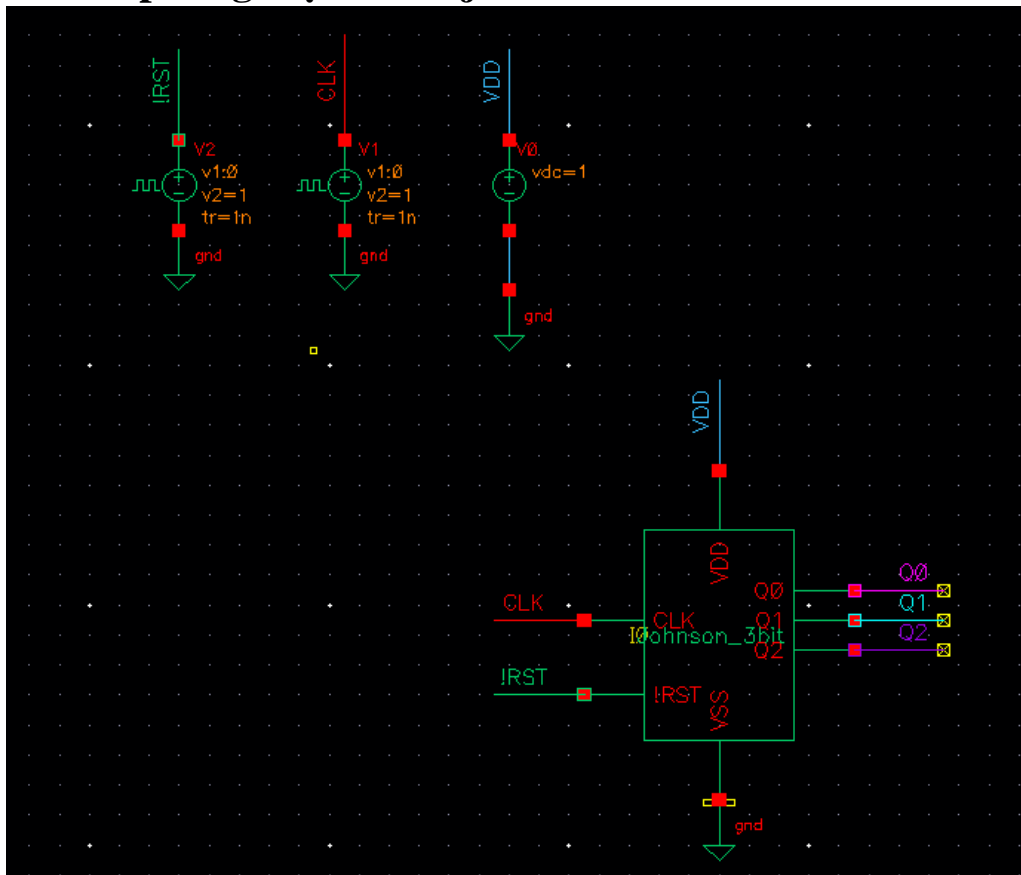


Hình 2.1: Sơ đồ nguyên lý mạch đếm johnson 3 bit

Sơ đồ thiết kế mạch đếm Johnson 3 bit được thiết kế bằng cách sử dụng 3 con D flip flop có xung clk tác động cạnh lên, Preset và Clear tác động mức thấp được kết nối như sơ đồ nguyên lý hình 2.1.

Mạch đếm johnson 3 bit được thiết kế bao gồm ngõ vào xung Clk (tác động cạnh lên), ngõ vào RST tác động mức thấp với chức năng set lại bit 0 tại ngõ ra Q của các DFF, chân !Pre nối với nguồn VDD. Ngõ ra lần lượt là Q0, Q1, Q2.

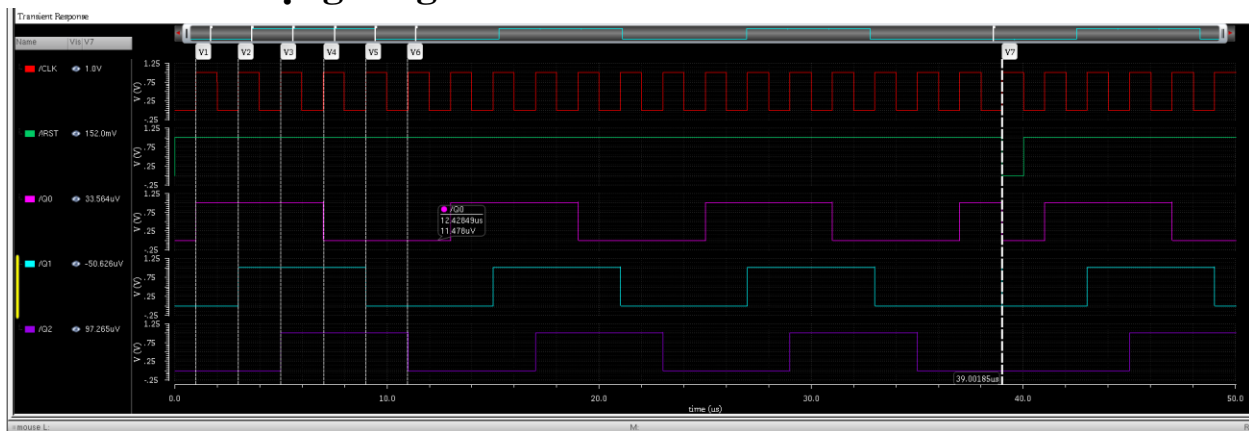
2.2. Sơ đồ mô phỏng mạch đếm johnson 3 bit



Hình 2.2: Sơ đồ mô phỏng mạch đếm johnson 3 bit

Cấp nguồn $VDD = 1V$, $VSS = 0V$ cho mạch ngõ vào xung clk có chu kì 2us, độ rộng xung 50%, vào ngõ vào !RST tác động mức thấp.

2.3. Khảo sát dạng sóng

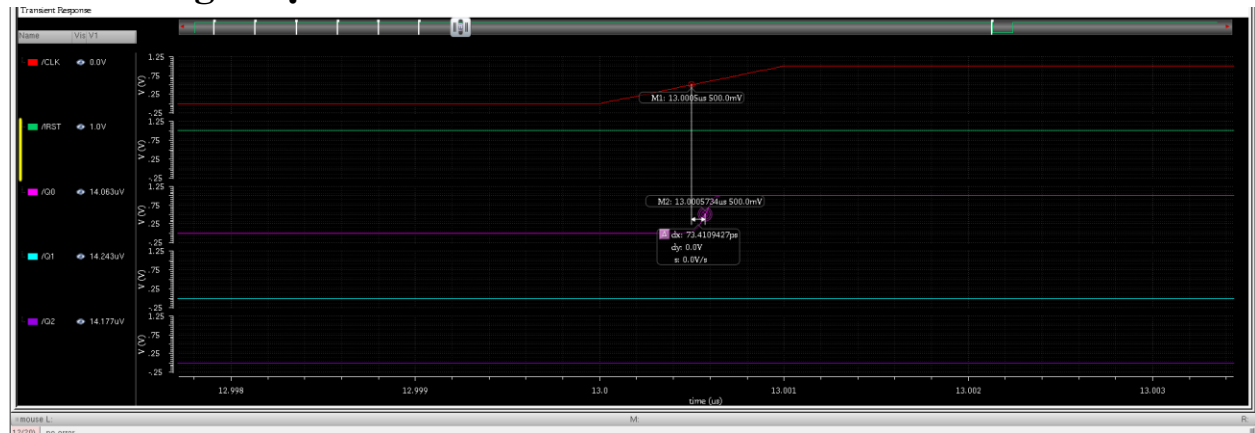


Hình 2.3: Khảo sát dạng sóng

Tại thời điểm 0s xung RST tác động 3 ngõ ra ở trạng thái 0, sau đó khi có xung CLK tác động cạnh lên thì các ngõ ra Q0, Q1, Q2 sẽ lần lượt lên dần mức 1 và về dần mức 0 rồi lặp lại các trạng thái trên. Tại thời điểm V7 xung RST tác động các ngõ ra Q về mức 0.

Trạng thái	Q0	Q1	Q2
RST	0	0	0
CLK	1	0	0
CLK	1	1	0
CLK	1	1	1
CLK	0	1	1
CLK	0	0	1
CLK	0	0	0

2.4. Đánh giá độ trễ

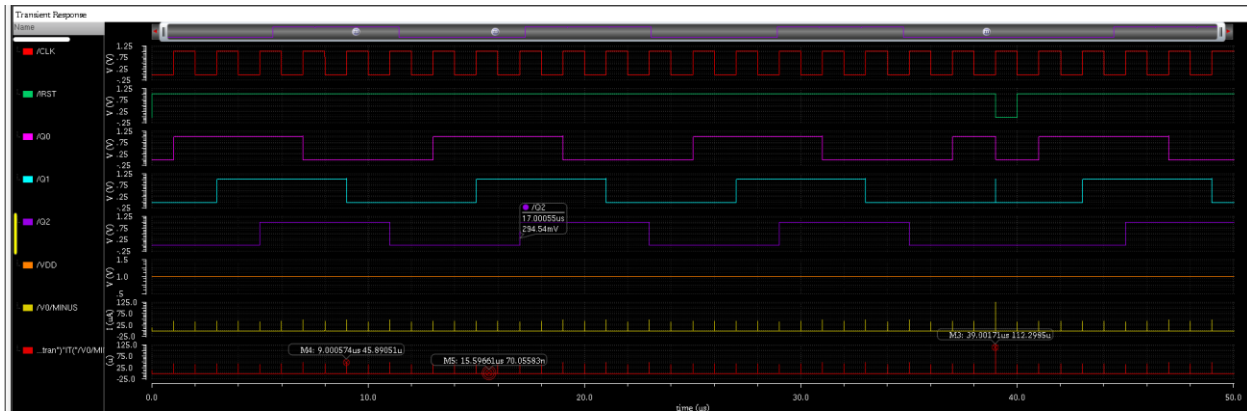


Hình 2.4: Đánh giá độ trễ

Tiền hành lấy 50% tại xung cạnh lên của ngõ vào CLK đánh giá với ngõ ra Q0 đo được độ trễ rơi vào khoảng 73,41ps.

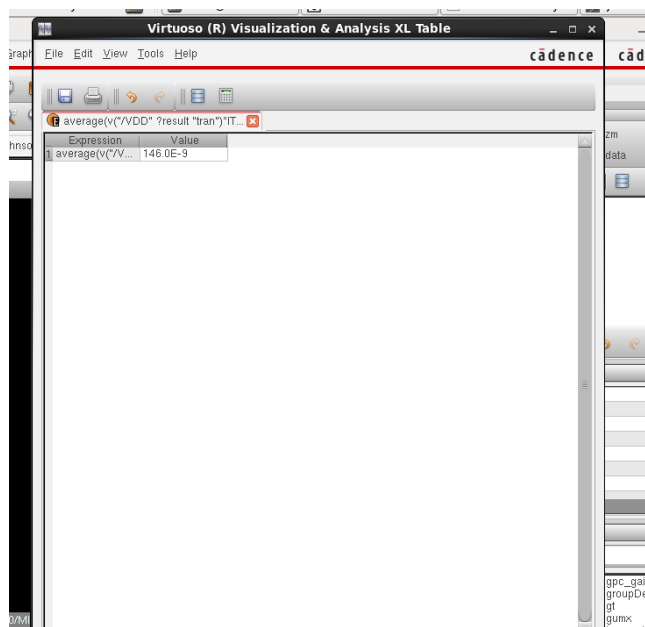
Độ trễ này cũng chính là độ trễ của DFF (vì thiết kế sử dụng các DFF giống nhau nên các trường hợp khác tương tự), từ mức độ trễ mạch này có thể đưa ra kết luận mạch hoạt động đúng mức logic khi cấp xung CLK ngõ vào có chu kỳ lớn hơn 73,41ps (khuyến khích nên lớn hơn 100ps).

2.5.Đánh giá công suất



Hình 2.5: Đánh giá công suất tức thời

Tại thời điểm xung RST tác động mạch đạt công suất cao nhất rơi vào khoảng 112,29uW, tại các thời điểm chuyển mạch khác công suất đạt khoảng 45,89uW, công suất tĩnh khi mạch không hoạt động rơi vào khoảng 70nW.



Hình 2.6: Công suất trung bình

Công suất trung bình rơi vào khoảng $146 \cdot 10^{-9}$ W.

Kết luận: Để mạch hoạt động ổn định cần nguồn cấp VDC 1V với dòng điện cung cấp cao nhất phải đạt trên 113uA.