

**BỘ GIÁO DỤC VÀ ĐÀO TẠO**  
**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT**  
**THÀNH PHỐ HỒ CHÍ MINH**



**BÁO CÁO TT VLSI-CT7-012**

**GVHD: Lê Minh Thành.**

**Sinh viên thực hiện: Nguyễn Duy Huân**

**MSSV: 19119182**

## Mục lục

Phần 1: Khảo sát cổng NAND .....	3
1.1. Cơ sở lý thuyết .....	3
1.2. Sơ đồ nguyên lý cấp độ Cmos. ....	4
1.3. Sơ đồ mô phỏng cổng NAND.....	5
1.4. Mô phỏng logic cổng NAND.....	5
1.5. Mô phỏng delay cổng NAND .....	6
1.6. mô phỏng công suất cổng NAND.....	6
Phần 2: Khảo sát cổng AND.....	8
2.1. Cơ sở lý thuyết .....	8
2.2. Sơ đồ nguyên lý cấp độ Cmos .....	9
2.3. Sơ đồ mô phỏng cổng AND.....	10
2.4. Mô phỏng mức logic cổng AND .....	10
2.5. Mô phỏng delay cổng AND .....	10
2.6. Mô phỏng công suất cổng AND .....	11
Phần 3: Khảo sát cổng NOR .....	13
3.1. Cơ sở lý thuyết .....	13
3.2. Sơ đồ nguyên lý cấp độ Cmos cổng NOR .....	14
3.3. Sơ đồ mô phỏng cổng NOR.....	15
3.4. Mô phỏng mức logic .....	15
3.5. Mô phỏng delay cổng NOR .....	16
3.6. Đo công suất cổng NOR .....	16
Phần 4: Khảo sát cổng XOR .....	18
4.1. Cơ sở lý thuyết .....	18
4.2. Sơ đồ nguyên lý cổng XOR .....	19
4.3. Sơ đồ mô phỏng cổng XOR.....	19
4.4. Mô phỏng mức logic cổng XOR.....	20
4.5. Mô phỏng delay cổng XOR .....	20

4.6. Đo công suất cổng XOR .....	21
Phần 5: Khảo sát cổng XNOR .....	23
5.1. Cơ sở lý thuyết .....	23
5.2. Sơ đồ nguyên lý cổng XNOR .....	23
5.3. Sơ đồ mô phỏng cổng XNOR .....	24
5.4. Mô phỏng mức logic cổng XNOR .....	24
5.5. Mô phỏng delay cổng XNOR .....	24
5.6. Đo công suất cổng XNOR .....	25
Phần 6: Mô phỏng Bài tập trên lớp .....	27
6.1. Sơ đồ mô phỏng .....	27
6.2. Mô phỏng mức logic của mạch .....	27
6.3. So sánh công suất trong từng trường hợp .....	29
6.3.1. Trường hợp 000 .....	29
6.3.1. Trường hợp 001 .....	30
6.3.1. Trường hợp 010 .....	31
6.3.1. Trường hợp 011 .....	32
6.3.1. Trường hợp 100 .....	33
6.3.1. Trường hợp 101 .....	34
6.3.1. Trường hợp 110 .....	35
6.3.1. Trường hợp 111 .....	36
6.3.2. So sánh công suất trung bình trong từng trường hợp .....	37

## Phần 1: Khảo sát cổng NAND

### 1.1. Cơ sở lý thuyết

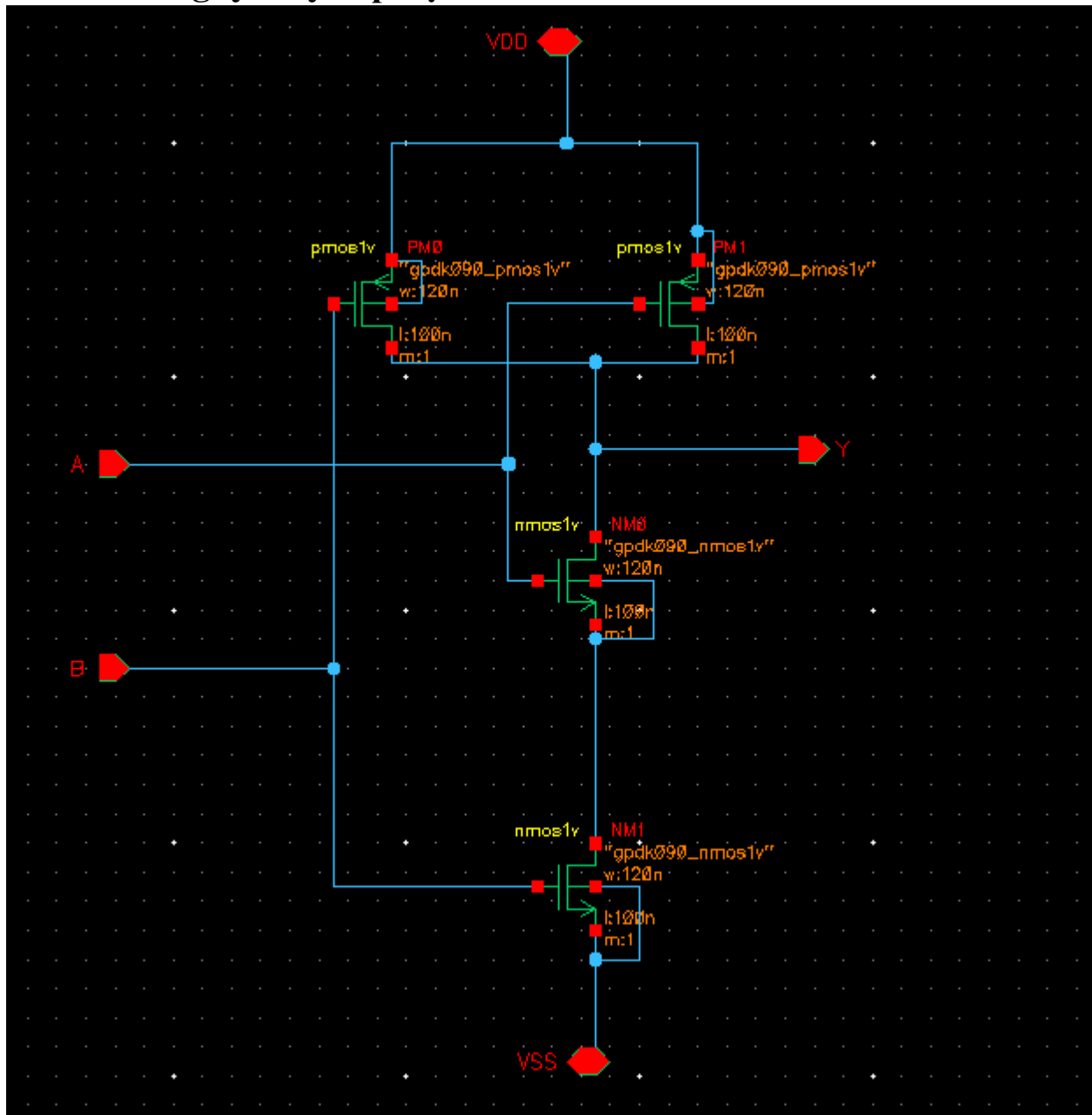


Bảng chân lý - Cổng NAND		
Đầu vào A	Đầu vào B	Đầu ra Q
0	0	1
0	1	1
1	0	1
1	1	0

Hình 1.1: Bảng trạng thái và kí hiệu cổng NAND

Cổng NAND gồm 2 ngõ vào A B và 1 ngõ ra Q (hoặc Y) và có bảng trạng thái như hình 1.1.

## 1.2. Sơ đồ nguyên lý cấp độ Cmos.



Hình 1.2: Sơ đồ nguyên lý cổng NAND

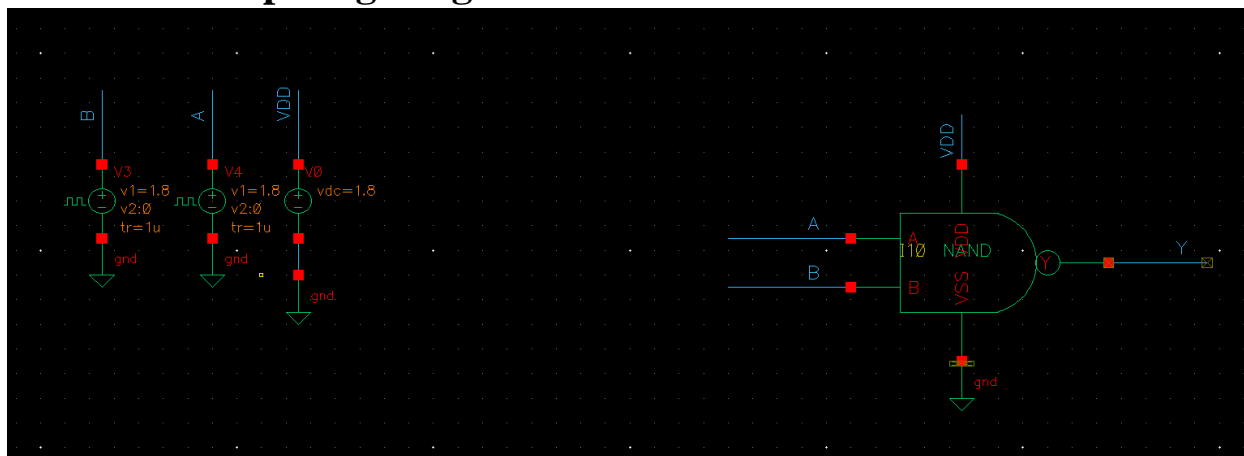
Sơ đồ nguyên lý cổng NAND bao gồm 2 tầng Pmos và Nmos như hình 1.2, 2 ngõ vào A và B, ngõ ra Y.

Thông số Cmos:

-Pmos:  $W=120n$ ,  $L=100n$ .

-Nmos:  $W=120n$ ,  $L=100n$ .

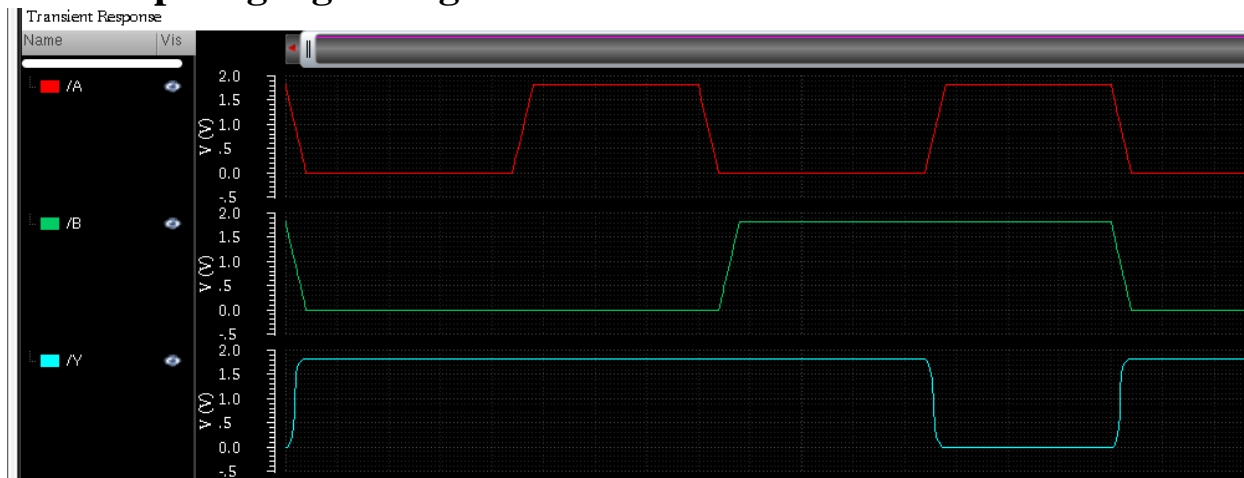
### 1.3. Sơ đồ mô phỏng cổng NAND



Hình 1.3: Sơ đồ mô phỏng cổng NAND

Sơ đồ mô phỏng cổng NAND như hình 1.3 với nguồn  $VDD = 1.8V$ ,  $VSS$  nối GND, 2 ngõ vào A và B là xung đồng hồ với độ rộng xung 50%, chu kỳ xung ngõ vào B gấp đôi chu kỳ xung ngõ vào A.

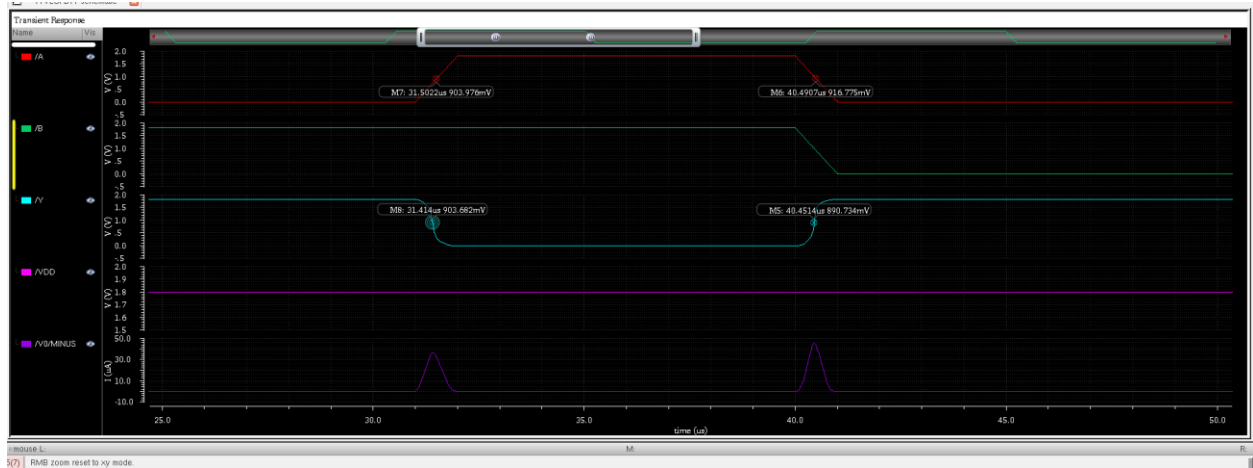
### 1.4. Mô phỏng logic cổng NAND



Hình 1.4: Mô phỏng mức logic cổng NAND

Nhận xét: ngõ ra Y bằng 0 khi ngõ vào A và B cùng bằng 1, các trường hợp còn lại bằng 1 tương ứng với bảng trạng thái ở mục 1.1.

## 1.5. Mô phỏng delay cổng NAND

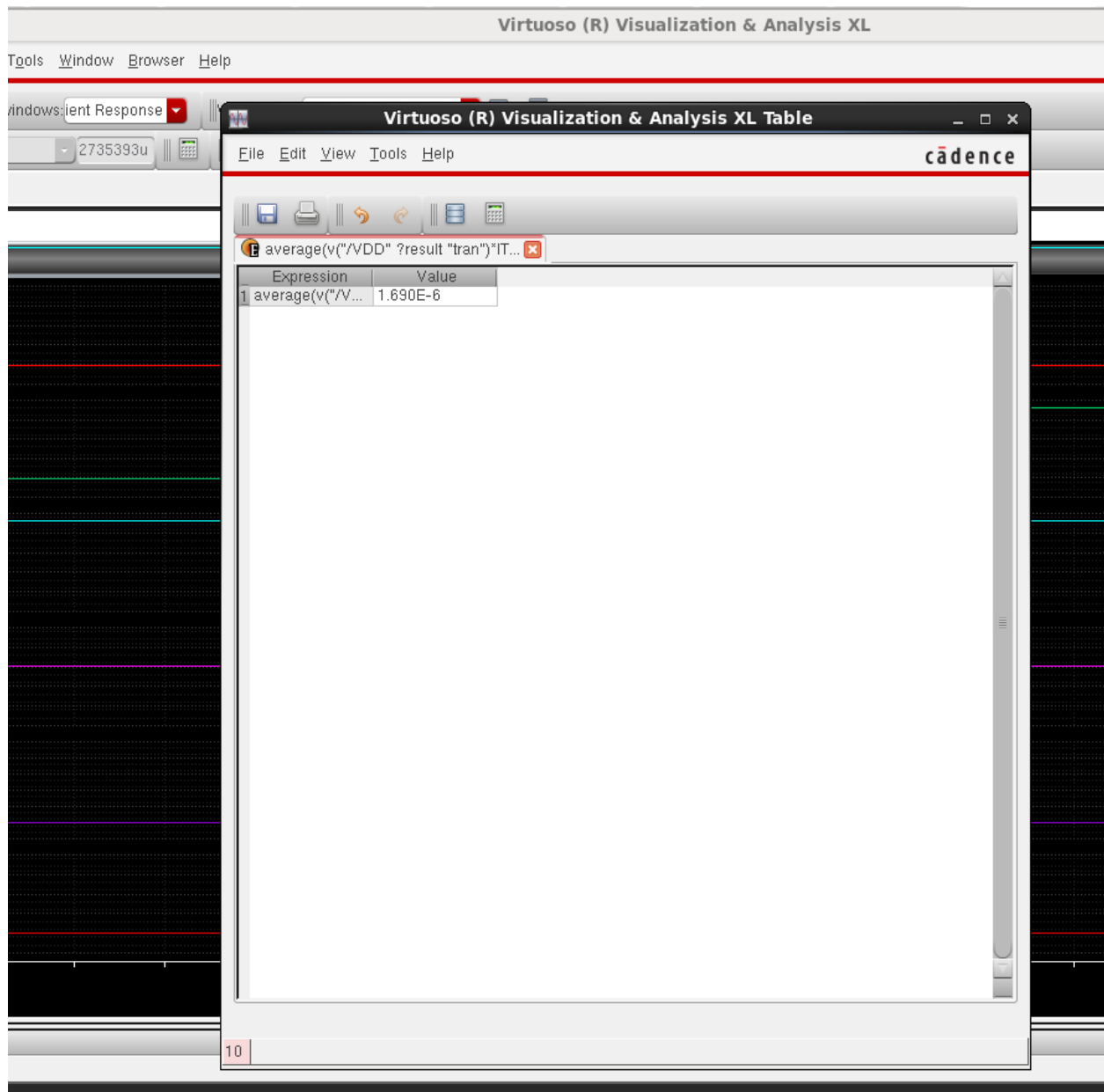


Hình 1.5: mô phỏng delay cổng NAND

Nhận xét: Tiến hành lấy 50% xung ngõ vào A và 50% xung ngõ ra, ở cả xung cạnh lên và xung cạnh xuống có thể thấy ngõ ra Y đạt được 50% mức điện áp VDD khá sớm.

## 1.6. mô phỏng công suất cổng NAND





Hình 1.6: Đo công suất cổng NAND

Nhận xét: Công suất tĩnh rơi vào khoảng 288nW, công suất động cao nhất rơi vào khoảng 88uW, công suất trung bình bằng 1.690e-6W.



## Phần 2: Khảo sát cổng AND

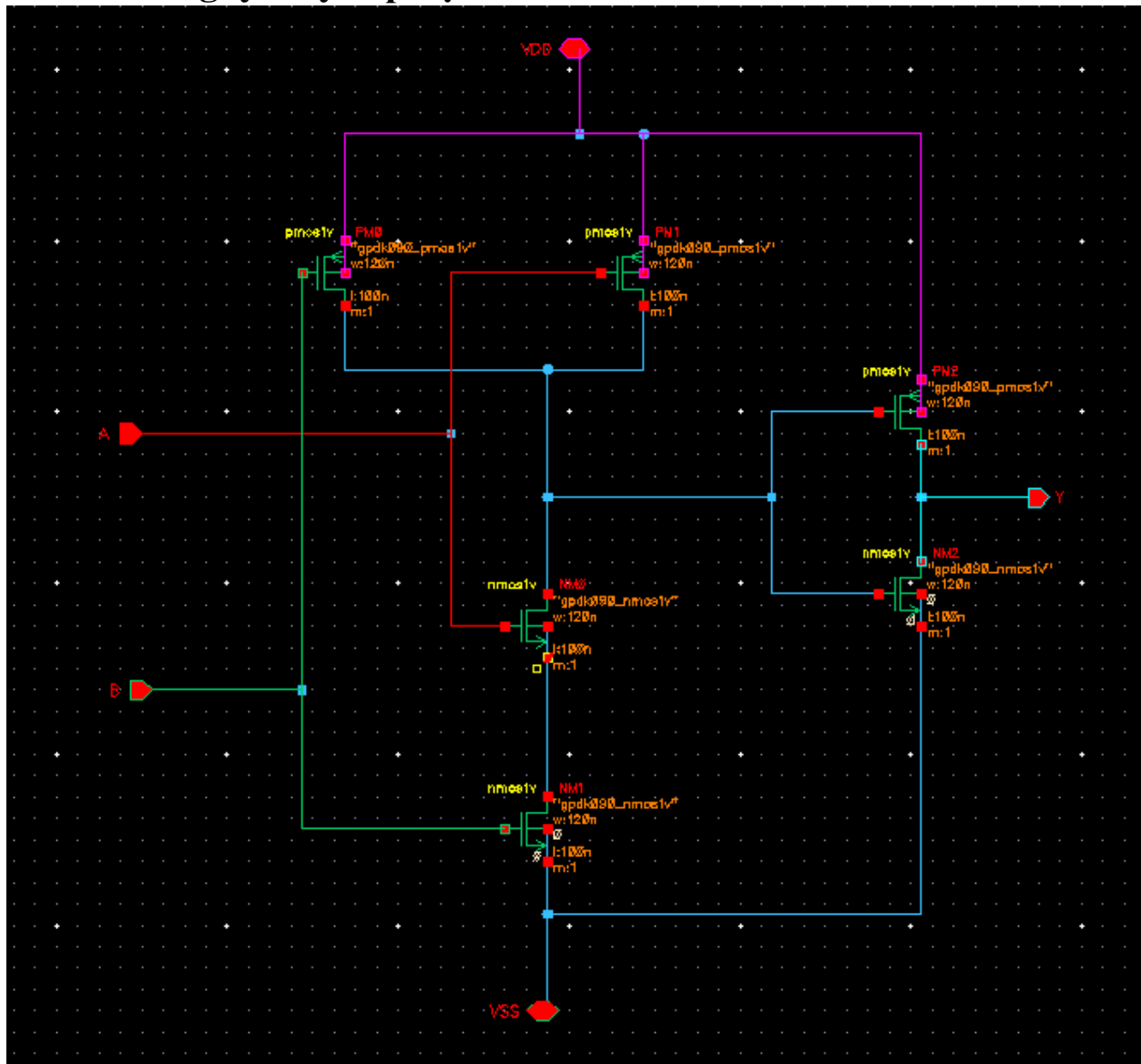
### 2.1. Cơ sở lý thuyết

Một cổng AND có 2 đầu vào và 1 đầu ra. Mỗi giá trị này có thể có giá trị 0 hoặc 1 và giá trị đầu ra phụ thuộc vào 2 giá trị đầu vào. Đầu ra chỉ là 1 khi cả hai giá trị đầu vào là 1 (Giống như mạch điện gồm 2 công tắc nối tiếp với một bóng đèn, chỉ khi cả hai công tắc đóng thì bóng đèn mới sáng). Dưới đây là mô hình và bảng chân lý cho một cổng AND.

Truth Table - AND Gate		
Input A	Input B	Output Q
0	0	0
0	1	0
1	0	0
1	1	1

Hình 2.1: Bảng trạng thái cổng AND

## 2.2. Sơ đồ nguyên lý cấp độ Cmos



Hình 2.2: Sơ đồ nguyên lý cấp độ Cmos cổng AND

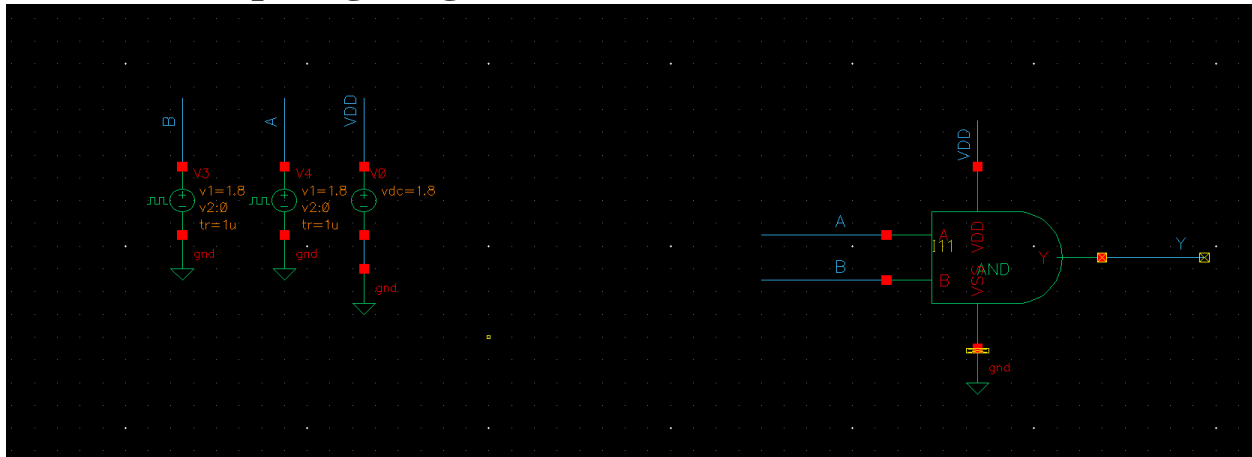
Sơ đồ nguyên lý cổng AND bao gồm 2 tầng Pmos và Nmos như hình 2.2, 2 ngõ vào A và B, ngõ ra Y.

Thông số Cmos:

-Pmos:  $W=120n$ ,  $L=100n$ .

-Nmos:  $W=120n$ ,  $L=100n$ .

### 2.3. Sơ đồ mô phỏng cổng AND



Hình 2.3: Sơ đồ mô phỏng cổng AND

Sơ đồ mô phỏng cổng AND như hình 1.3 với nguồn  $VDD = 1.8V$ ,  $VSS$  nối GND, 2 ngõ vào A và B là xung đồng hồ với độ rộng xung 50%, chu kỳ xung ngõ vào B gấp đôi chu kỳ xung ngõ vào A.

### 2.4. Mô phỏng mức logic cổng AND



Hình 2.4: Mô phỏng mức logic cổng NAND

Nhận xét: ngõ ra Y bằng 1 khi ngõ vào A và B cùng bằng 1, các trường hợp còn lại bằng 0 tương ứng với bảng trạng thái ở mục 2.1.

### 2.5. Mô phỏng delay cổng AND

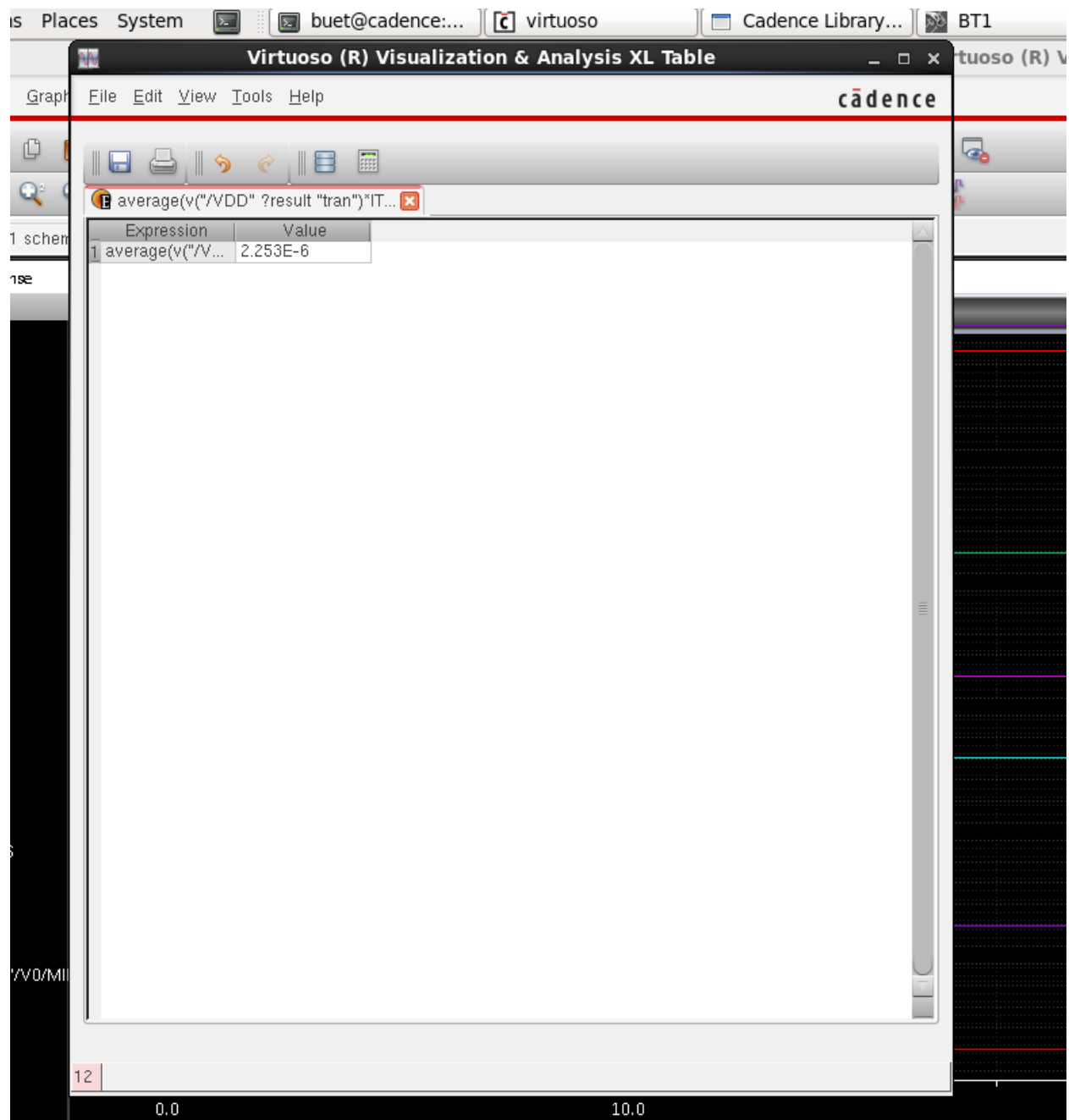


Hình 2.5: mô phỏng delay cổng AND

Nhận xét: Tiến hành lấy 50% xung ngõ vào A và 50% xung ngõ ra, ở cả xung cạnh lên và xung cạnh xuống có thể thấy ngõ ra Y đạt được 50% mức điện áp VDD khá sớm.

## 2.6. Mô phỏng công suất cổng AND



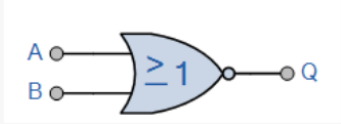


Hình 2.6: Đo công suất cổng NAND

Nhận xét: Công suất tĩnh rơi vào khoảng 491nW, công suất động cao nhất rơi vào khoảng 151uW, công suất trung bình bằng 2.253e-6W.

## Phần 3: Khảo sát cổng NOR

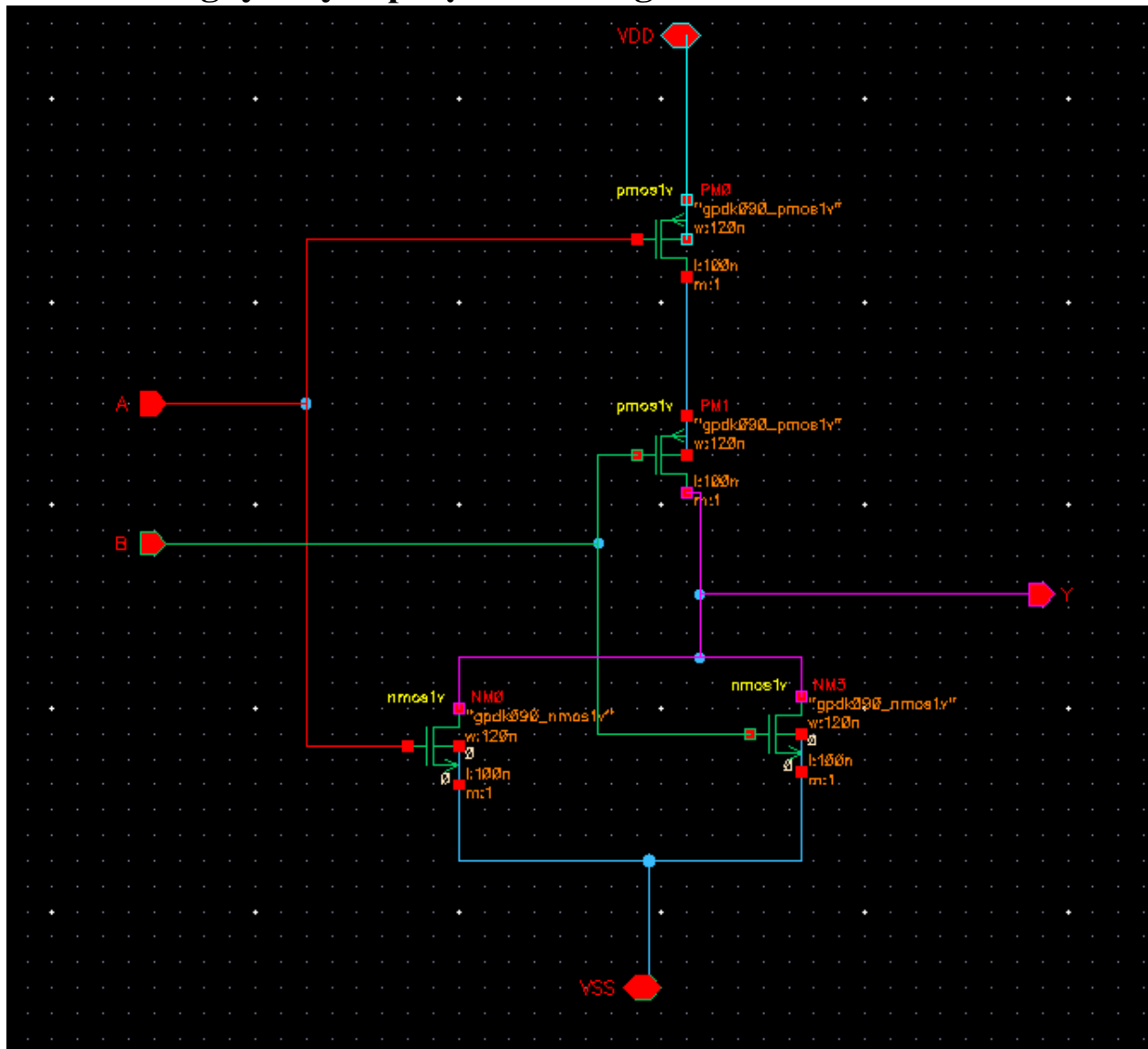
### 3.1. Cơ sở lý thuyết

Biểu tượng	Bảng sự thật		
	B	A	Q
	0	0	1
	0	1	0
	1	0	0
	1	1	0
Biểu thức Boolean	$Q = \overline{A + B}$		

Hình 3.1: Cổng NOR 2 ngõ vào

Cổng Nor 2 ngõ vào có kí hiệu và bảng sự thật như hình 3.1.

### 3.2. Sơ đồ nguyên lý cấp độ Cmos cổng NOR



Hình 3.2. Sơ đồ nguyên lý Cmos cổng NOR

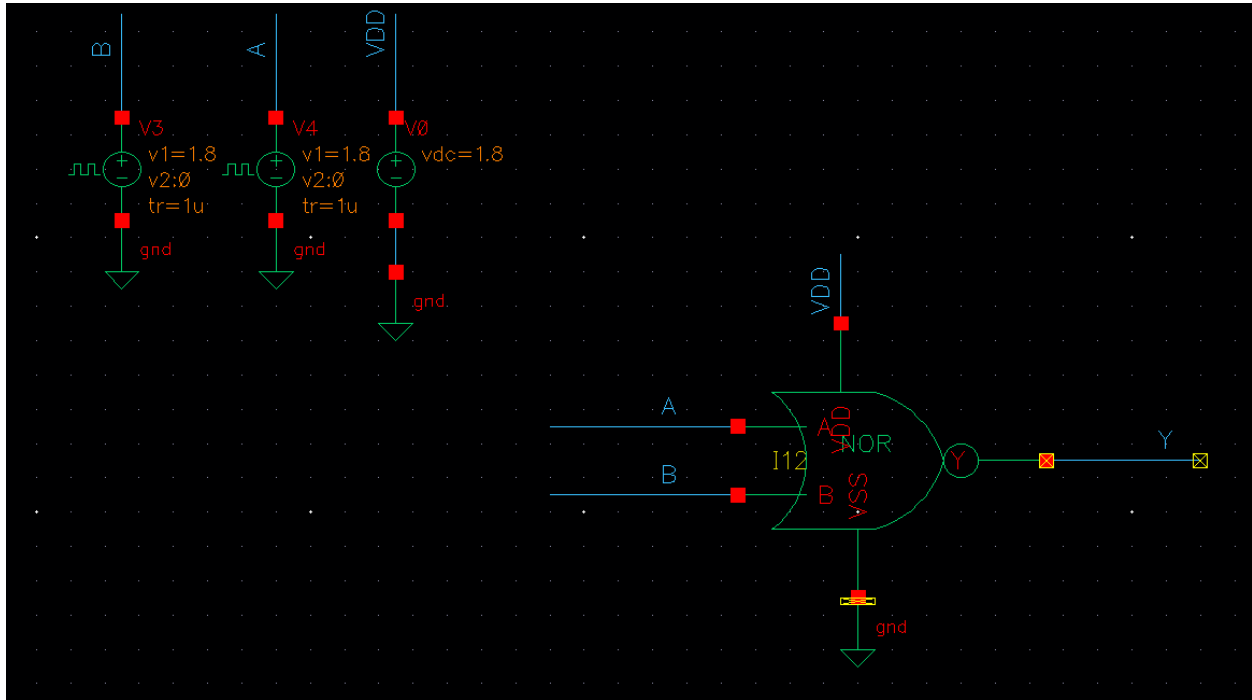
Sơ đồ nguyên lý cổng NOR bao gồm 2 tầng Pmos và Nmos như hình 3.2, 2 ngõ vào A và B, ngõ ra Y.

Thông số Cmos:

-Pmos:  $W=120n$ ,  $L=100n$ .

-Nmos:  $W=120n$ ,  $L=100n$ .

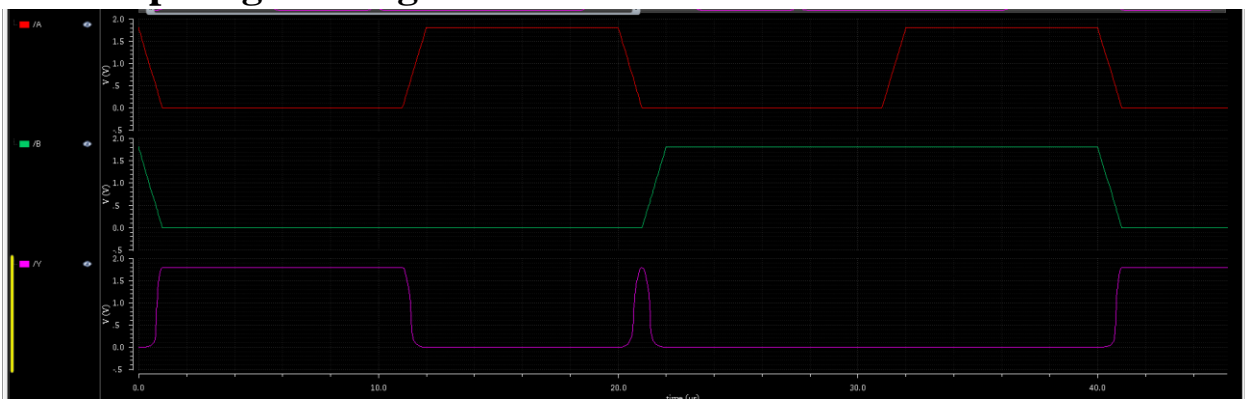
### 3.3. Sơ đồ mô phỏng cổng NOR



Hình 3.3: Sơ đồ mô phỏng cổng NOR

Sơ đồ mô phỏng cổng NOR như hình 1.3 với nguồn  $VDD = 1.8V$ ,  $VSS$  nối GND, 2 ngõ vào A và B là xung đồng hồ với độ rộng xung 50%, chu kỳ xung ngõ vào B gấp đôi chu kỳ xung ngõ vào A.

### 3.4. Mô phỏng mức logic

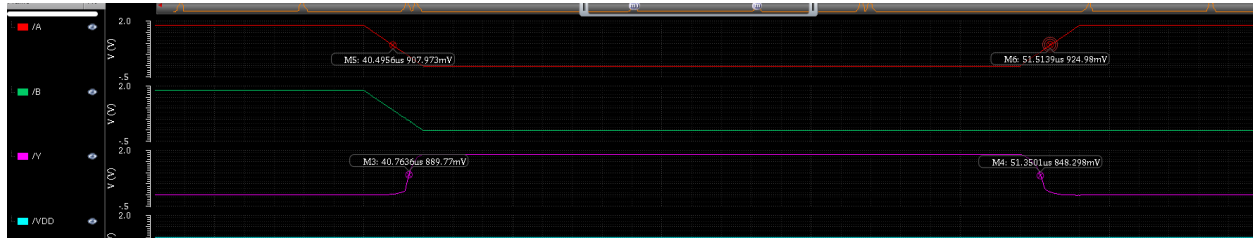


Hình 3.4: Mô phỏng mức logic cổng NOR



Nhận xét: ngõ ra Y bằng 1 khi ngõ vào A và B cùng bằng 0, các trường hợp còn lại bằng 0 tương ứng với bảng trạng thái ở mục 3.1.

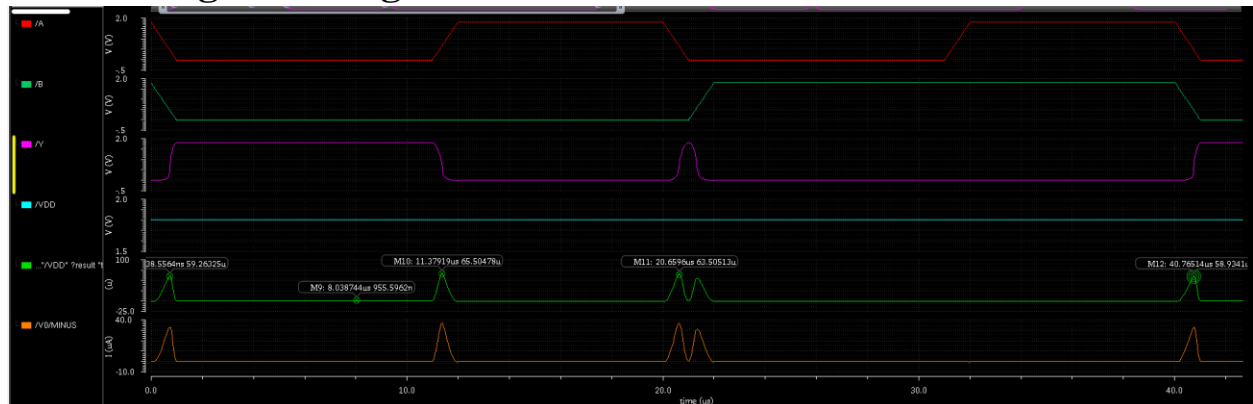
### 3.5. Mô phỏng delay cổng NOR

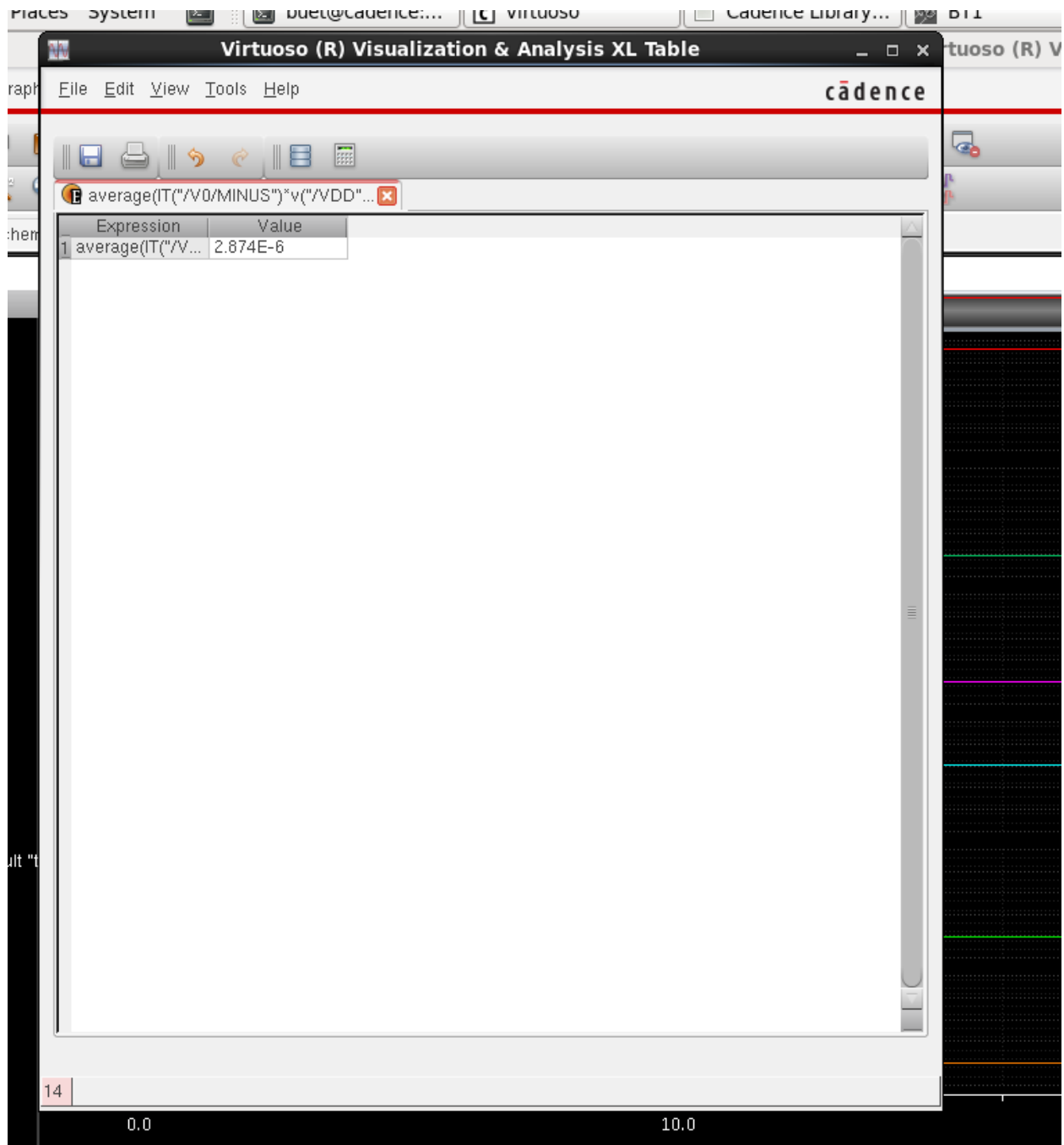


Hình 3.5: Mô phỏng delay cổng NOR

Nhận xét: Tiến hành lấy 50% xung ngõ vào A và 50% xung ngõ ra, ở cả xung cạnh lên và xung cạnh xuống có thể thấy ngõ ra Y đạt được 50% mức điện áp VDD khá sớm.

### 3.6. Đo công suất cổng NOR





Hình 3.6: Đo công suất cổng NOR

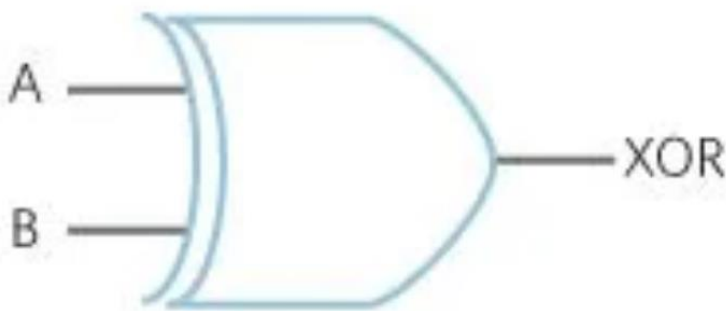
Nhận xét: Công suất tĩnh rơi vào khoảng 955nw, công suất động cao nhất rơi vào khoảng 65uW, công suất trung bình bằng 2.874e-6W.

## Phần 4: Khảo sát cổng XOR

### 4.1. Cơ sở lý thuyết

“XOR” từ viết tắt của “Exclusive-OR.” Cổng XOR đơn giản nhất là một mạch kỹ thuật số hai đầu vào có đầu ra logic “1” nếu hai giá trị đầu vào khác nhau, tức là đầu ra của nó là logic “1” nếu một trong hai đầu vào của nó là 1, nhưng không đồng thời. Biểu tượng và bảng thực trị cho cổng XOR được hiển thị trong Hình 1. Biểu thức Boolean cho cổng XOR hai đầu vào, với đầu vào A và B và đầu ra X:

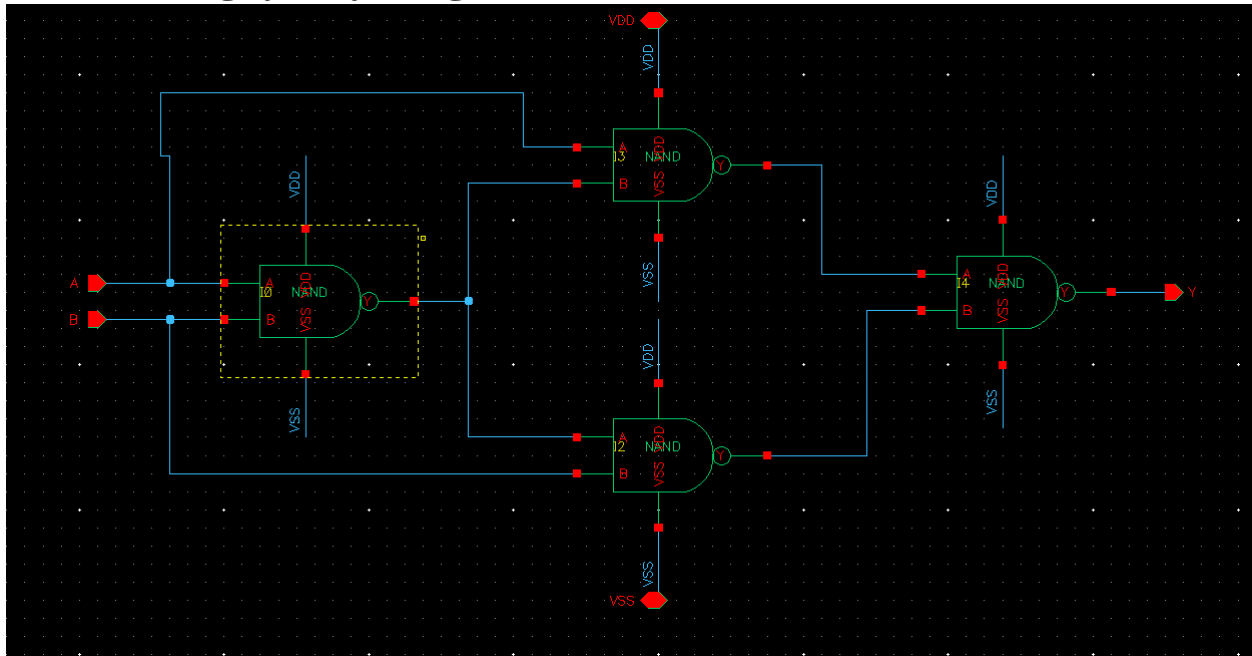
$$X = A \oplus B$$



A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

Hình 4.1: Bảng trạng thái và kí hiệu cổng XOR

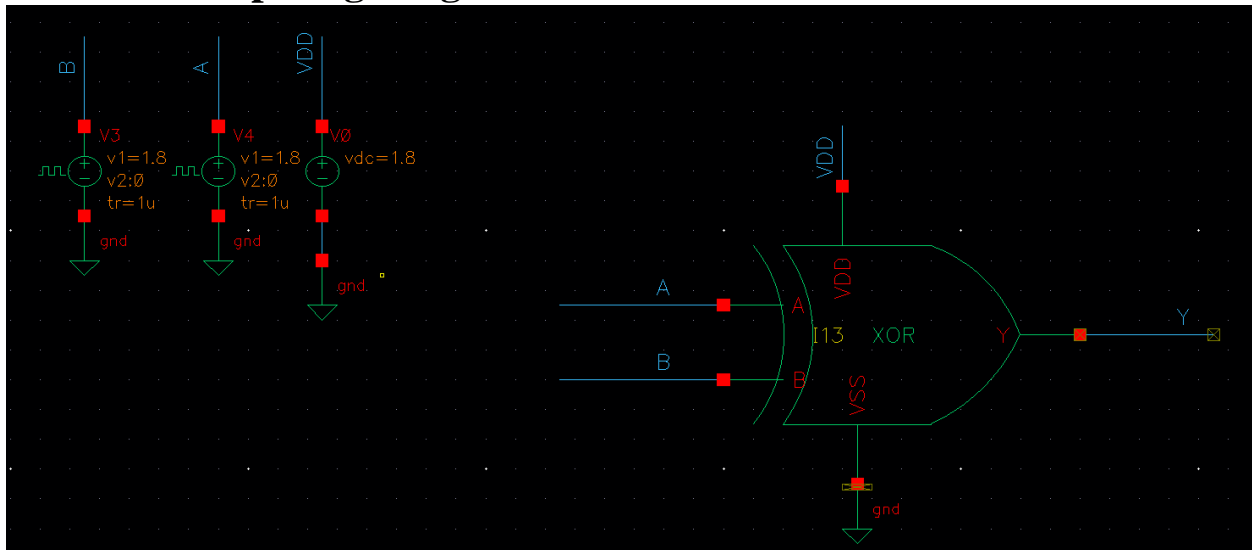
## 4.2. Sơ đồ nguyên lý cổng XOR



Hình 4.2: Sơ đồ nguyên lý cổng XOR

Sơ đồ nguyên lý cổng XOR bao gồm 4 cổng NAND kết nối như hình 4.2, 2 ngõ vào A và B, ngõ ra Y.

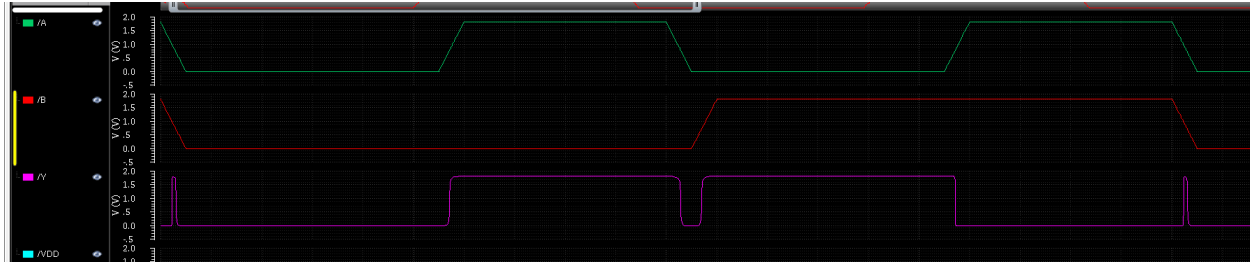
## 4.3. Sơ đồ mô phỏng cổng XOR



Hình 4.3: Sơ đồ mô phỏng cổng XOR

Sơ đồ mô phỏng cổng XOR như hình 1.3 với nguồn  $VDD = 1.8V$ ,  $VSS$  nối GND, 2 ngõ vào A và B là xung đồng hồ với độ rộng xung 50%, chu kì xung ngõ vào B gấp đôi chu kì xung ngõ vào A.

#### 4.4. Mô phỏng mức logic cổng XOR



Hình 4.4: Mô phỏng mức logic cổng XOR

Nhận xét: ngõ ra Y bằng 1 khi ngõ vào A và B cùng mức trạng thái, các trường hợp còn lại bằng 0 tương ứng với bảng trạng thái ở mục 4.1.

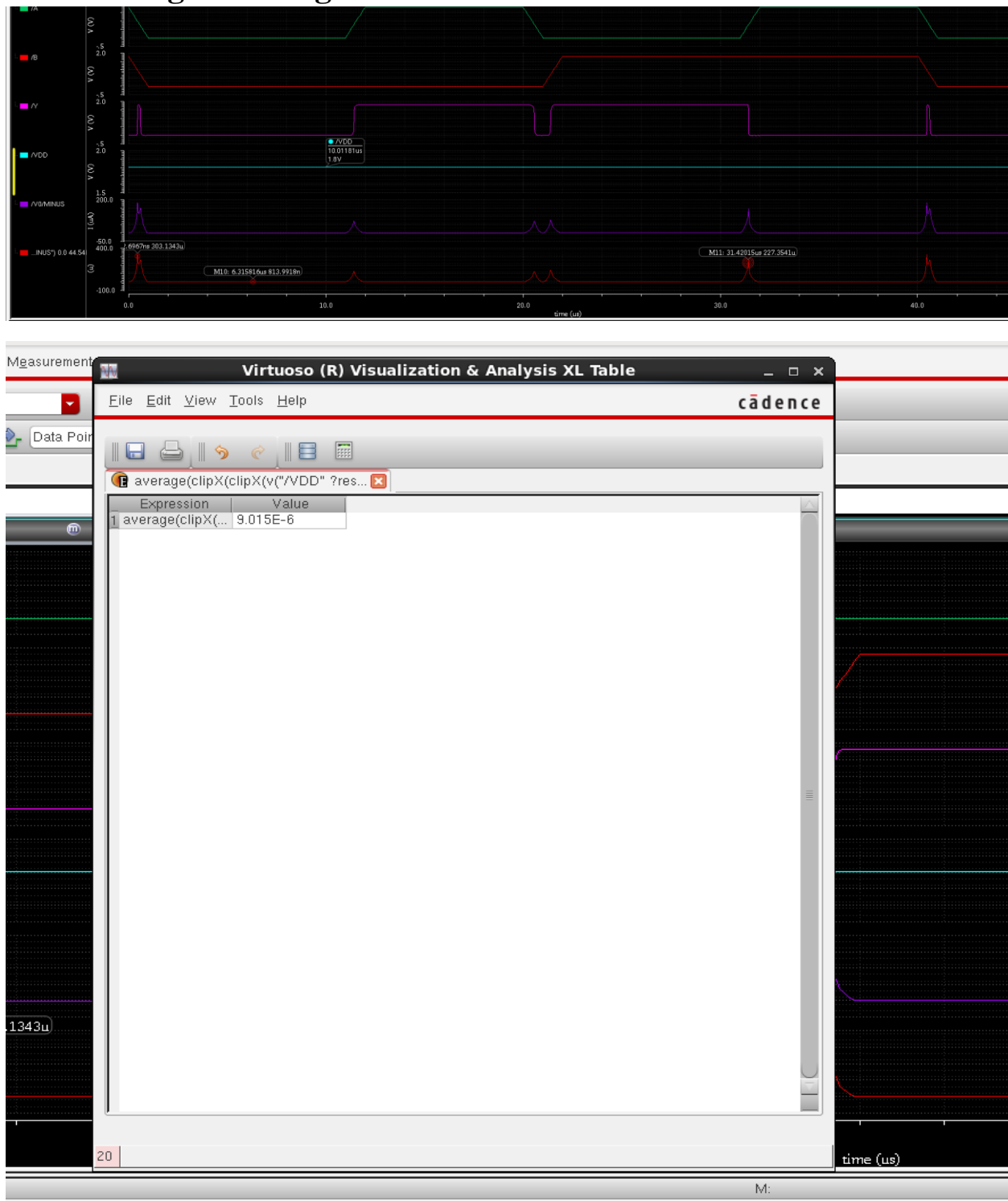
#### 4.5. Mô phỏng delay cổng XOR



Hình 4.5: Mô phỏng delay cổng XOR

Nhận xét: Tiến hành lấy 50% xung ngõ vào A và 50% xung ngõ ra, ở cả xung cạnh lên có thể thấy ngõ ra Y đạt được 50% mức điện áp  $VDD$  khá sớm, còn ở xung cạnh xuống thời gian trễ rơi vào khoảng  $0.04\mu s$ .

## 4.6. Đo công suất cổng XOR

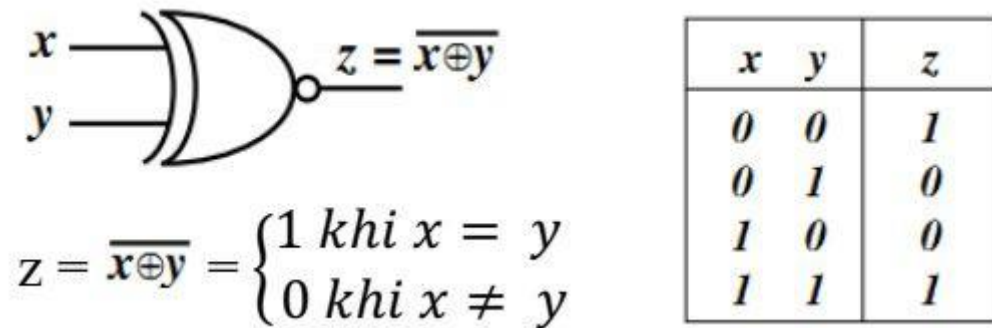


Hình 4.6: Đo công suất cổng XOR

Nhận xét: Công suất tĩnh rơi vào khoảng 813mW, công suất động cao nhất rơi vào khoảng 300mW, công suất trung bình bằng 9.015e-6W.

## Phần 5: Khảo sát cổng XNOR

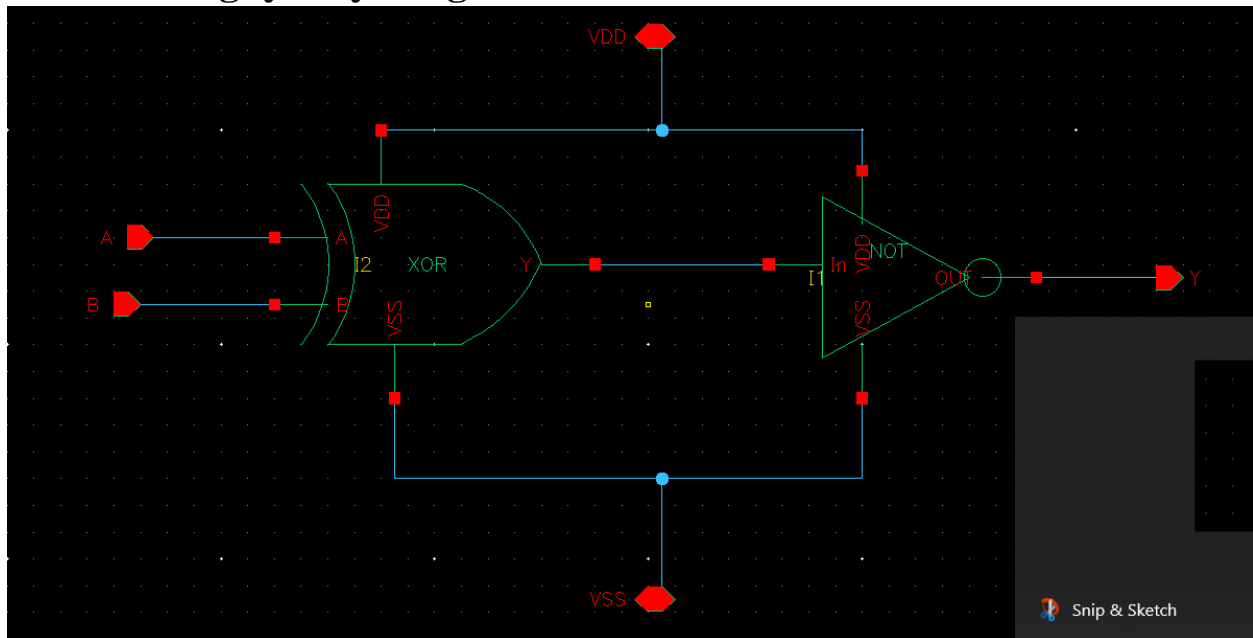
### 5.1. Cơ sở lý thuyết



Hình 5.1: Bảng trạng thái cổng XNOR

Cổng XNOR gồm 2 ngõ vào  $x$   $y$  và 1 ngõ ra  $z$  (hoặc  $Y$ ) và có bảng trạng thái như hình 5.1.

### 5.2. Sơ đồ nguyên lý cổng XNOR

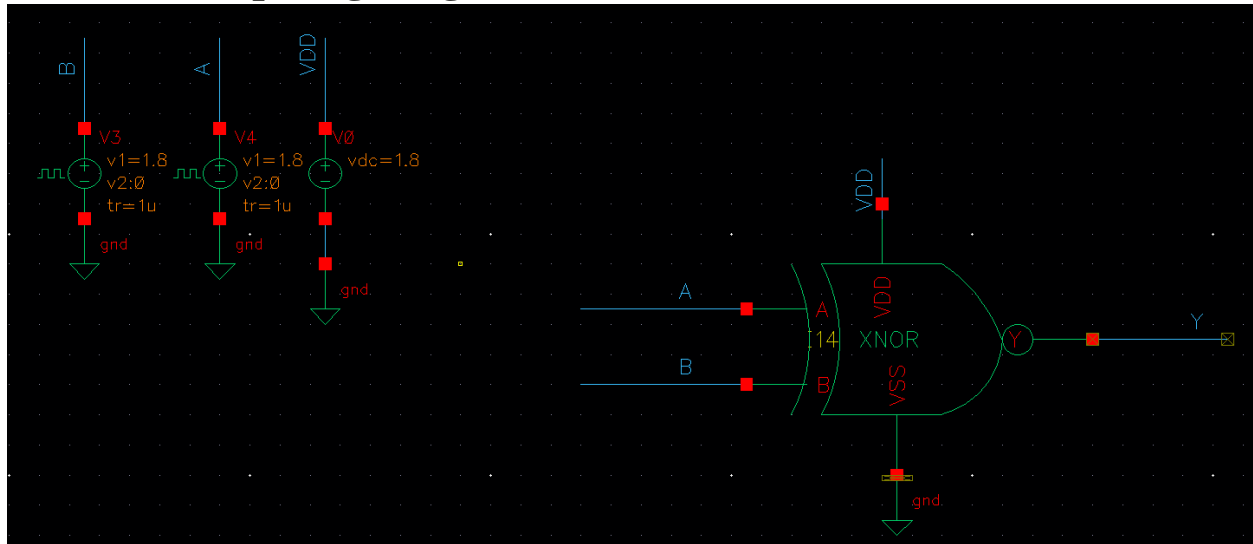


Hình 5.2: Sơ đồ nguyên lý cổng XNOR

Sơ đồ nguyên lý cổng XNOR bao gồm 1 cổng XOR với 1 cổng NOT kết nối như hình 4.2, 2 ngõ vào  $A$  và  $B$ , ngõ ra  $Y$ .



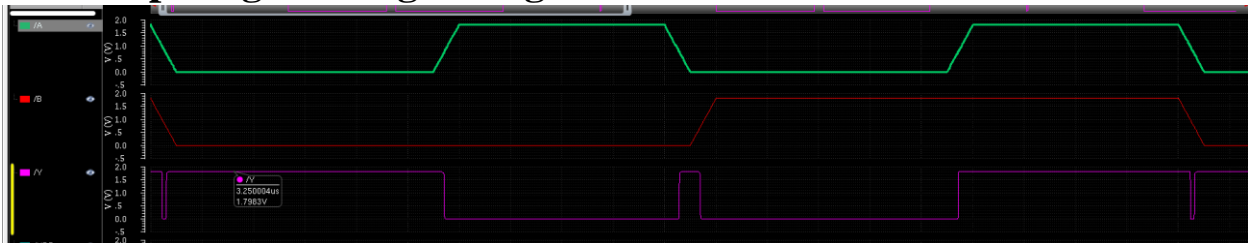
### 5.3. Sơ đồ mô phỏng cổng XNOR



Hình 5.3: Sơ đồ mô phỏng cổng XNOR

Sơ đồ mô phỏng cổng XNOR như hình 1.3 với nguồn  $VDD = 1.8V$ ,  $VSS$  nối GND, 2 ngõ vào A và B là xung đồng hồ với độ rộng xung 50%, chu kì xung ngõ vào B gấp đôi chu kì xung ngõ vào A.

### 5.4. Mô phỏng mức logic cổng XNOR



Hình 5.4: mô phỏng mức logic cổng XNOR

Nhận xét: ngõ ra Y bằng 0 khi ngõ vào A và B cùng mức trạng thái, các trường hợp còn lại bằng 1 tương ứng với bảng trạng thái ở mục 5.1.

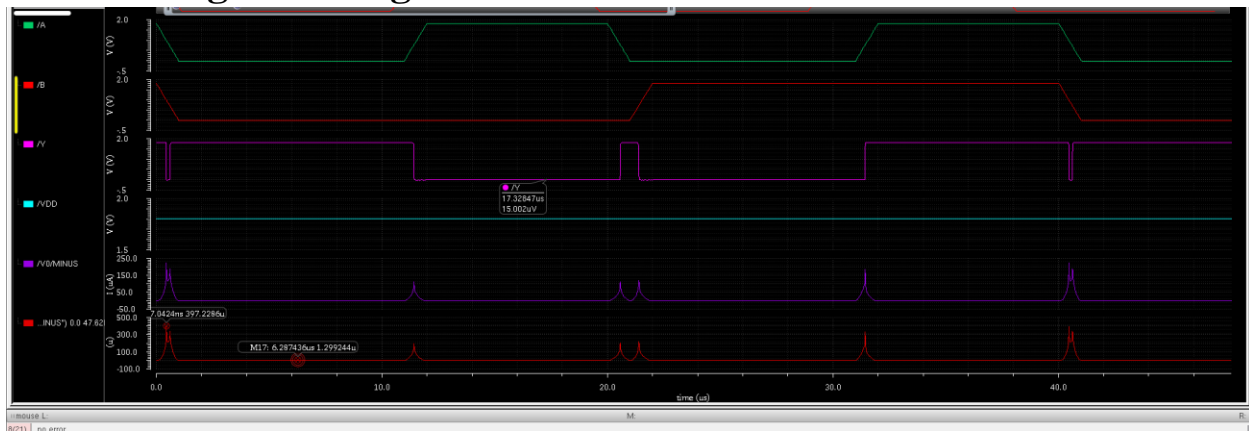
### 5.5. Mô phỏng delay cổng XNOR

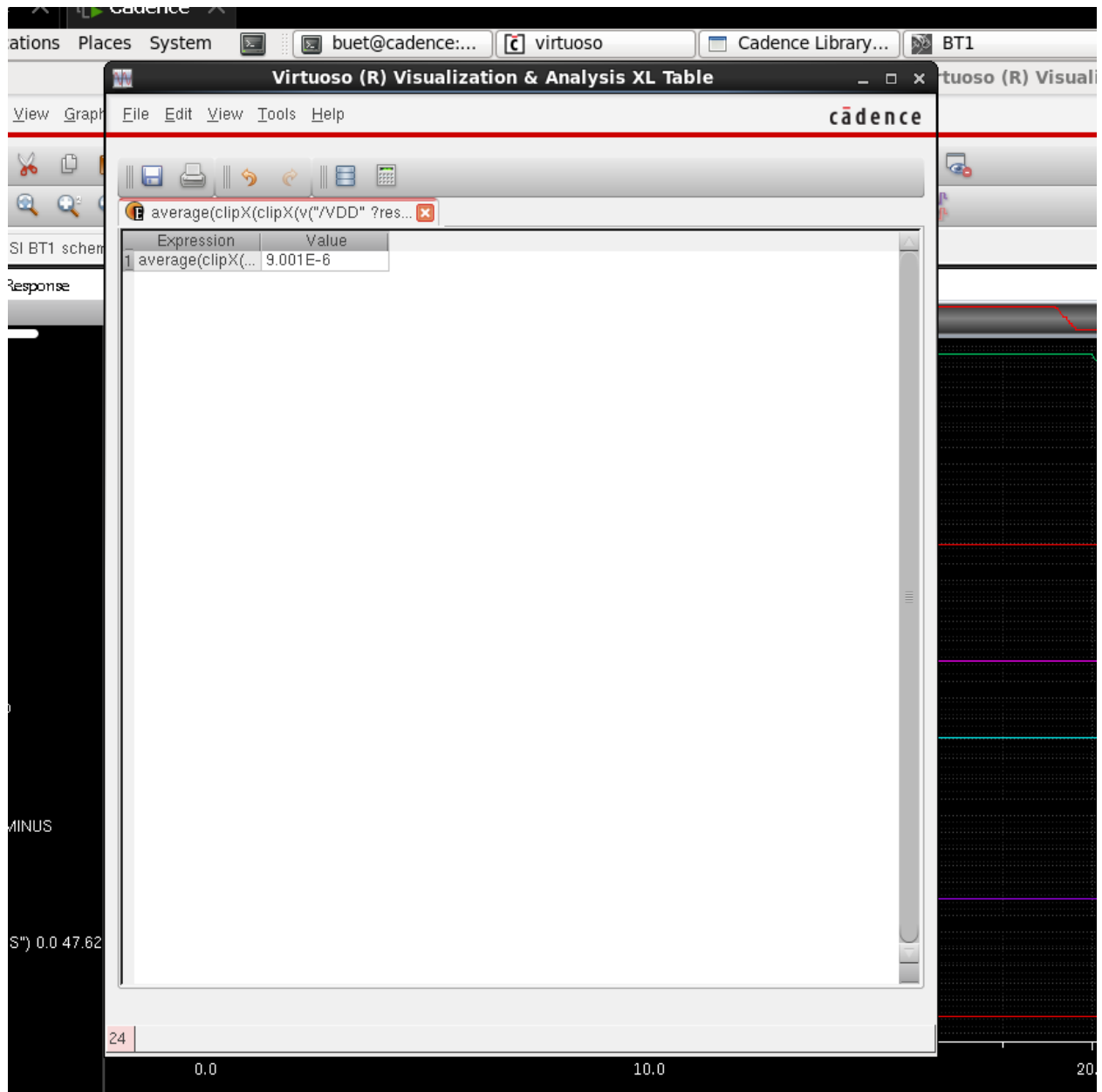


Hình 5.5: mô phỏng delay cổng XNOR

Nhận xét: Tiến hành lấy 50% xung ngõ vào A và 50% xung ngõ ra, ở cả xung cạnh lên có thể thấy ngõ ra Y đạt được 50% mức điện áp VDD khá sớm, còn ở xung cạnh xuống thời gian trễ rơi vào khoảng 0.04us .

## 5.6. Đo công suất cổng XNOR



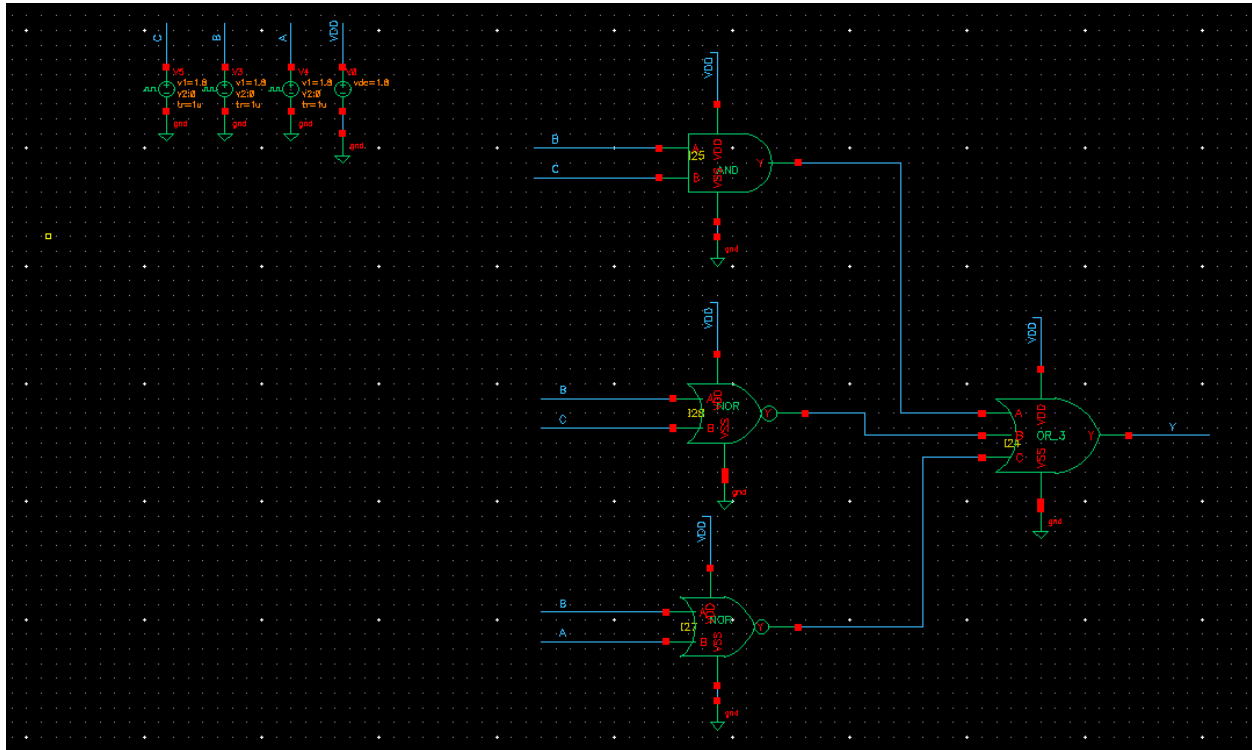


Hình 5.6: Đo công suất cổng XNOR

Nhận xét: Công suất tĩnh rơi vào khoảng 1.29uW, công suất động cao nhất rơi vào khoảng 397uW, công suất trung bình bằng 9.001e-6W.

## Phần 6: Mô phỏng Bài tập trên lớp

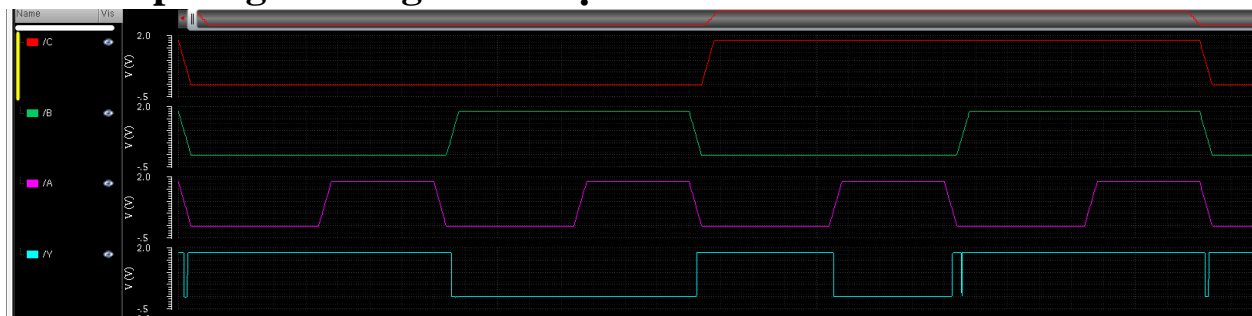
### 6.1. Sơ đồ mô phỏng



Hình 6.1: Sơ đồ mô phỏng

Sơ đồ mô phỏng bao gồm 1 cổng AND, 2 cổng NOR và 1 cổng OR 3 ngõ vào được kết nối như hình 6.1, 3 xung đầu vào A B C là xung mạch đếm có độ rộng xung 50% và A là xung có chu kỳ nhỏ nhất, C là xung có chu kỳ lớn nhất. VDD cấp vào 1.8V, VSS nối GND.

### 6.2. Mô phỏng mức logic của mạch



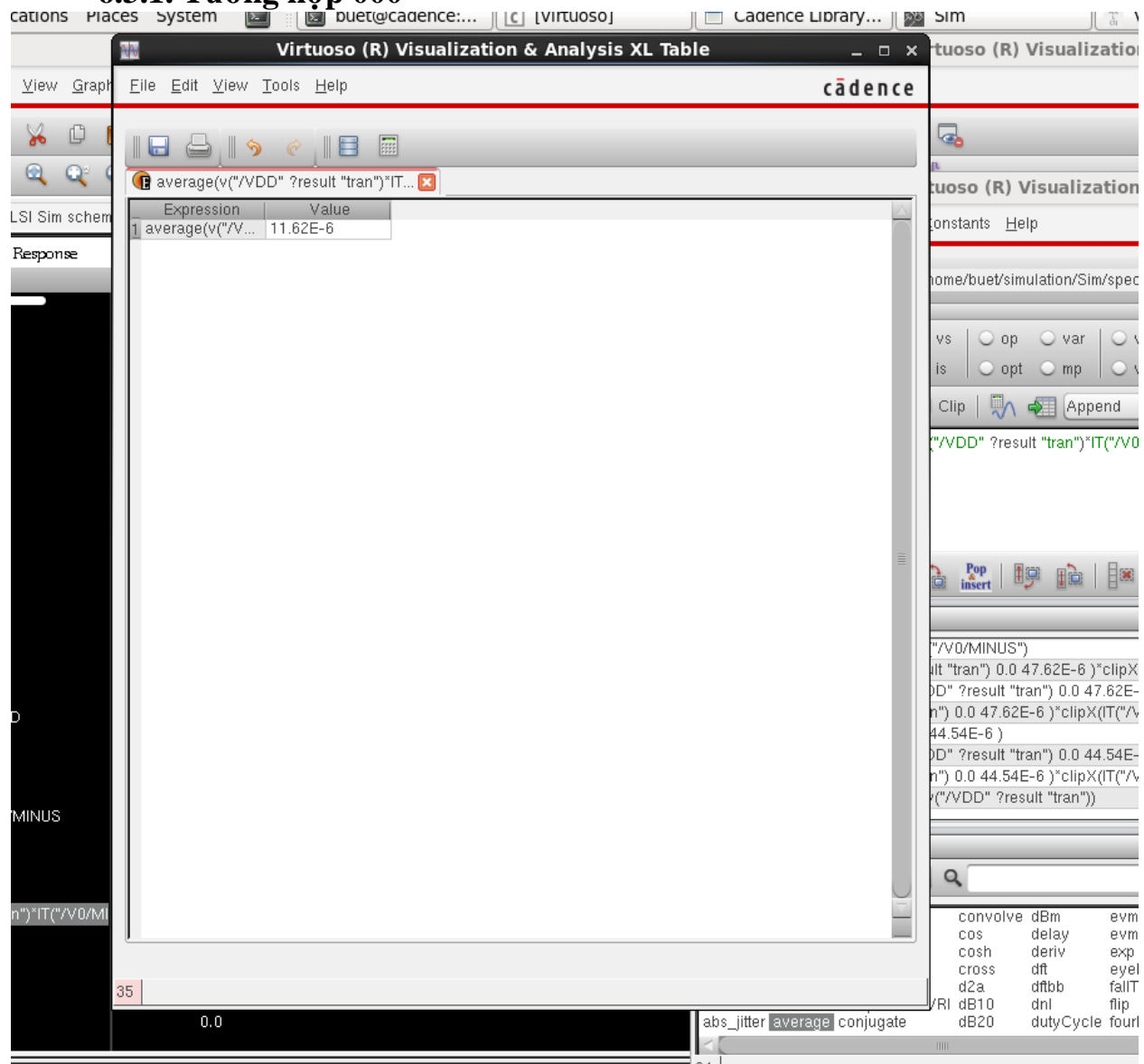
Hình 6.2: mô phỏng mức logic mạch

C	B	A	Y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Mức trạng thái của mạch được biểu thị như bảng trên.

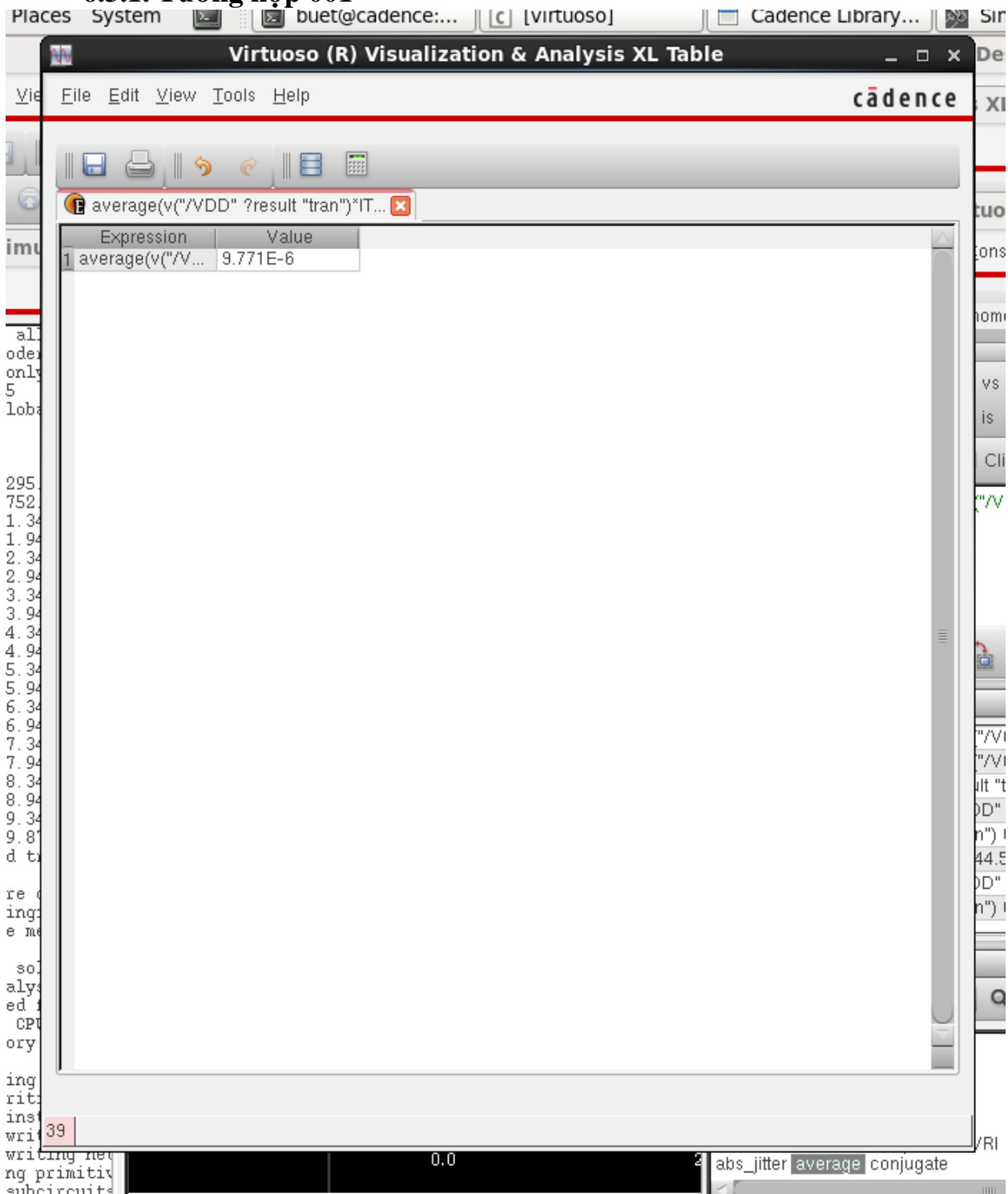
## 6.3. So sánh công suất trong từng trường hợp

### 6.3.1. Trường hợp 000



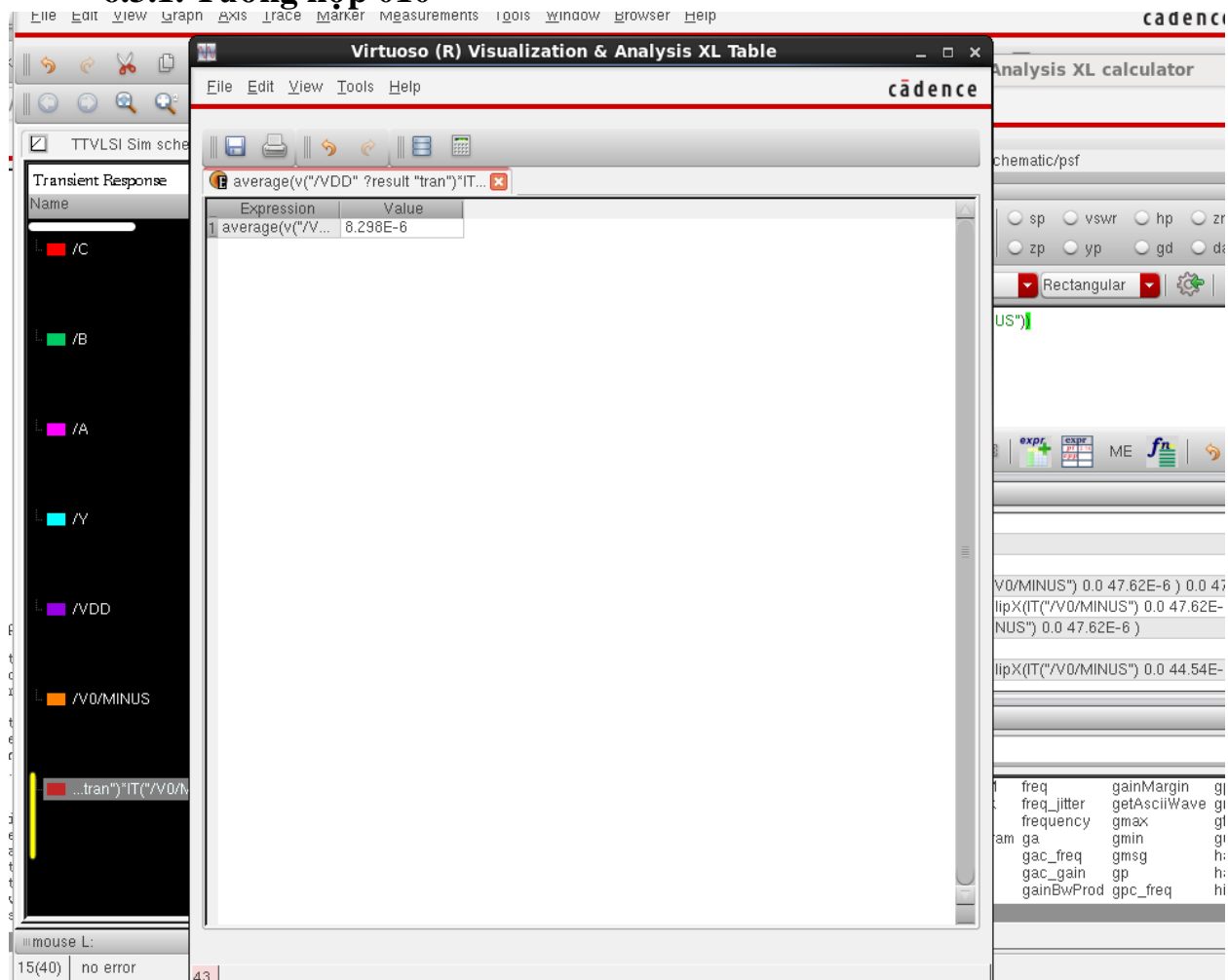
Hình 6.3: Công suất trung bình

### 6.3.1. Trường hợp 001



Hình 6.4: Công suất trung bình

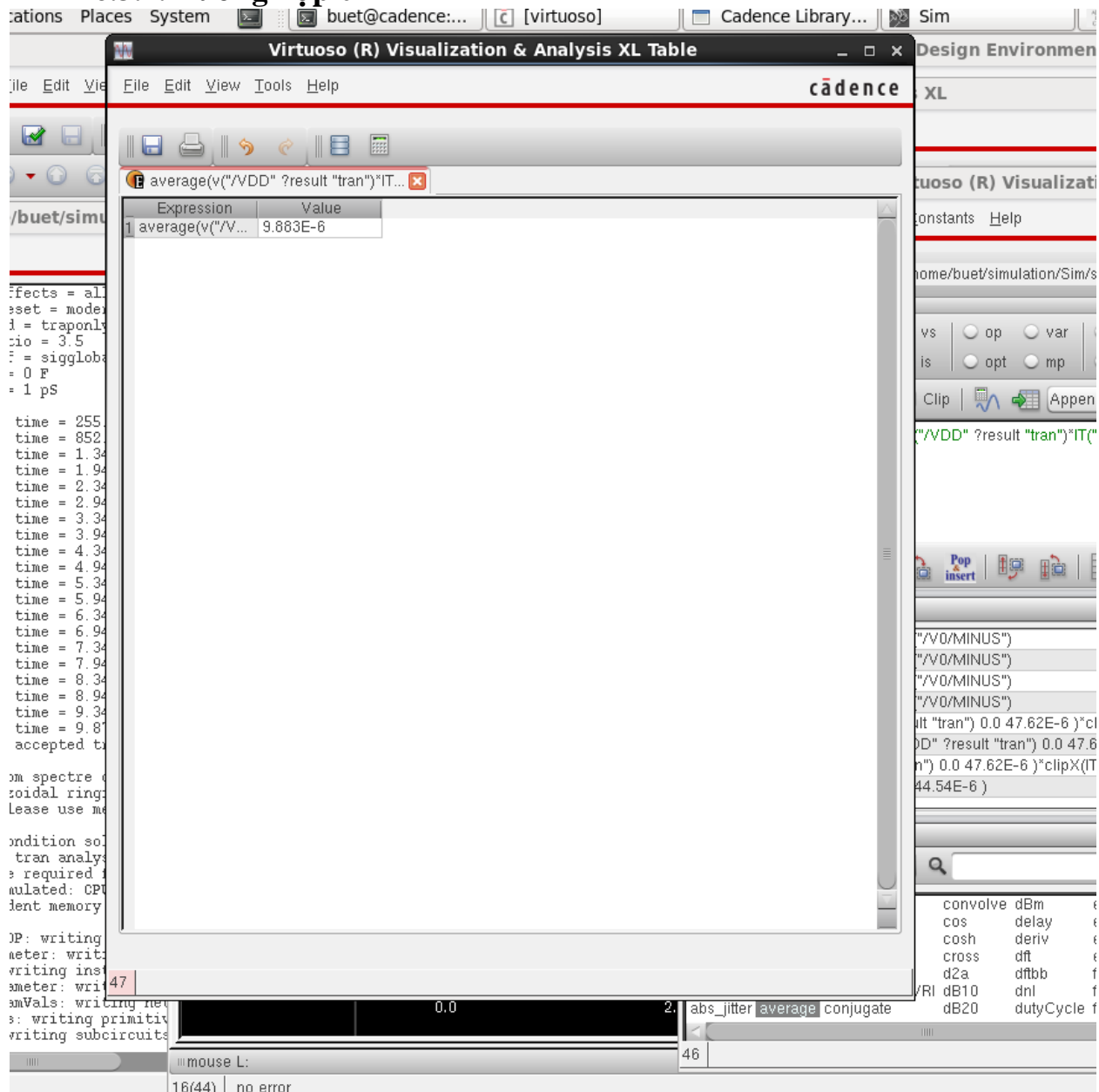
### 6.3.1. Trường hợp 010



Hình 6.5: Công suất trung bình

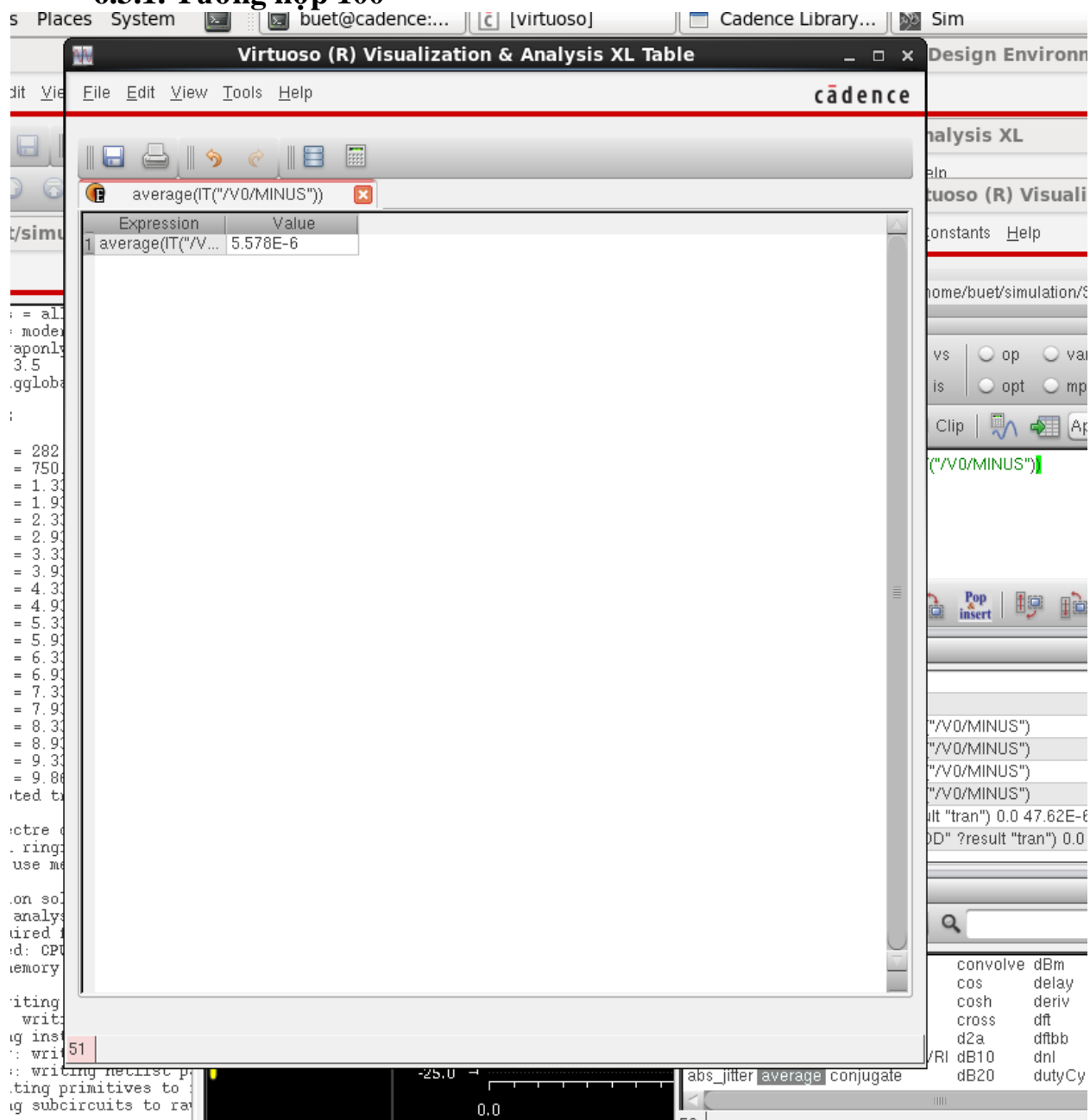


### 6.3.1. Trường hợp 011



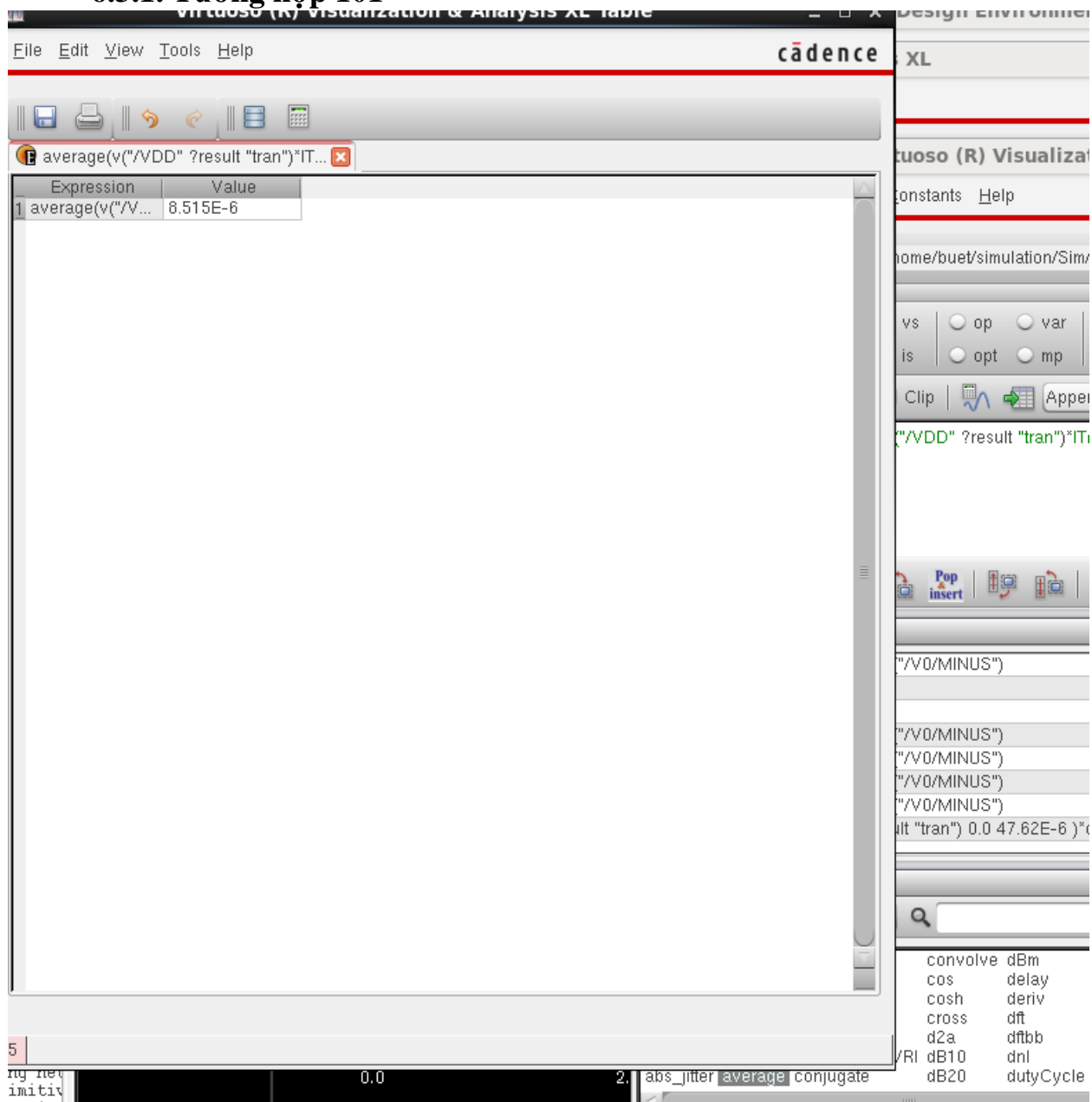
Hình 6.6: Công suất trung bình

### 6.3.1. Trường hợp 100



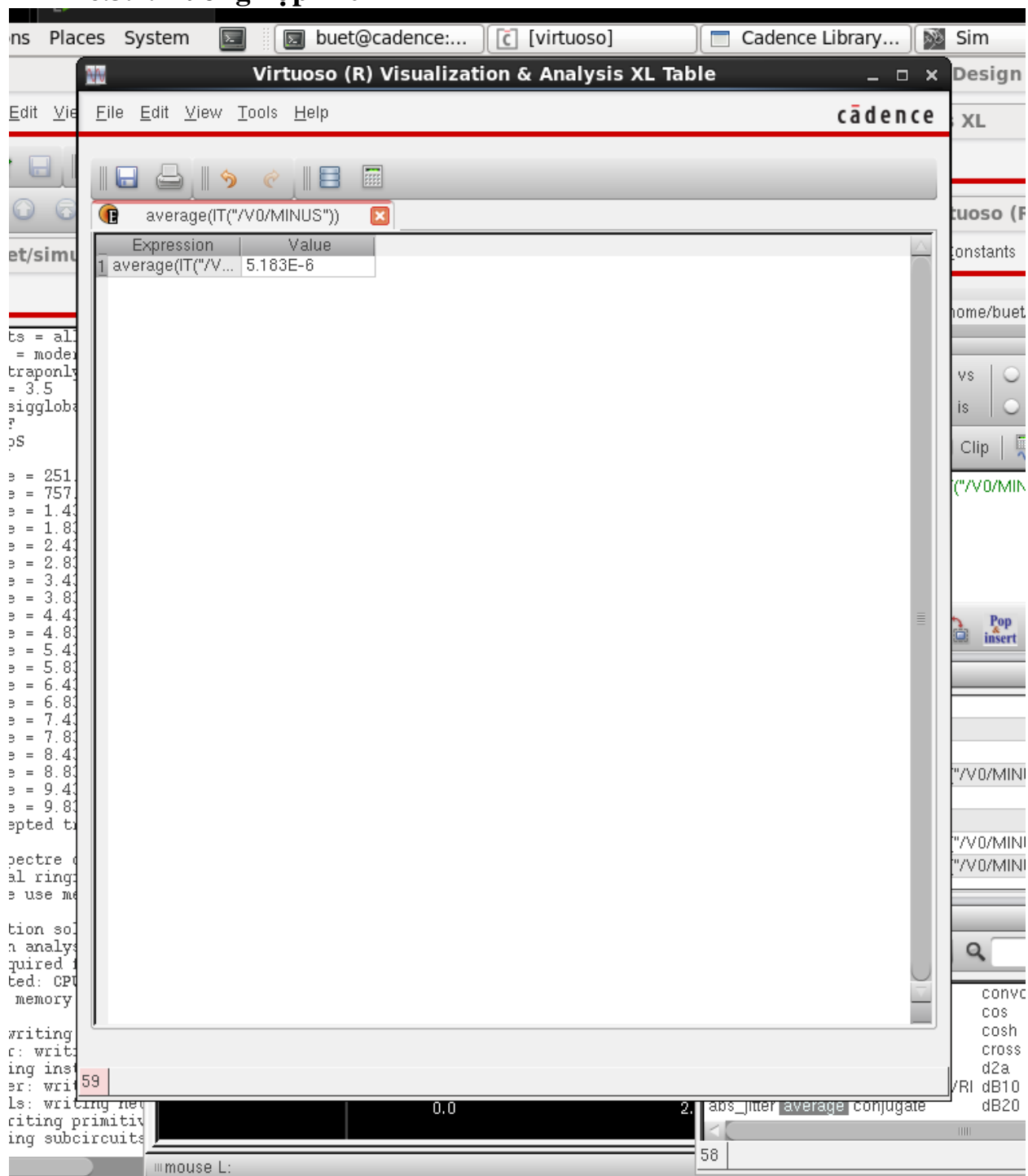
Hình 6.7: Công suất trung bình

### 6.3.1. Trường hợp 101



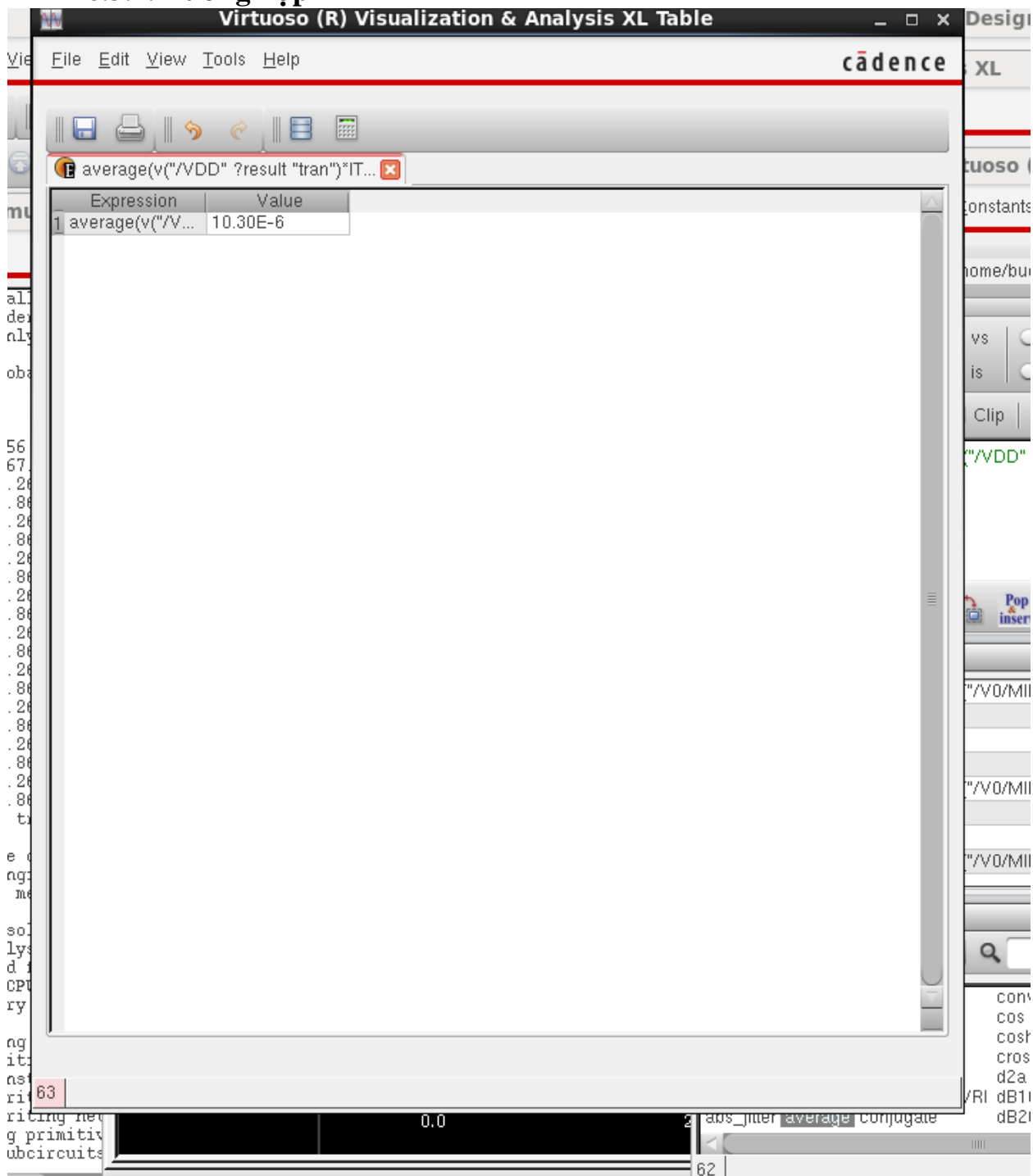
Hình 6.8: Công suất trung bình

### 6.3.1. Trường hợp 110



Hình 6.9: Công suất trung bình

### 6.3.1. Trường hợp 111



Hình 6.10: Công suất trung bình

### 6.3.2. So sánh công suất trung bình trong từng trường hợp

C	B	A	Y	Pavg (W)
0	0	0	1	11.62e-6
0	0	1	1	9.771e-6
0	1	0	0	8.298e-6
0	1	1	0	9.883e-6
1	0	0	1	5.578e-6
1	0	1	0	8.515e-6
1	1	0	1	5.183e-6
1	1	1	1	10.30e-6

Nhận xét: công suất trung bình đạt lớn nhất tại ngõ vào 000 -> ngõ ra Y = 1 là 11.62e-6 W, công suất trung bình bé nhất tạo ngõ vào 110 - > ngõ ra Y=1 là 5.183e-6 W.

