

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH



BÁO CÁO TT VLSI-CT7-012

GVHD: Lê Minh Thành.

Sinh viên thực hiện: Nguyễn Duy Huân

MSSV: 19119182

Mục lục

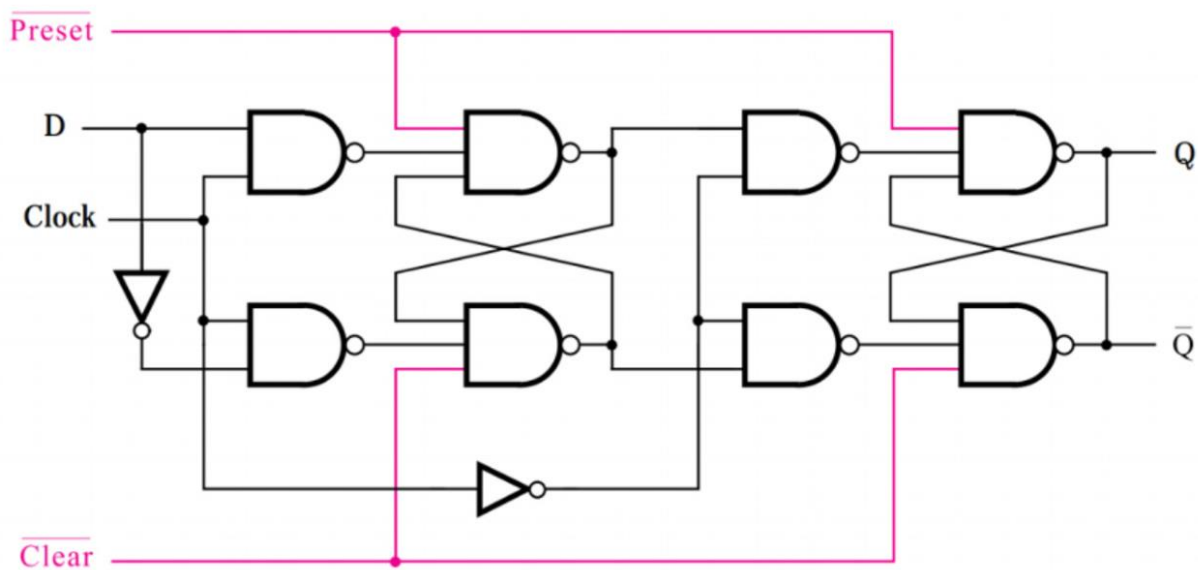
Phần 1: D flip flop với ngõ vào bất đồng bộ Pre và Clr	2
1.1.Cơ sở lý thuyết	2
1.2.Sơ đồ nguyên lý DFF	3
1.3.Sơ đồ mô phỏng DFF.....	4
1.4. Mô phỏng mức logic	5
1.5. Mô phỏng Delay, Tsetup, Thold.....	5
1.7. Đánh giá công suất.....	6
Phần 2: Khảo sát DFF với tần số cao.....	8
2.1. Sơ đồ nguyên lý DFF sử dụng Cmos.....	8
2.2.Sơ đồ mô phỏng DFF.....	9
2.3.Mô phỏng mức logic	10
2.4.Mô phỏng delay, Tsu, Th.....	10
2.5. Đánh giá công suất.....	11
2.6.Nhận xét và so sánh về 2 kiểu thiết kế DFF ở phần 1 và phần 2.....	12
Phần 3: Layout cổng NOT	13

1.1.Cơ sở lý thuyết

INPUTS				OUTPUTS	
\overline{PR}	\overline{CLR}	CLK	D	Q	\overline{Q}
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	X	X
1	1	\uparrow	1	1	0
1	1	\uparrow	0	0	1
1	1	0	X	Q_0	\overline{Q}_0

Hình 1.1: bảng trạng thái DFF

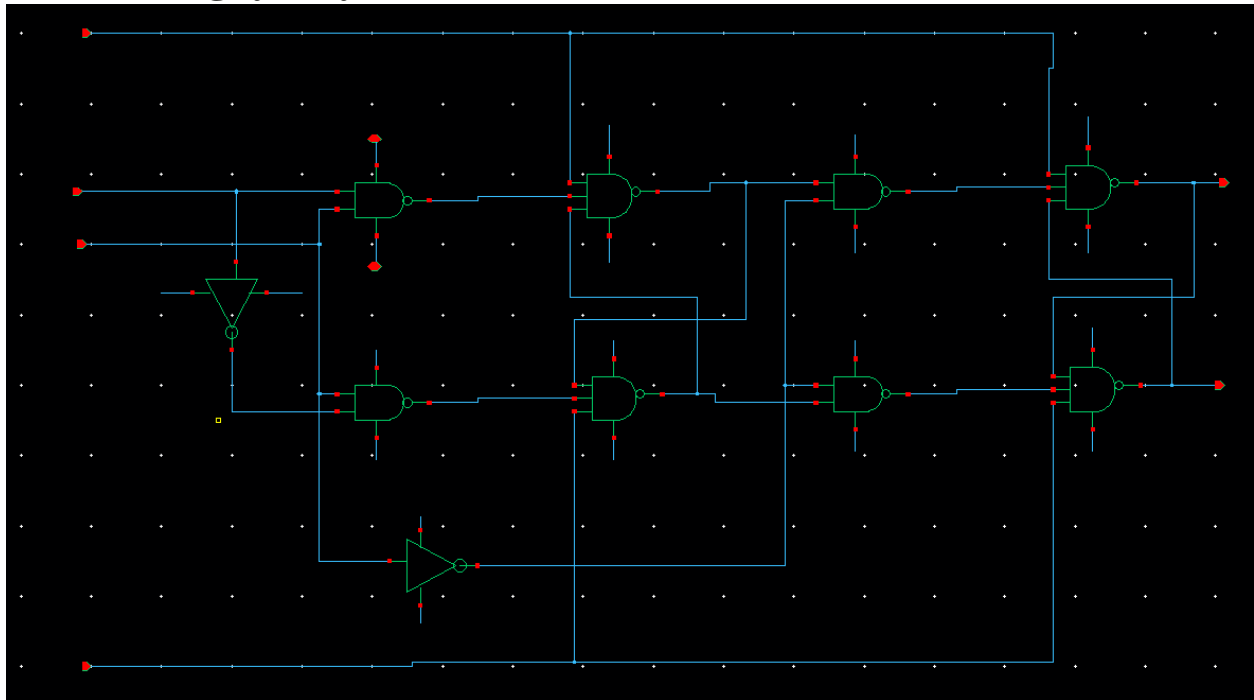
DFF có bảng trạng thái như hình 1.1. Khi có sự tác động của preset thì ngõ ra $Q=1$, khi clear tác động thì ngõ ra $Q=0$. Khi cả 2 preset và clear không cùng tác động thì ngõ ra phụ thuộc vào trạng thái ngõ vào D.



Hình 1.2: Sơ đồ mạch nguyên lý DFF

Sơ đồ mạch nguyên lý DFF sử dụng 4 cổng NAND 2 ngõ vào, 4 cổng NAND 3 ngõ vào và 2 cổng NOT được kết nối như hình 1.2.

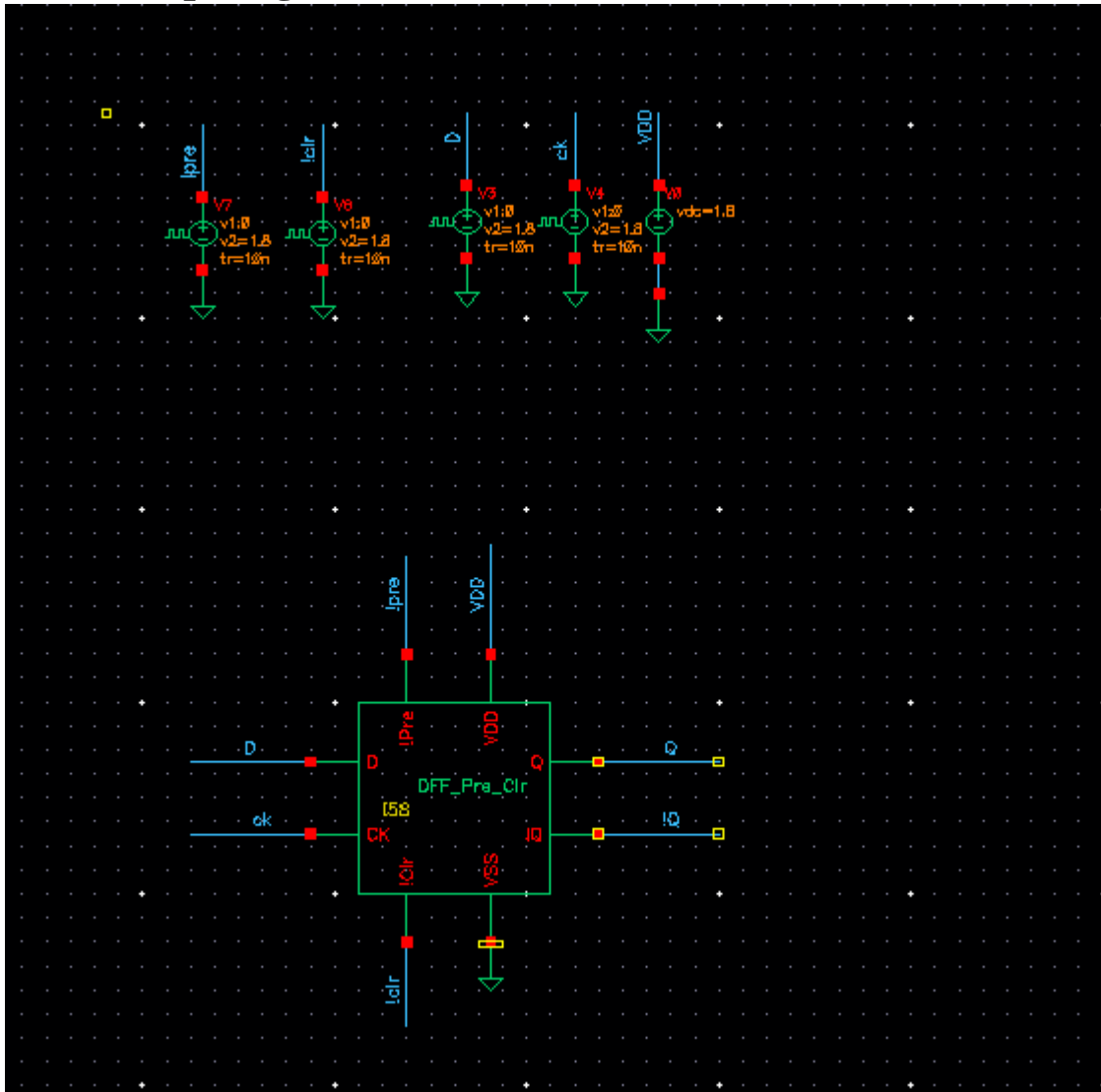
1.2.Sơ đồ nguyên lý DFF



Hình 1.3: Sơ đồ nguyên lý DFF

Sơ đồ nguyên lý DFF được biểu diễn như hình 1.3, bao gồm ngõ vào D, Ck, !Pre, !Clr và 2 ngõ ra Q và !Q.

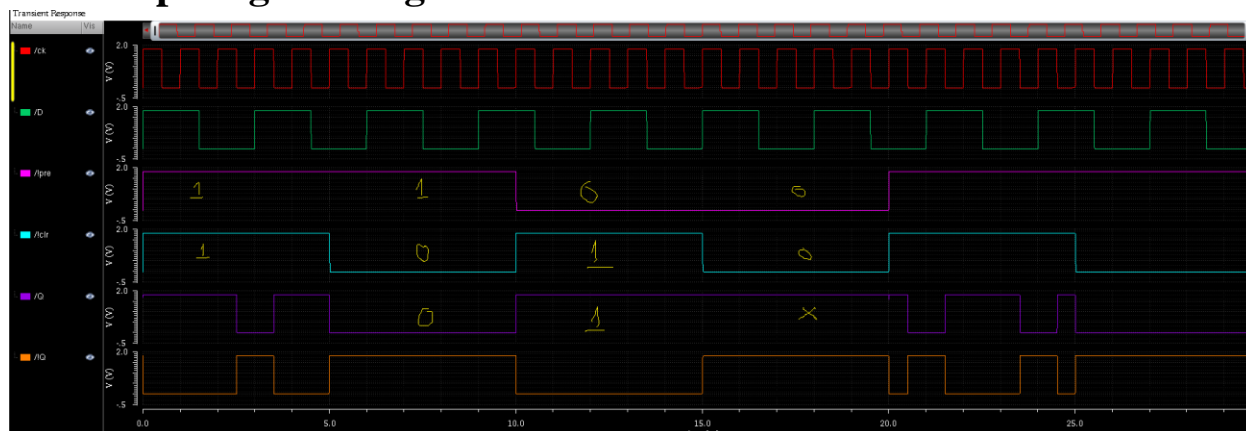
1.3. Sơ đồ mô phỏng DFF.



Hình 1.4: Sơ đồ mô phỏng DFF

Tiến hành mô phỏng DFF với chu kỳ xung clk bằng 1us, điện áp VDD cung cấp =1.8V, VSS nối GND.

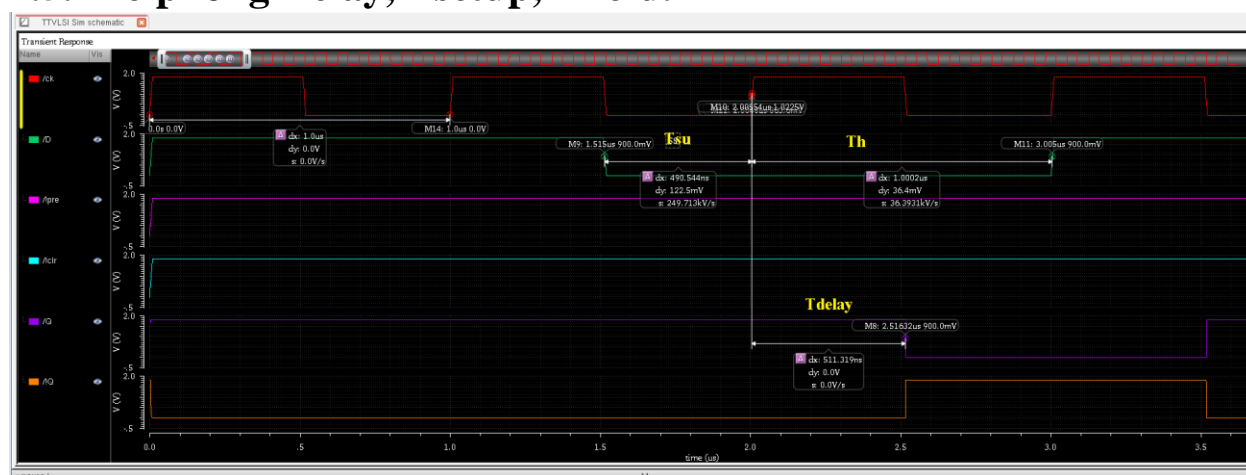
1.4. Mô phỏng mức logic



Hình 1.5: Mô phỏng mức logic DFF

Khi Pre tác động mức thấp thì ngõ ra $Q=1$, Clr tác động mức thấp thì ngõ ra $Q=0$, trong trường hợp Pre và Clr không tác động (cùng mức 1) ngõ ra Q phụ thuộc vào trạng thái ngõ vào D với sự tác động cạnh lên xung clk thì ngõ ra $Q=D$. Khi Pre và Clr cùng tác động ngõ ra Q không xác định.

1.5. Mô phỏng Delay, Tsetup, Thold.



Hình 1.6: Mô phỏng delay, Tsu, Th

Tại thời điểm Pre và Clr không tác động (cùng mức 1), T_{su} được tính bằng khoảng thời gian D thay đổi trạng thái cho đến khi có sự tác động cạnh lên của xung clk và có được thời gian $T_{su}= 490,554\text{ms}$. T_h được tính bằng khoảng thời gian clk tác động cạnh lên đến lúc ngõ vào D thay đổi và $T_h=1.0002\text{us}$. Thời gian delay giữa xung clk và ngõ ra Q bằng 511.319ms .

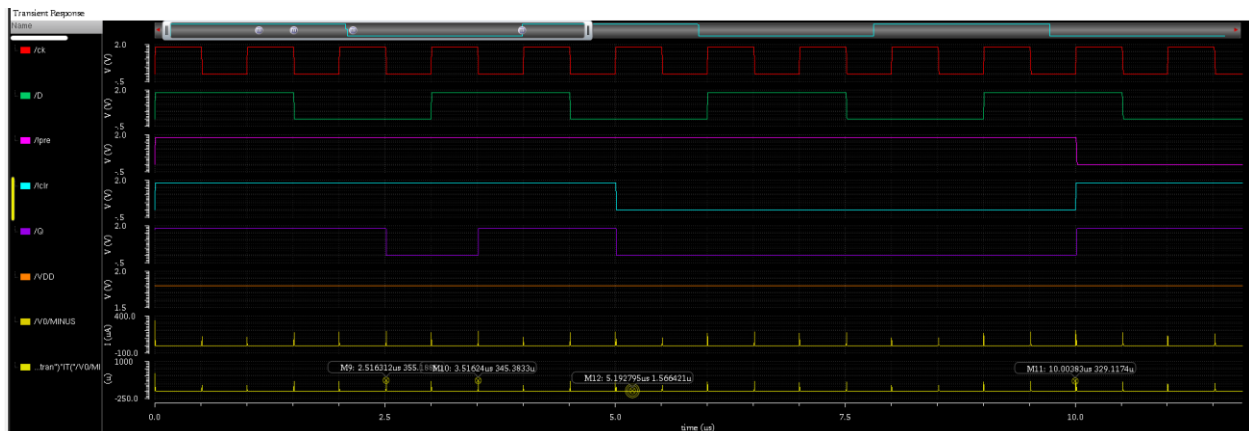


Hình 1.7: Delay giữa ngõ vào Pre, Clr với ngõ ra Q

-Thời gian delay giữa ngõ vào Pre với ngõ ra Q=295,46ps.

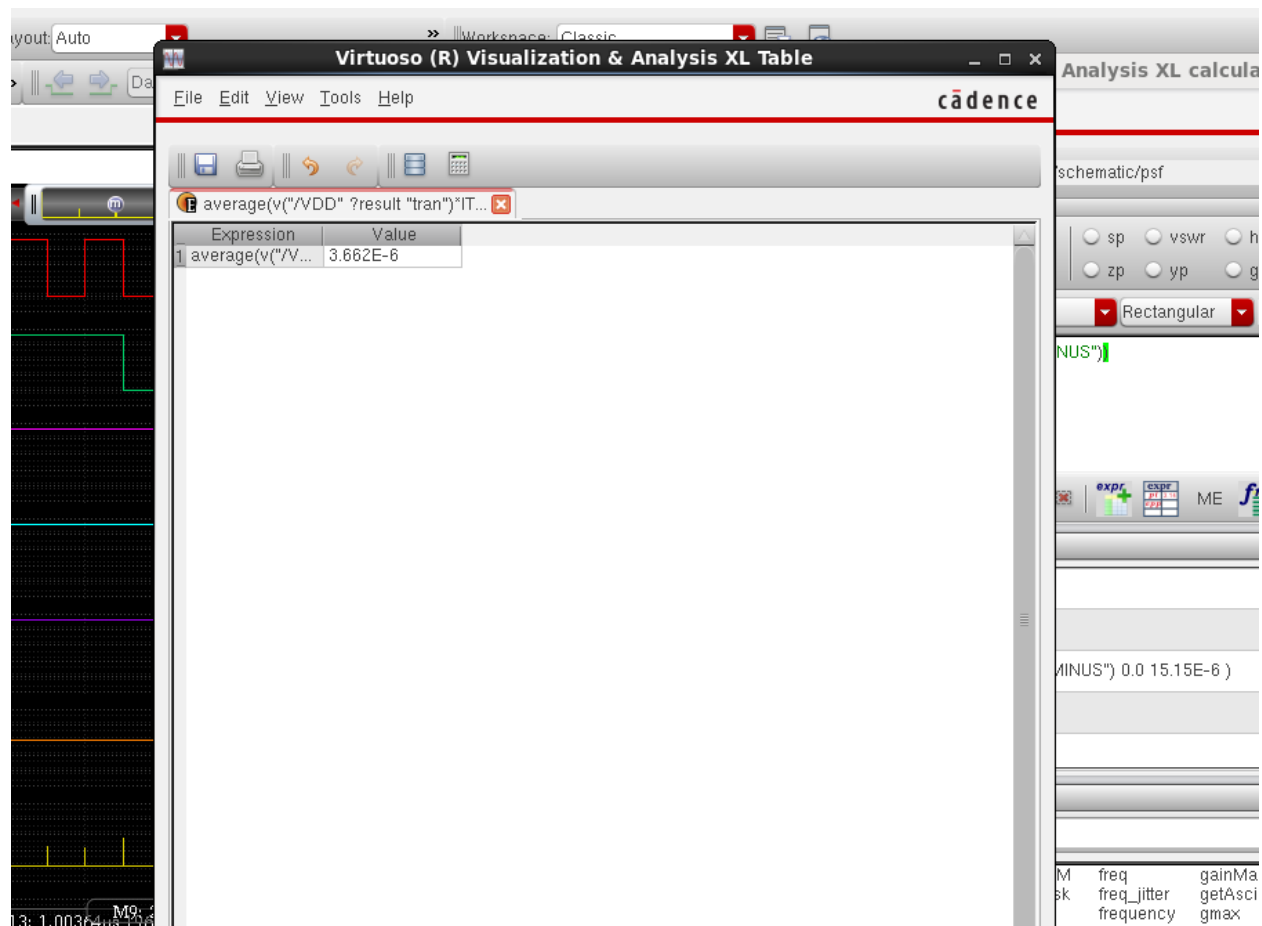
-Thời gian delay giữa ngõ vào Clr với ngõ ra Q=295,46ps.

1.7. Đánh giá công suất.



Hình 1.8: Đánh giá công suất tức thời

Tại thời điểm ngõ ra Q thay đổi và các thời điểm khi xung ck thay đổi từ 0 lên 1 hoặc từ 0 xuống 1, công suất đạt cực đại tại các thời điểm này rơi vào khoảng 350uW, công suất tĩnh khi mạch không hoạt động rơi vào khoảng 1.5uW.

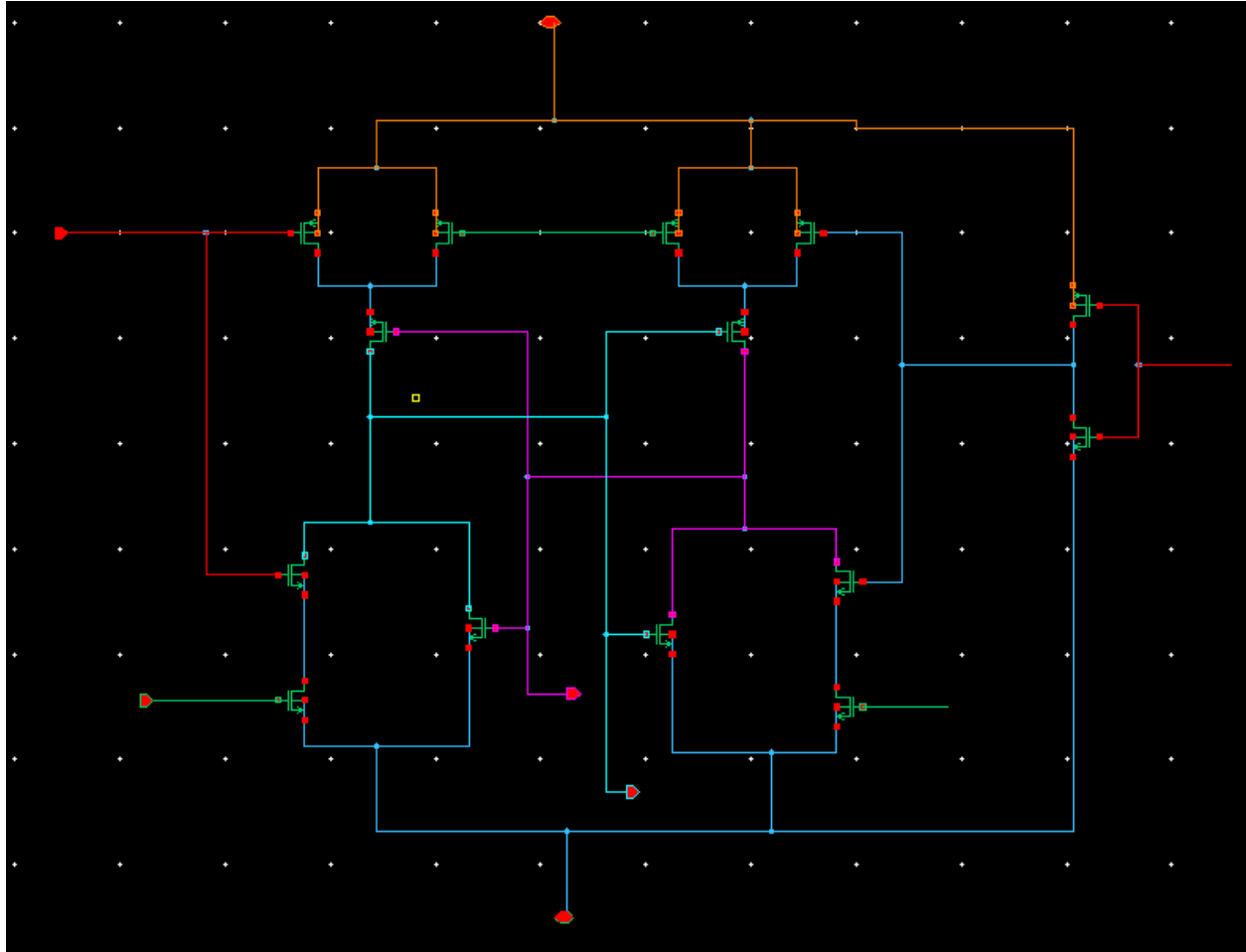


Hình 1.9: Công suất trung bình.

Công suất trung bình = 3.662×10^{-6} W.

Phần 2: Khảo sát DFF với tần số cao

2.1. Sơ đồ nguyên lý DFF sử dụng Cmos



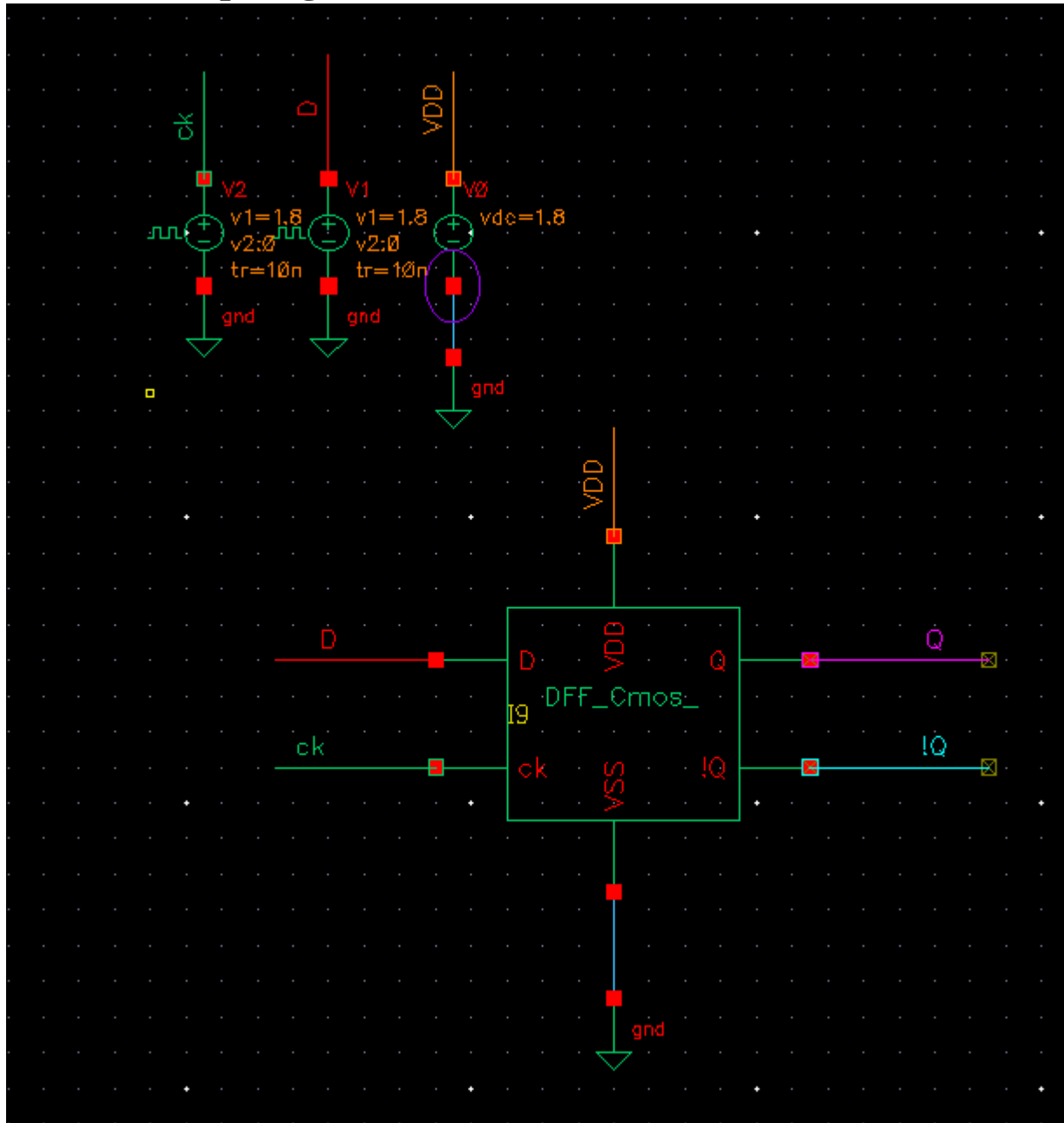
Hình 2.1: Sơ đồ nguyên lý sử dụng Cmos

Sơ đồ nguyên lý DFF sử dụng Cmos được kết nối như hình 2.1 bao gồm ngõ vào D, clk , nguồn cấp VDD và VSS ngõ ra bao gồm Q và Q!.

-Pmos: W=120n, L=100n.

-Nmos: W=120n, L=100n.

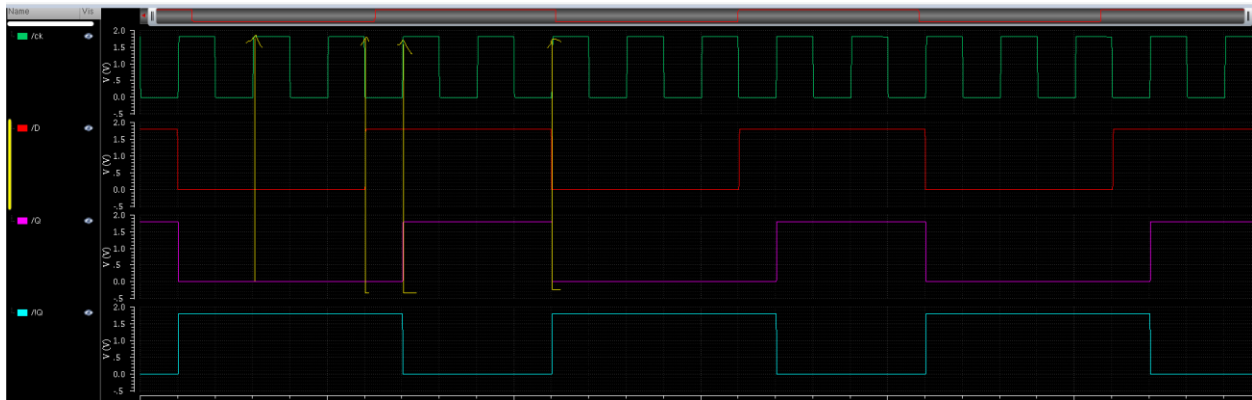
2.2. Sơ đồ mô phỏng DFF



Hình 2.2: Sơ đồ mô phỏng DFF

Sơ đồ mô phỏng được thể hiện như hình 2.2, nguồn VDD cấp vào 1.8V, VSS nối GND, tần số xung clk cấp cho mạch là 1MHz.

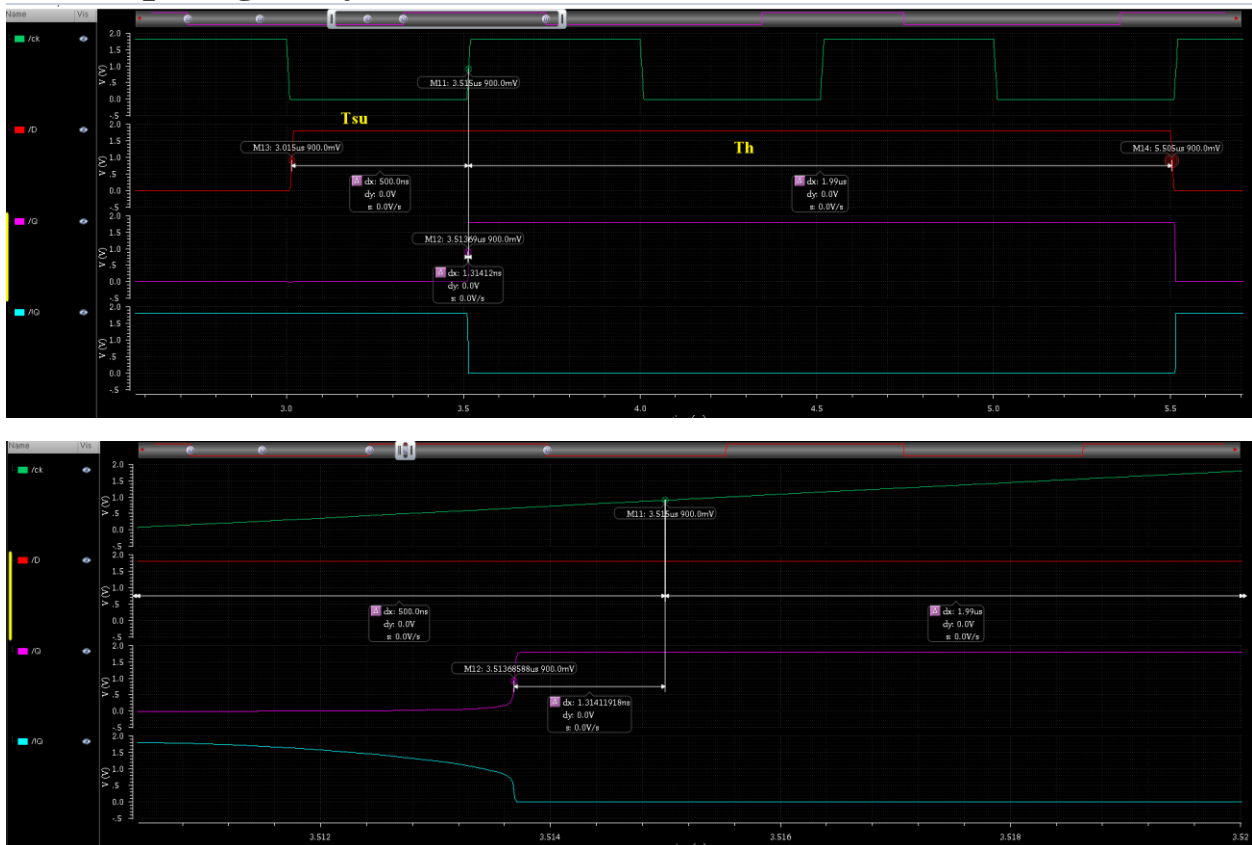
2.3. Mô phỏng mức logic



Hình 2.3: Mô phỏng mức logic

Khi có sự tác động cạnh lên xung clk ngõ ra $Q=D$ có thể suy ra được mạch DFF đã hoạt động đúng mức logic.

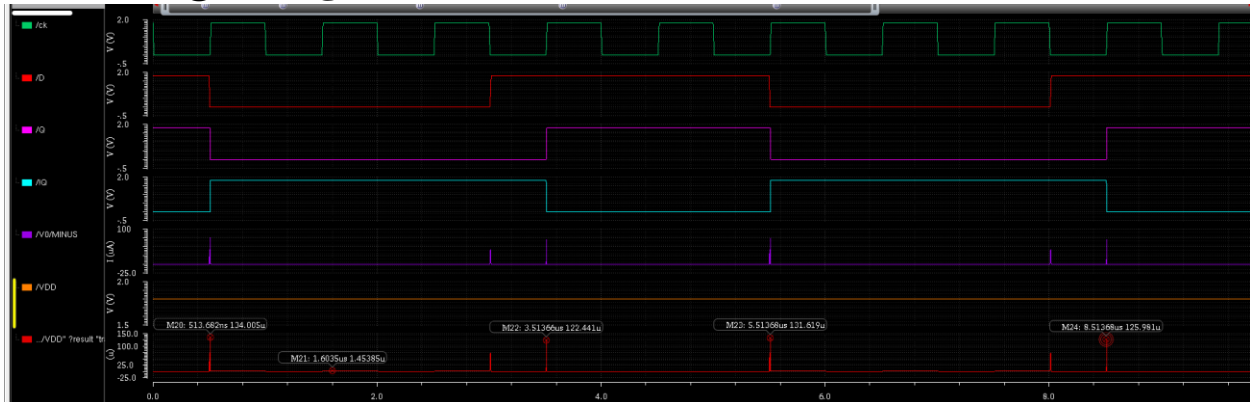
2.4. Mô phỏng delay, T_{su} , T_h .



Hình 2.4: Mô phỏng T_{su} , T_h , T_{delay} .

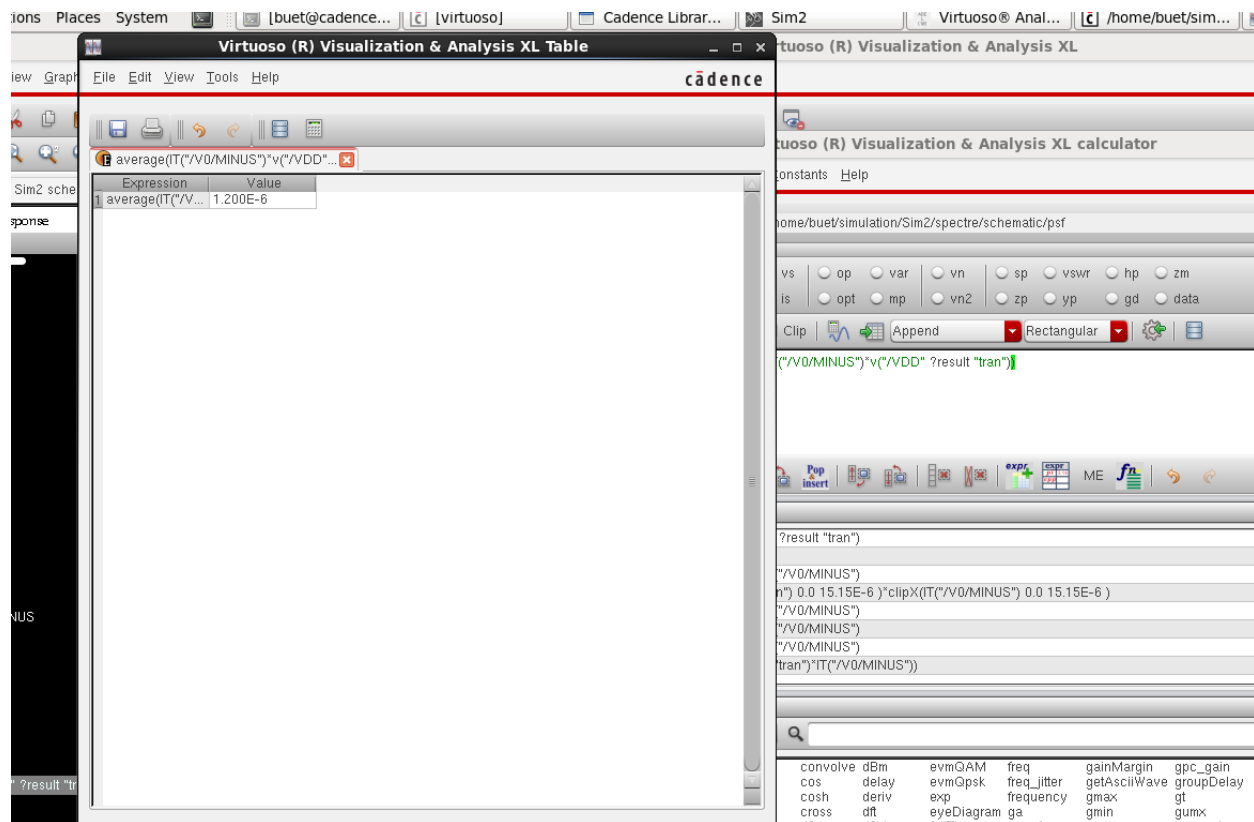
Tsu được tính bằng khoảng thời gian D thay đổi trạng thái cho đến khi có sự tác động cạnh lên của xung clk và có được thời gian $T_{su} = 500\text{ns}$. Th được tính bằng khoảng thời gian clk tác động cạnh lên đến lúc ngõ vào D thay đổi và $T_h = 1.99\mu\text{s}$. Về thời gian delay thì ngõ ra Q đáp ứng sớm hơn khi xung clk chưa đạt 50% mức điện áp chuyển đổi từ mức 0 lên mức 1 (cạnh lên), thời gian đáp ứng sớm của ngõ ra được so với cạnh lên xung clk rơi vào khoảng $1.3\mu\text{s}$.

2.5. Đánh giá công suất



Hình 2.5: Đánh giá công suất tức thời

Tại thời điểm ngõ ra Q thay đổi, công suất đạt cực đại tại các thời điểm này rơi vào khoảng $130\mu\text{W}$, công suất tĩnh khi mạch không hoạt động rơi vào khoảng $1.4\mu\text{W}$.



Hình 2.6: Công suất trung bình

Công suất trung bình = $1.2e-6$ W.

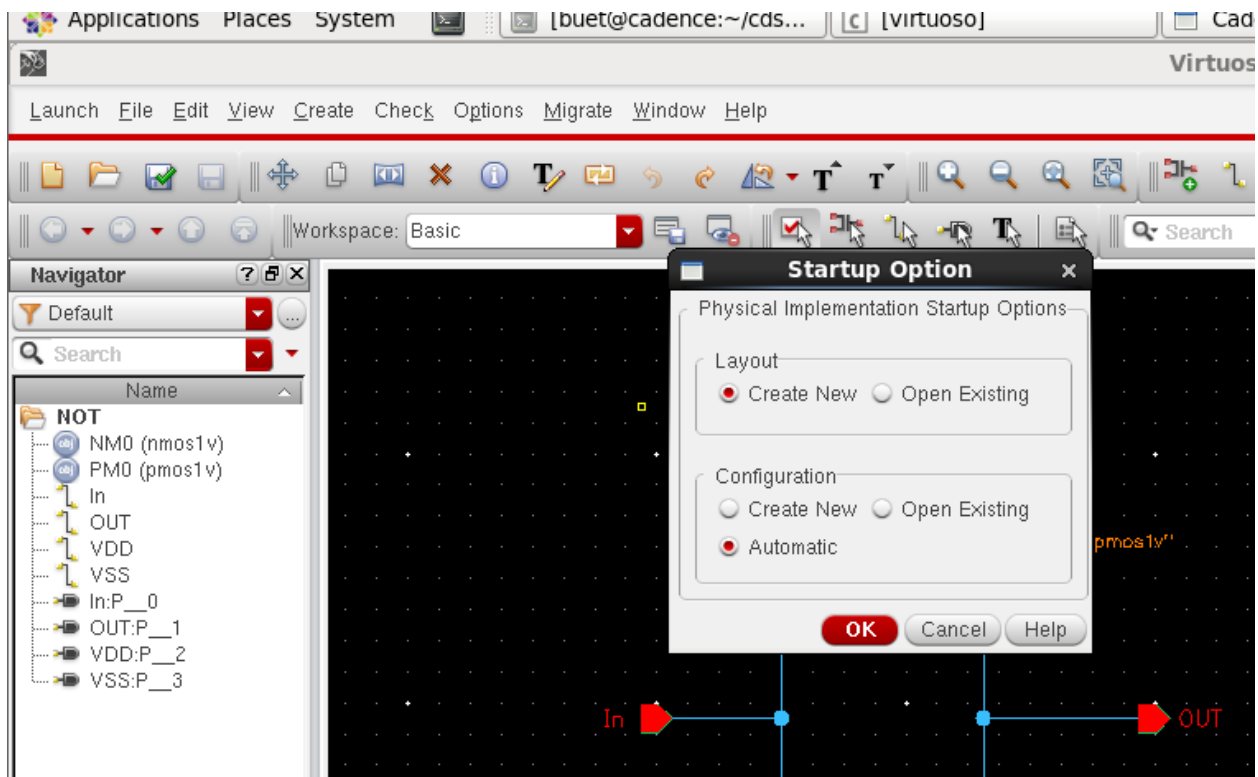
2.6. Nhận xét và so sánh về 2 kiểu thiết kế DFF ở phần 1 và phần 2

Về vấn đề delay: So với thiết kế DFF ở phần 1 sử dụng các cổng NAND thì thời gian đáp ứng ngõ ra của DFF thiết kế dựa trên Cmos sẽ đáp ứng nhanh hơn rất nhiều, điều này có thể lý giải rằng số Nmos và Pmos dùng cho thiết kế ở phần 2 ít hơn rất nhiều so với phần 1.

Về vấn đề công suất: Do số lượng Nmos và Pmos của thiết kế DFF ở phần 2 được sử dụng ít hơn phần 1 nên công suất max khi chuyển mạch và công suất trung bình ở phần 2 thấp hơn gần 50% so với thiết kế DFF ở phần 1.

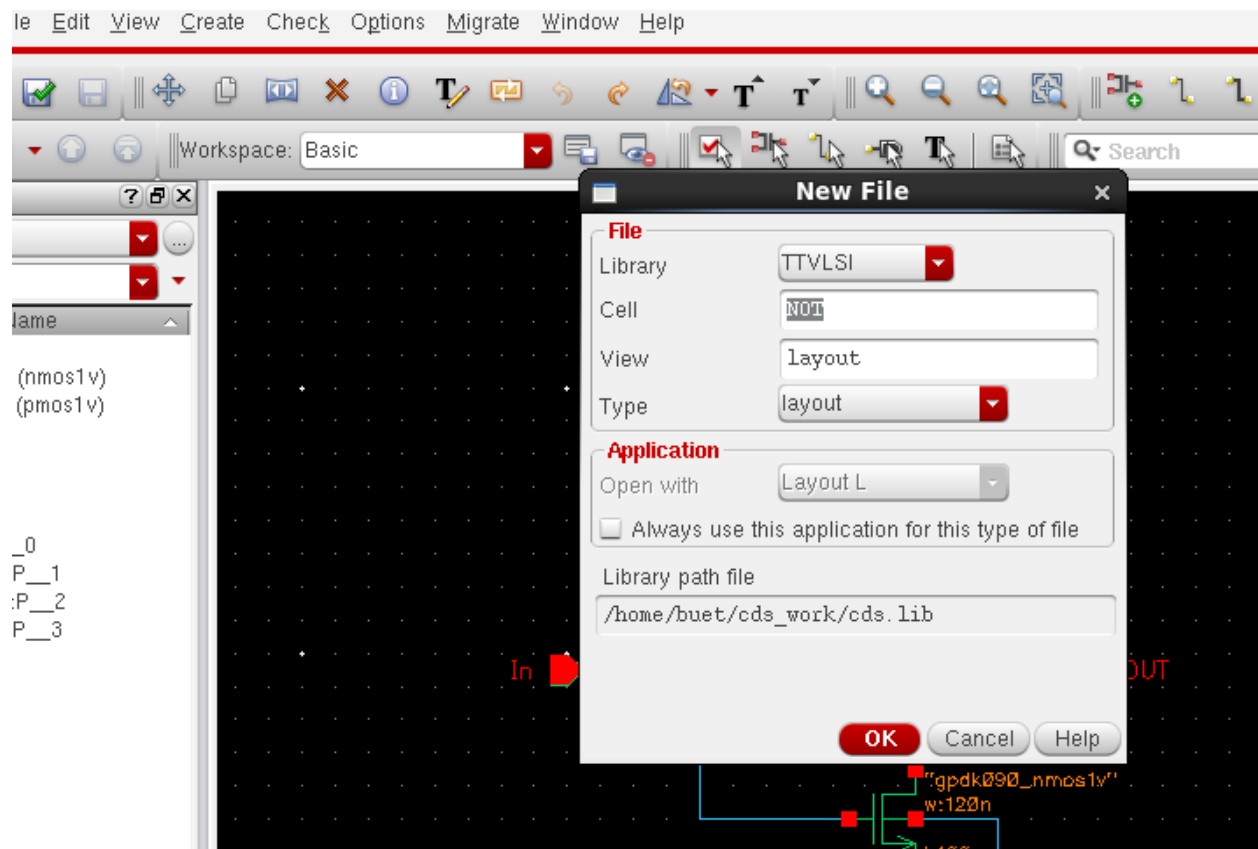
Phần 3: Layout cổng NOT

Bước 1: Ở sơ đồ nguyên lý chọn vào launch - > layout XL, sẽ hiện ra cửa sổ như hình 3.1 sau đó chọn vào mục create New và Automatic sau đó nhấn ok.



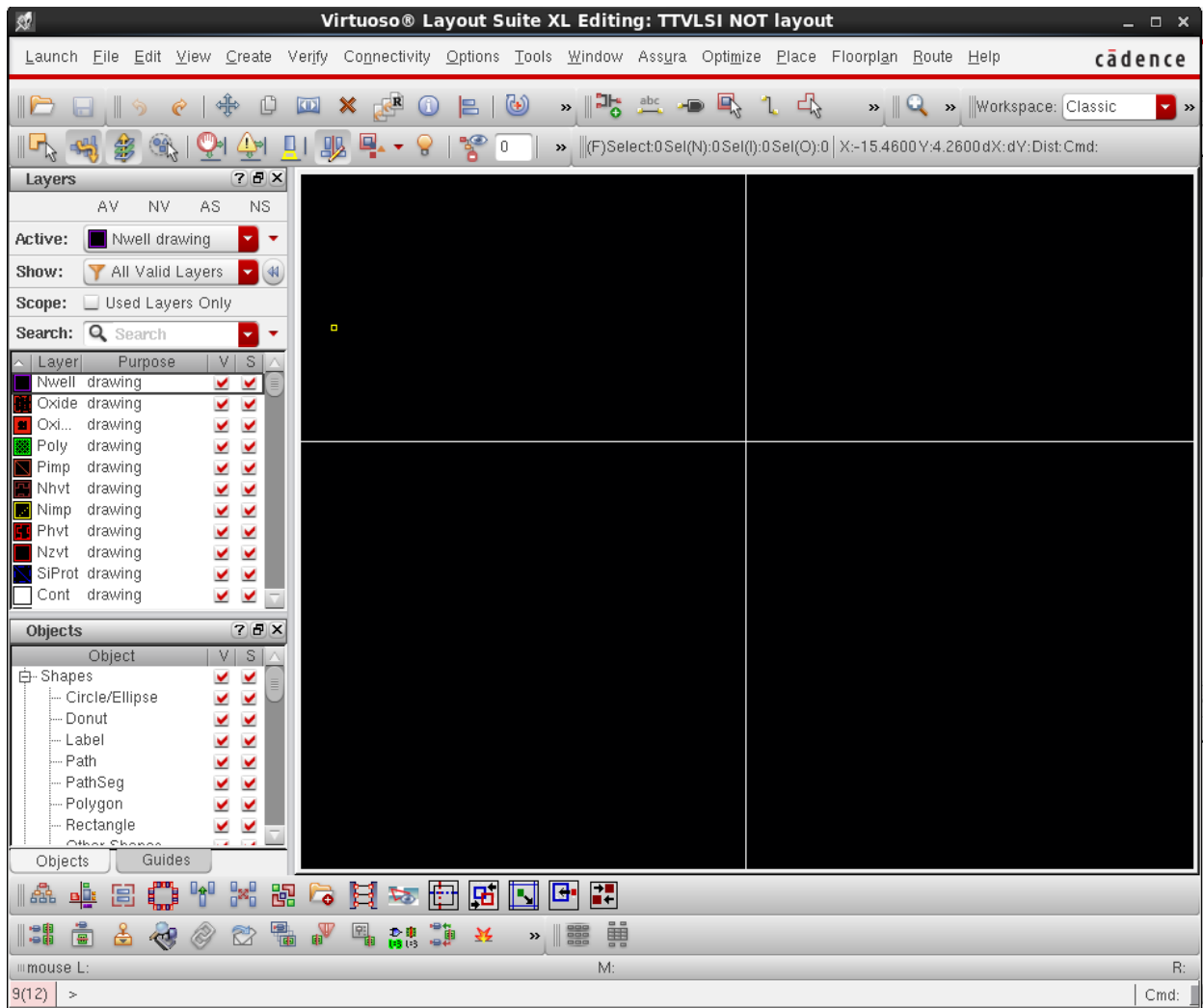
Hình 3.1

Sau đó sẽ hiện lên hộp thoại chọn nơi lưu layout như hình 3.2.




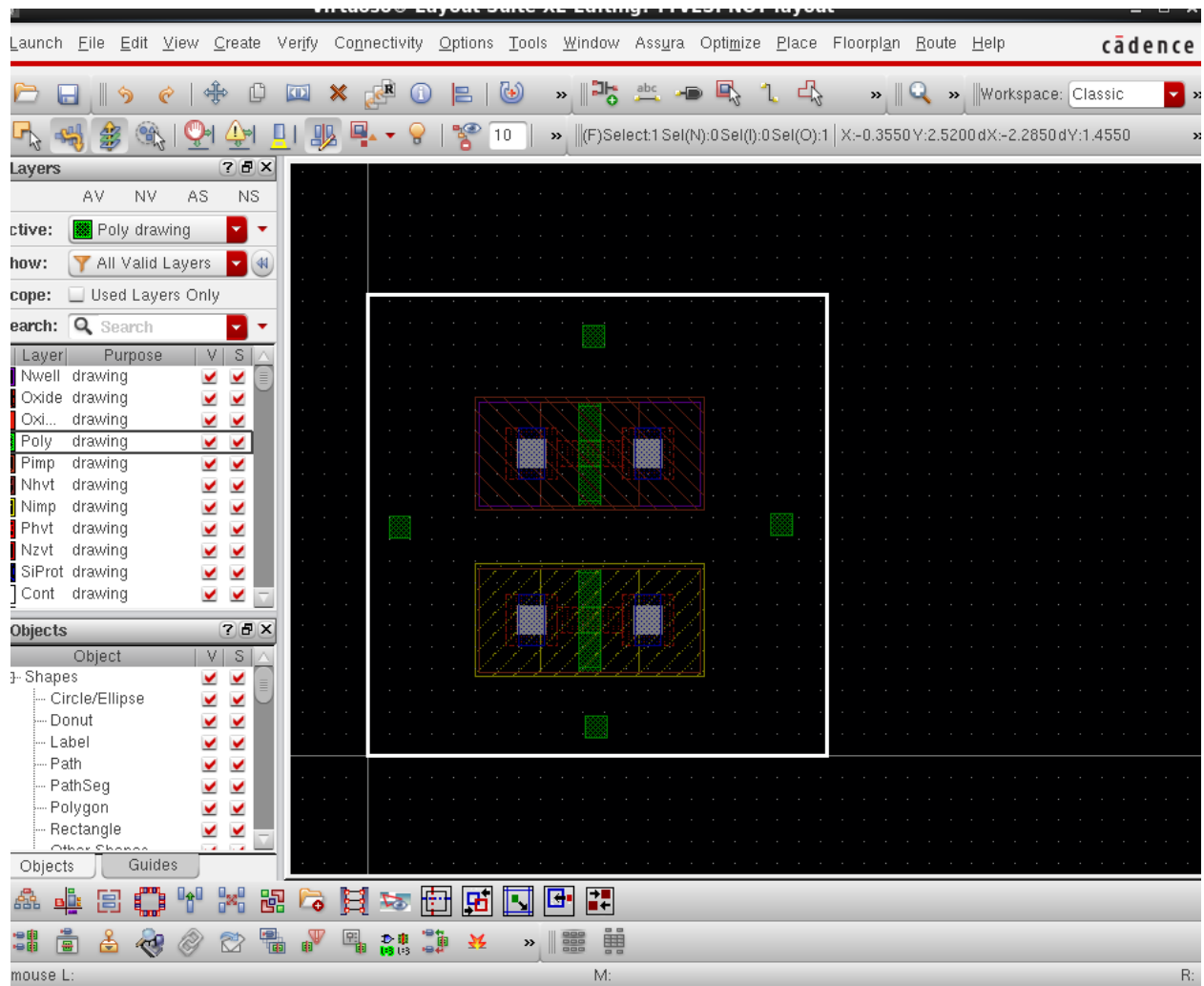
Hình 3.2

Bước 2: Cửa sổ layout hiện ra như hình 3.3.




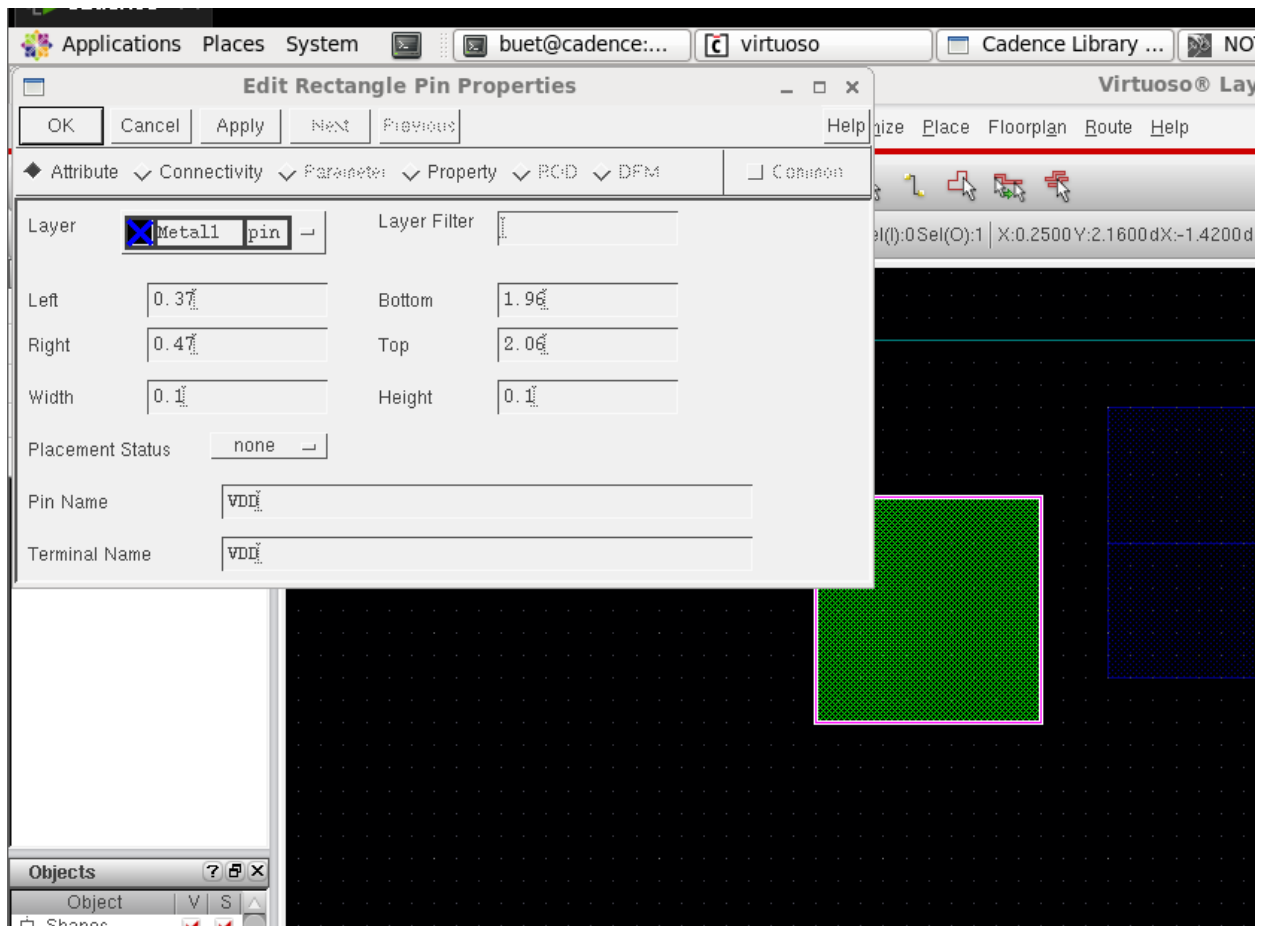
Hình 3.3

Bước 3: Chọn biểu tượng  dưới góc trái cửa sổ layout để lấy layout và các chân pin VDD, VSS, In, Out của sơ đồ nguyên lý cổng NOT ra ngoài như hình 3.4.



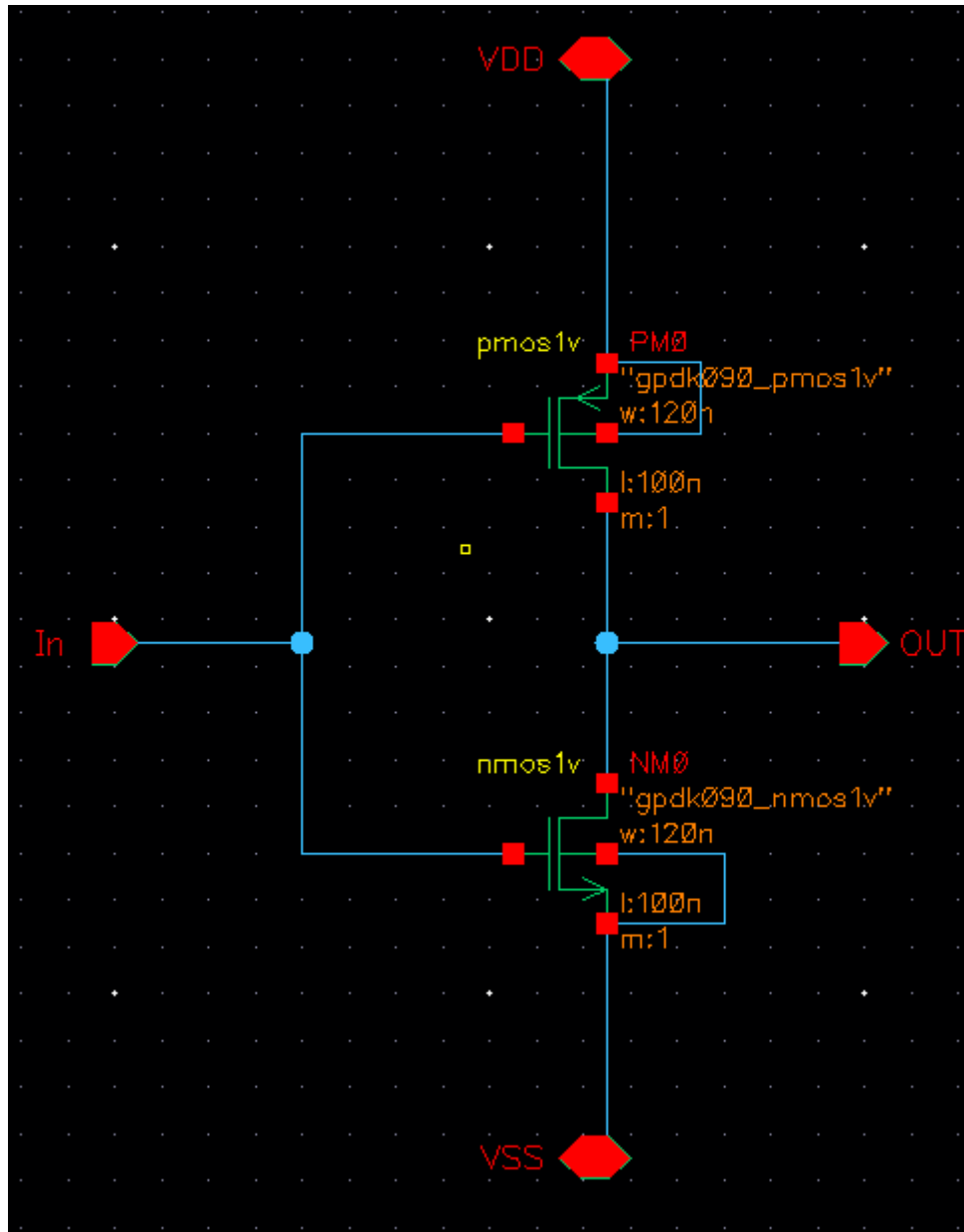
Hình 3.4

-Tiếp theo click chọn vào lần lượt 4 chân pin sau đó chọn biểu tượng  để thay đổi layer sang metal1 (dùng để kết nối).



Hình 3.5: Thay đổi layer của Pin

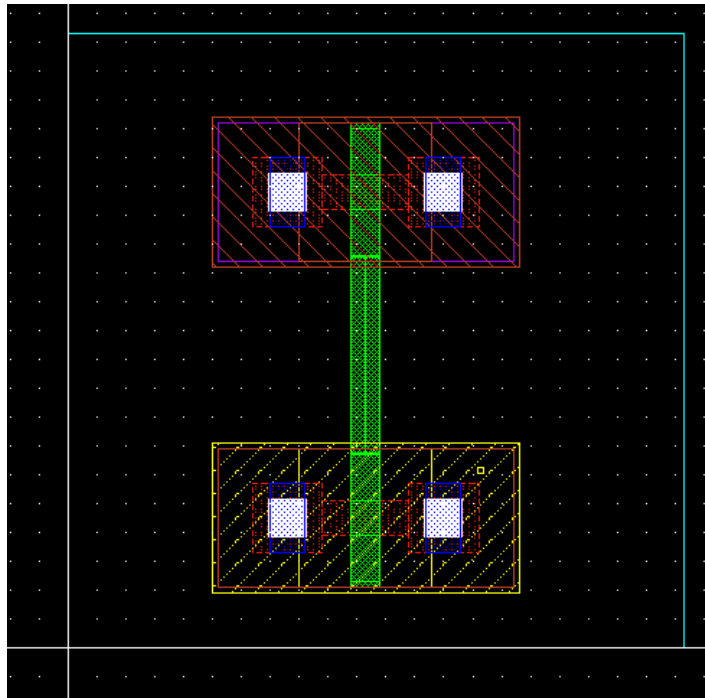
Bước 4: Sau đó tiến hành kết nối layout theo như sơ đồ nguyên lý cổng NOT



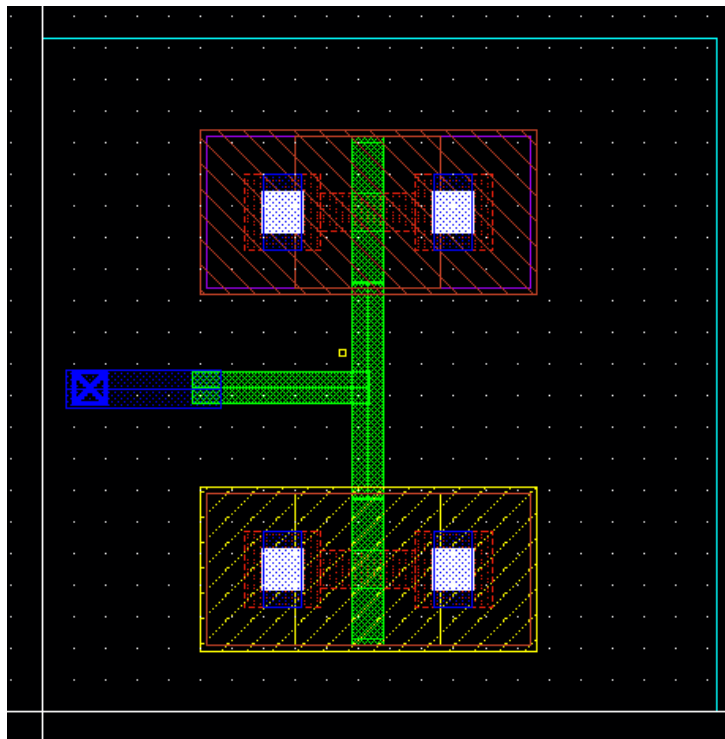
Hình 3.6: Sơ đồ nguyên lý cổng NOT

Theo như sơ đồ nguyên lý ngõ vào In sẽ kết nối với cực G của Pmos và Nmos, cực S của Pmos nối vào cực D của Nmos, cực D Pmos nối lên VDD và cực S Nmos nối xuống VSS.

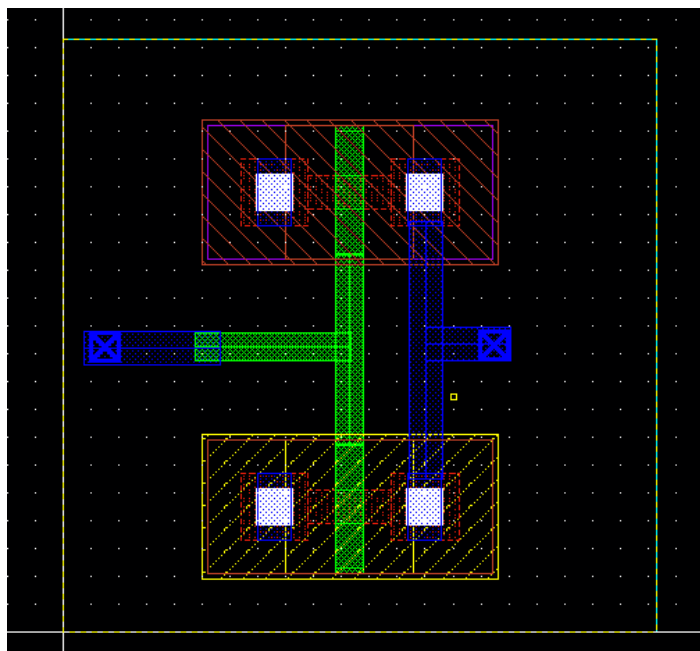
Sử dụng layer poly để kết nối cực G của Pmos với Nmos, các chân pin còn lại sử dụng layer metal1 để kết nối.



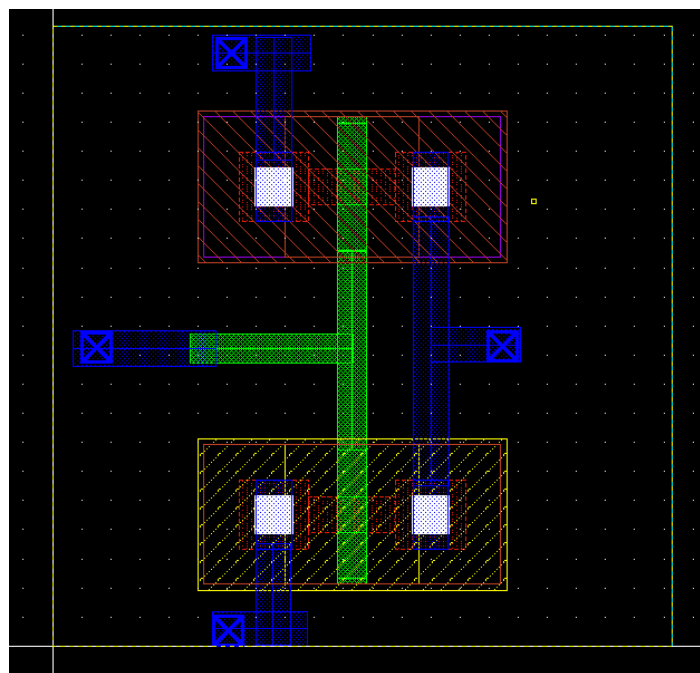
Hình 3.7: Nối cực G của Nmos và Pmos



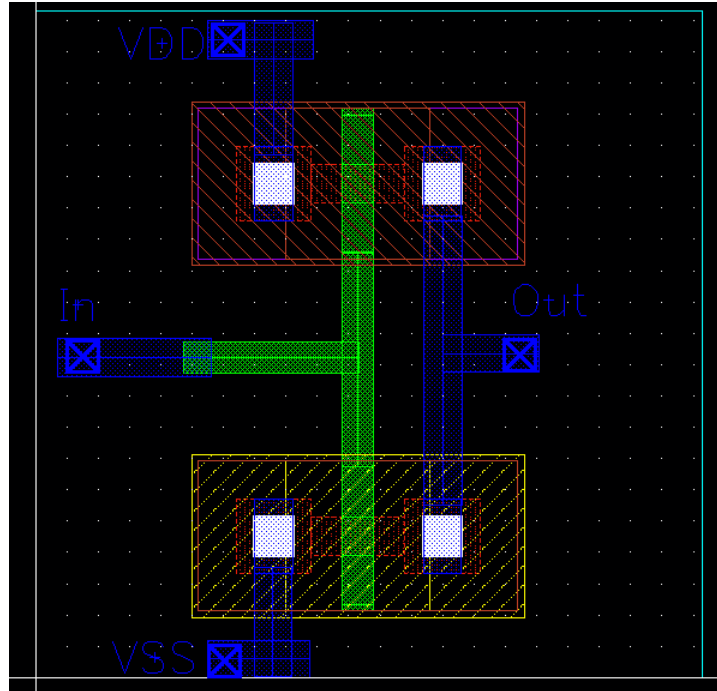
Hình 3.8: Nối ngõ vào In



Hình 3.9: Nối ngõ ra Out

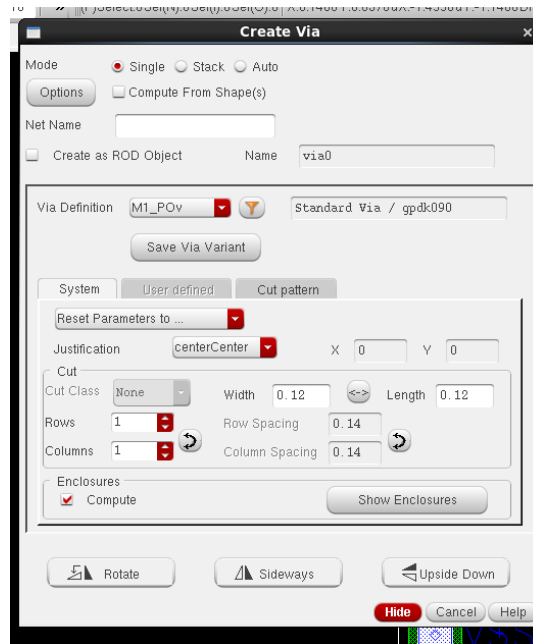


Hình 3.10: Nối VDD và VSS

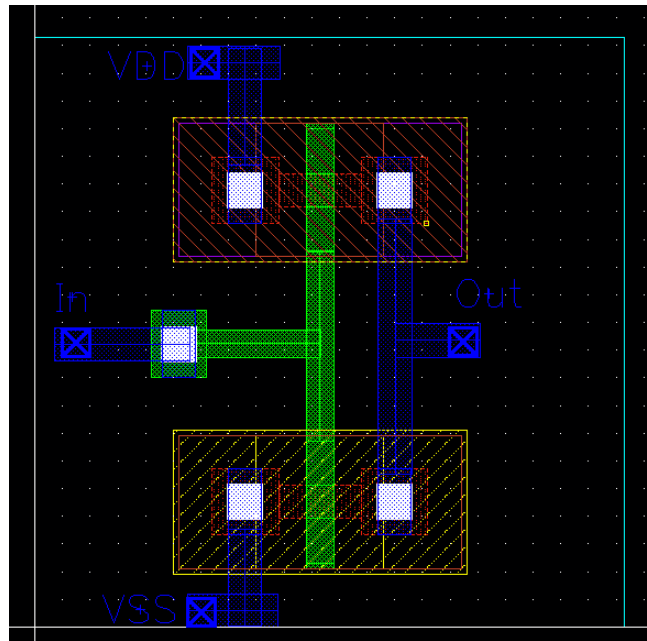


Hình 3.11: Đặt nhãn cho các Pin

Bước 5: Cuối cùng vào create -> Via để kết nối giữa 2 layer metal1 và Poly như hình 3.12, chọn M1_Pov.



Hình 3.12



Hình 3.13: Hoàn thiện layout cổng NOT