

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH



BÁO CÁO TT VLSI-CT7-012

GVHD: Lê Minh Thành.

Sinh viên thực hiện: Nguyễn Duy Huân

MSSV: 19119182

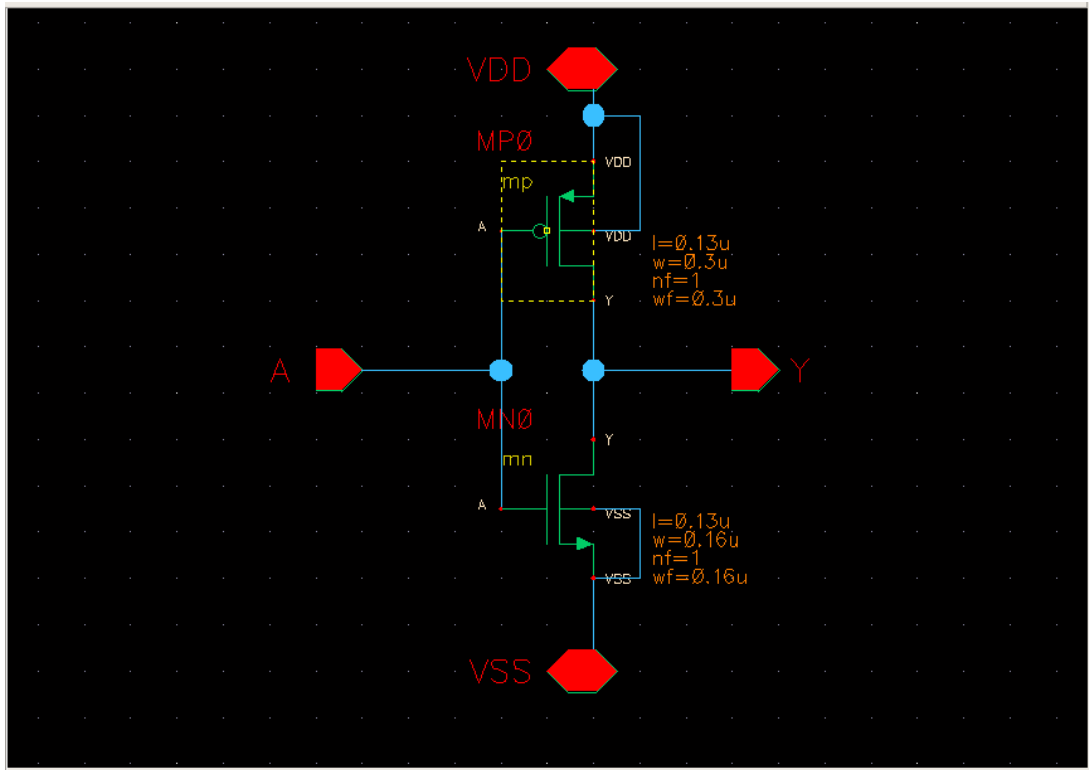
Mục lục

Phần 1: Đánh giá công suất và delay cổng NOT khi có tụ kí sinh ngõ ra.....	3
1.1. Sơ đồ nguyên lí cổng NOT	3
1.2. Sơ đồ mô phỏng	4
1.3. Ngõ ra tụ 1pF	5
1.3.1. Delay	5
1.3.2. Công suất cực đại.....	6
1.3.3. Công suất trung bình.....	6
1.4. Ngõ ra tụ 5pF	7
1.4.1. Delay	7
1.4.2. Công suất cực đại.....	8
1.4.3. Công suất trung bình.....	9
1.5. Ngõ ra với tụ 10pF.....	10
1.5.1. Delay	10
1.5.2. Công suất cực đại.....	11
1.5.3. Công suất trung bình.....	11
1.6. Kết luận	12
Phần 2: Cổng NOT ghép cascode	13
2.1. Sơ đồ mô phỏng	13
2.2. Khảo sát Vin, Vout.	14
2.2.1. Tầng thứ nhất	14
2.2.2. Tầng thứ 2	15
2.2.3. Tầng thứ 3.....	17
2.3. Khảo sát Iin, Iout.....	18
2.3.1. Tầng thứ 1.....	19
2.3.2. Tầng thứ 2	20
2.3.3. Tầng thứ 3	22
Phần 3: Khảo sát đặc tuyến I-V	24

3.1. Cơ sở lý thuyết	24
3.1.1. Tính chất đặc tuyến I-V	24
3.1.2. Vùng cutoff	24
3.1.3. Vùng tuyến tính.....	24
3.1.4. Vùng bão hòa	24
3.1.5. Điện áp ngưỡng.....	24
3.2. Khảo sát đặc tuyến I-V Pmos.	25
3.2.1 Sơ đồ mô phỏng.	25
3.2.3. Đặc tuyến I_{ds} vs V_{gs}	26
3.2.4. Đặc tuyến I_{ds} , V_{ds}	26
3.3. Khảo sát I-V Nmos	29
3.3.1. Sơ đồ mô phỏng	29
3.3.2.Đặc tuyến I_{ds} , V_{gs}	29
3.3.3. Đặc tuyến I_{ds} , V_{ds}	30

Phần 1: Đánh giá công suất và delay cổng NOT khi có tụ kí sinh ngõ ra

1.1. Sơ đồ nguyên lí cổng NOT



Hình 1.1 Sơ đồ nguyên lí cổng NOT

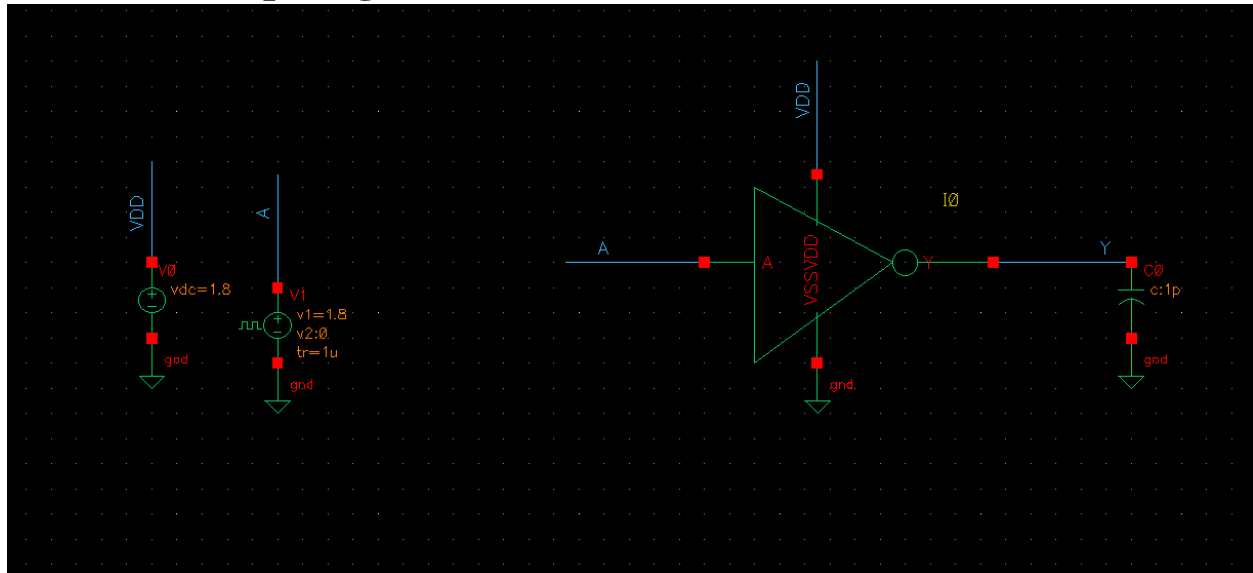
Sơ đồ nguyên lí cổng NOT được vẽ thông qua phần mềm thiết kế Cadence như hình 1.1, bao gồm 2 tầng pmos nối với pin VDD và nmos nối với pin VSS, đầu vào A và ngõ ra Y.

Thông số Pmos và Nmos:

Pmos: $L=0.13\mu$, $W=0.16\mu$.

Nmos: $L=0.13\mu$, $W=0.16\mu$.

1.2. Sơ đồ mô phỏng

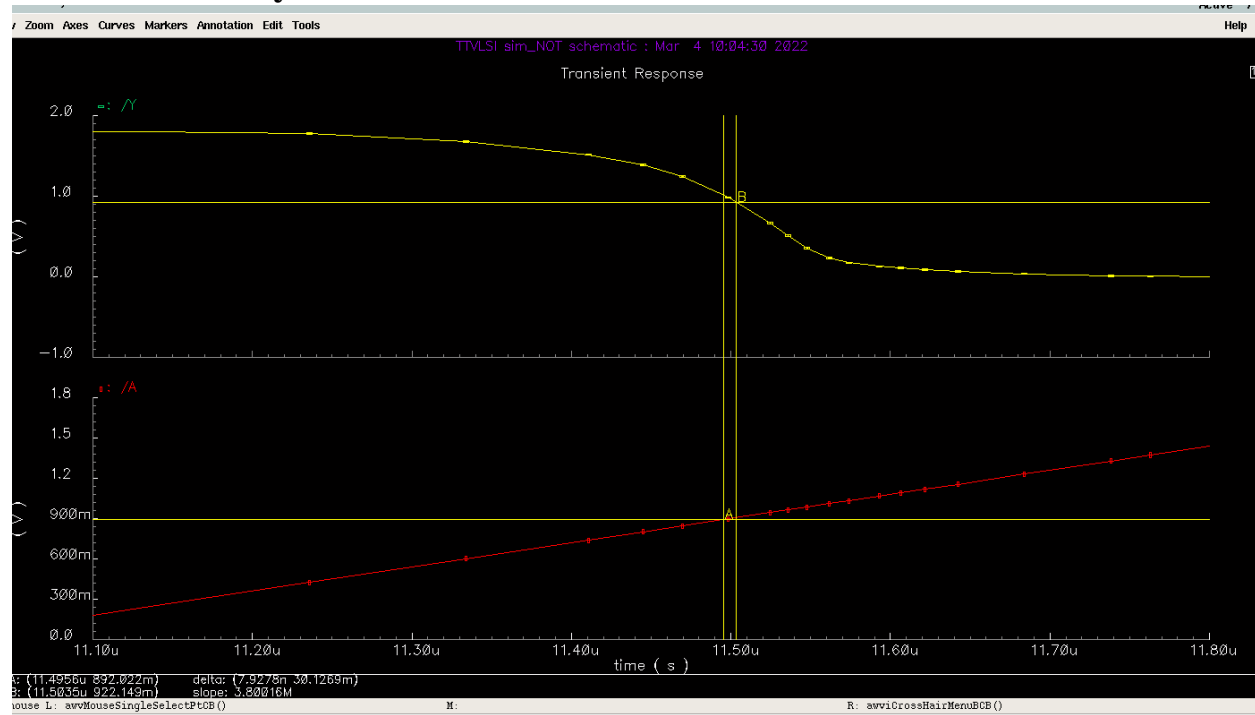


Hình 1.2. Sơ đồ mô phỏng cổng NOT

Để tiến hành mô phỏng, lựa chọn nguồn cấp $VDD=1.8V$, VSS nối GND ngõ vào là xung đồng hồ với chu kỳ $20\mu s$, độ rộng xung 50% . Tại ngõ ra kết nối với 1 con tụ có giá trị lần lượt $1pF$, $5pF$, $10pF$. Tiến hành đo các thông số delay, công suất tương ứng với mỗi tụ.

1.3. Ngõ ra tụ 1pF

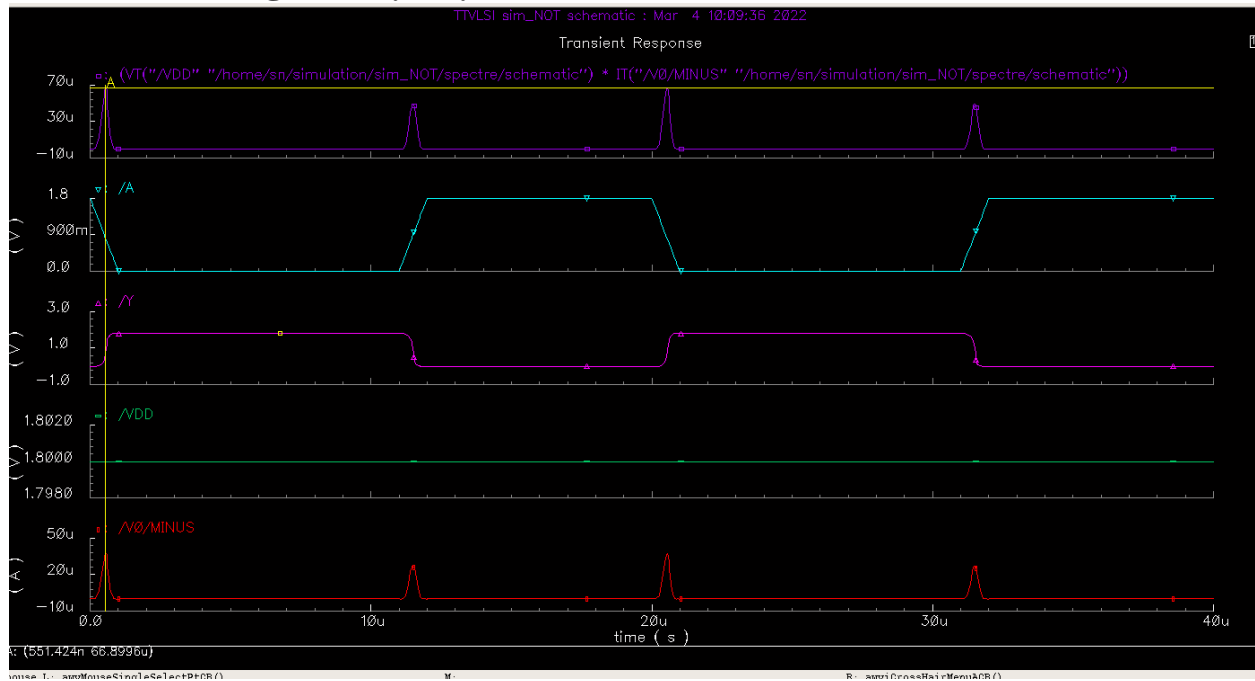
1.3.1. Delay



Hình 1.3. Độ delay với tụ 1pF

Tiến Hành lấy 50% xung ngõ vào A (màu đỏ) và 50% xung ngõ ra Y (màu xanh) độ delay rơi vào khoảng 0.01us.

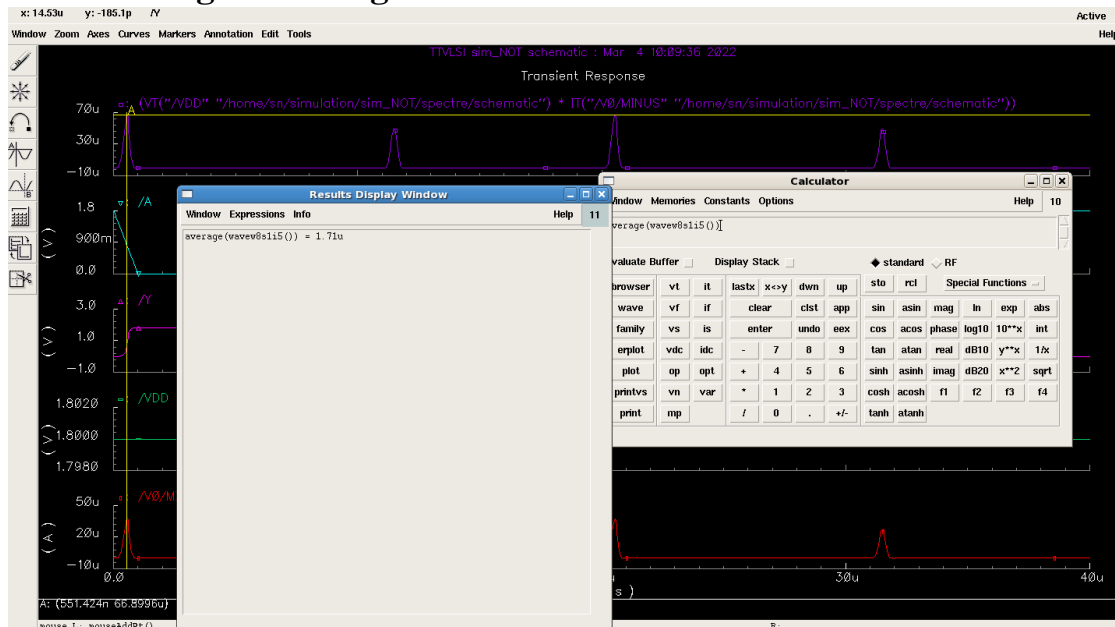
1.3.2. Công suất cực đại



Hình 1.4. Công suất Pmax

Công suất cực đại khi mạch chuyển trạng thái ngõ vào từ mức cao xuống mức thấp và $P_{max}=66.89\mu W$

1.3.3. Công suất trung bình

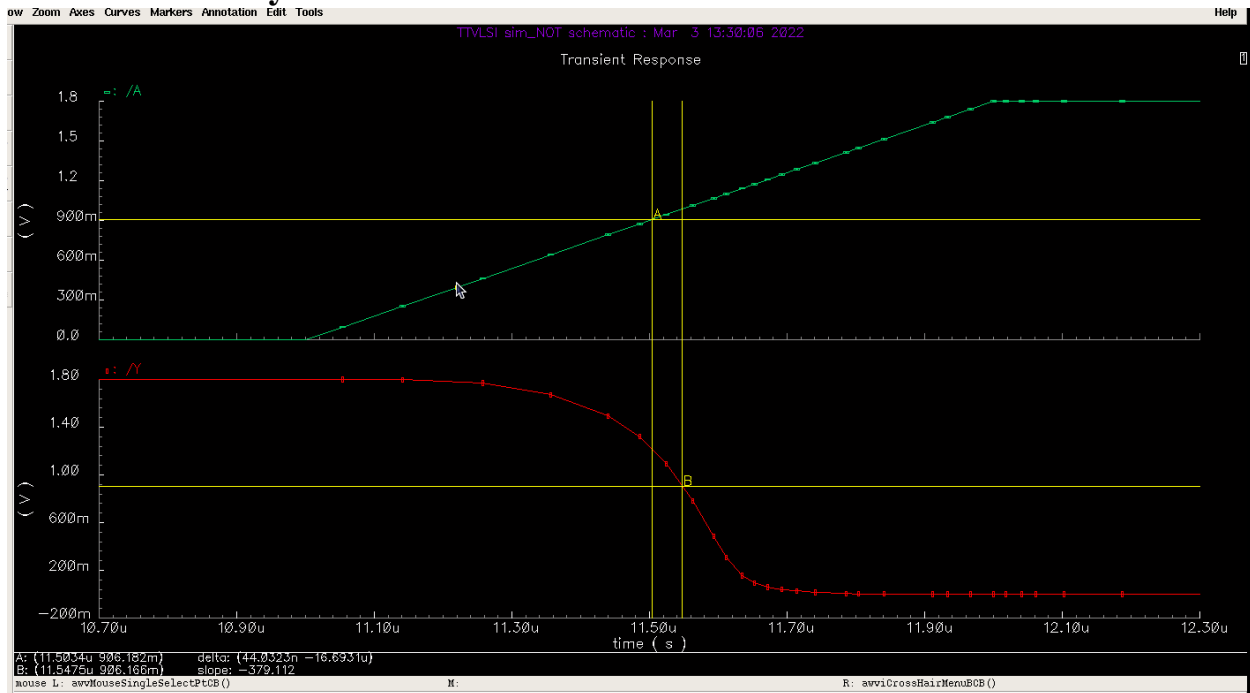


Hình 1.5. Công suất trung bình

Công suất trung bình = 1.71uW.

1.4. Ngõ ra tụ 5pF

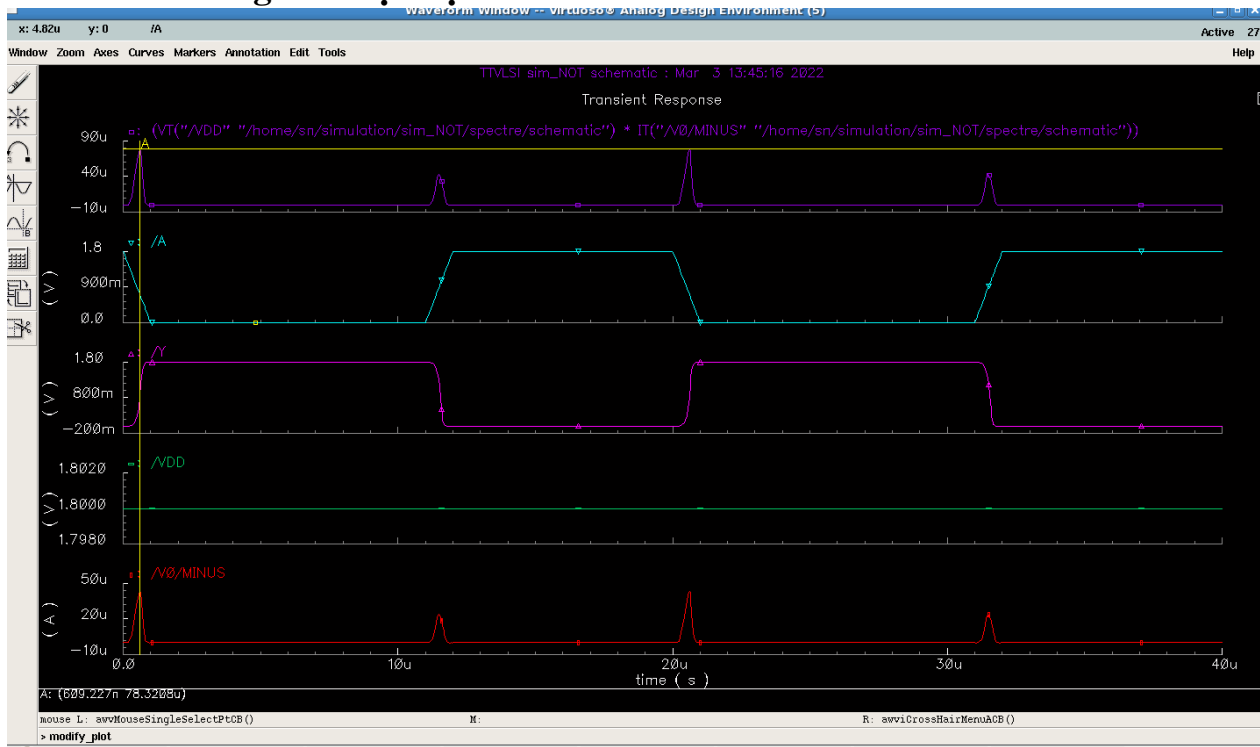
1.4.1. Delay



Hình 1.6. Delay với tụ 5pF

Tiến Hành lấy 50% xung ngõ vào A (màu xanh) và 50% xung ngõ ra Y (màu đỏ) độ delay rơi vào khoảng 0.04us.

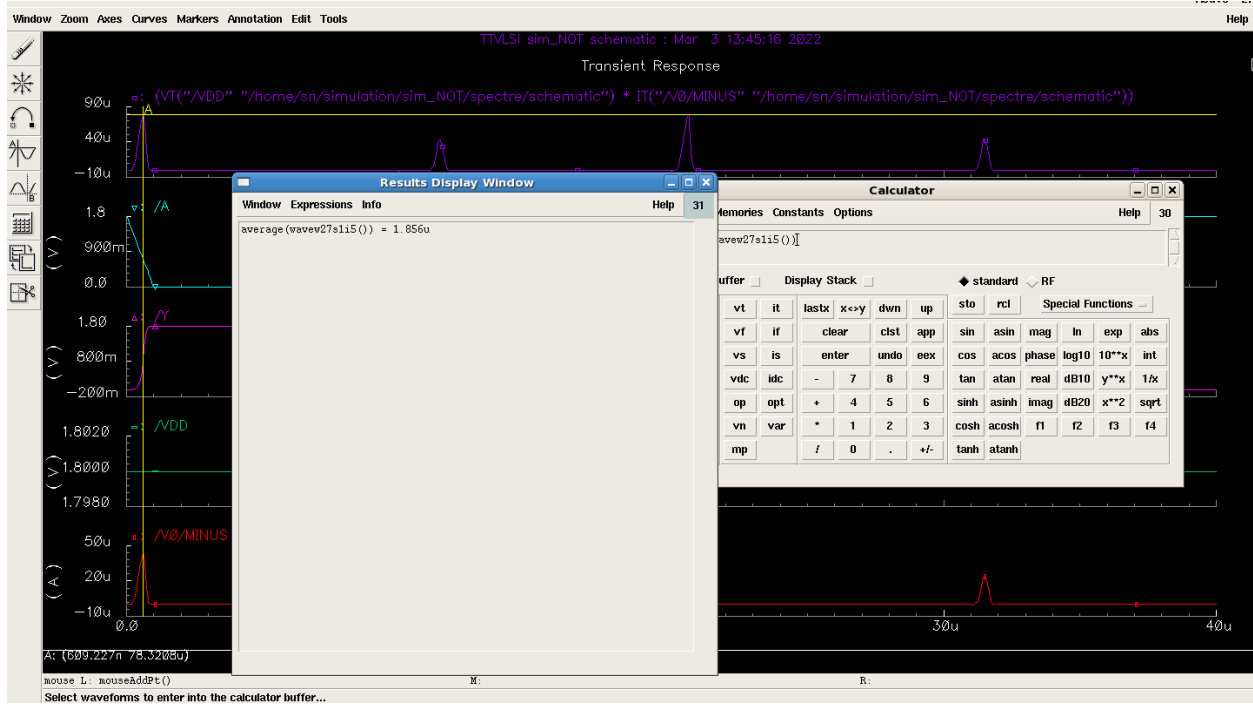
1.4.2. Công suất cực đại



Hình 1.7. Công suất cực đại

Mạch đạt công suất cực đại tại thời điểm ngõ vào chuyển trạng thái từ 1 xuống 0 $P_{max} = 78.32 \mu W$.

1.4.3. Công suất trung bình

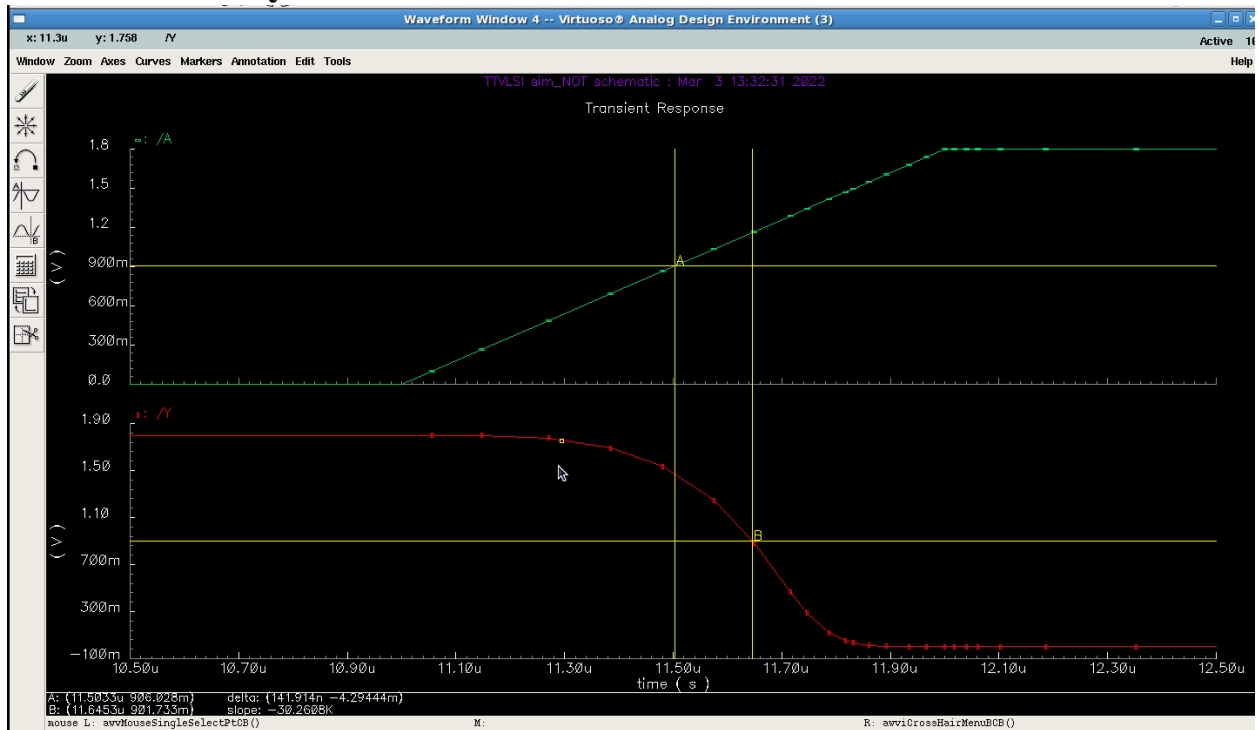


Hình 1.8. Công suất trung bình.

Công suất trung bình = 1.856uW.

1.5. Ngõ ra với tụ 10pF.

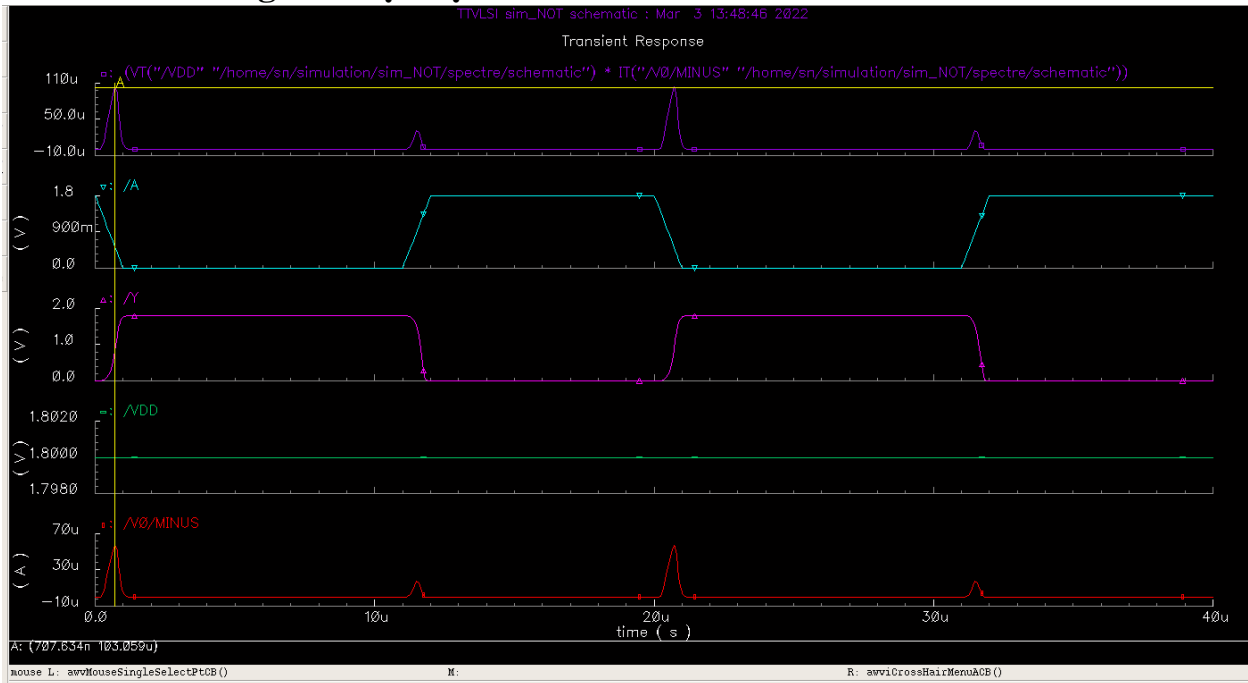
1.5.1. Delay



Hình 1.9. Delay với tụ 10pF

Tiến Hành lấy 50% xung ngõ vào A (màu xanh) và 50% xung ngõ ra Y (màu đỏ) độ delay rơi vào khoảng 0.14us.

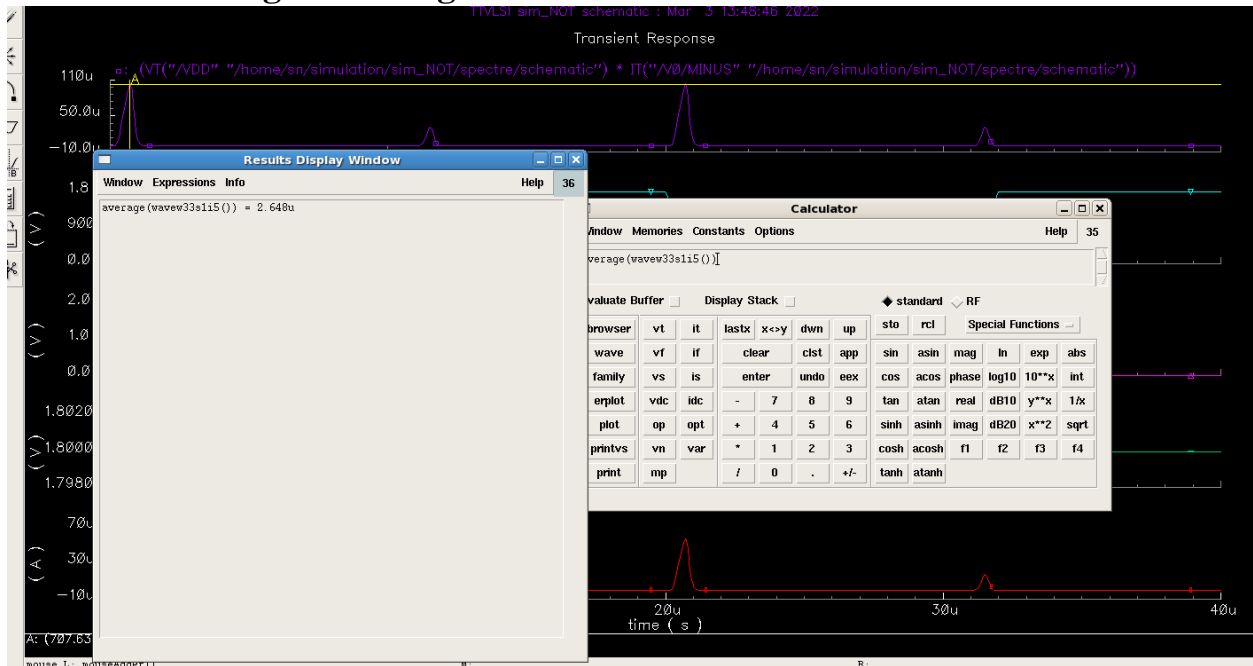
1.5.2. Công suất cực đại



Hình 1.10. Công suất cực đại

Mạch đạt công suất cực đại tại thời điểm ngõ vào chuyển trạng thái từ 1 xuống 0 $P_{max} = 103 \mu W$.

1.5.3. Công suất trung bình



Hình 1.11. Công suất trung bình

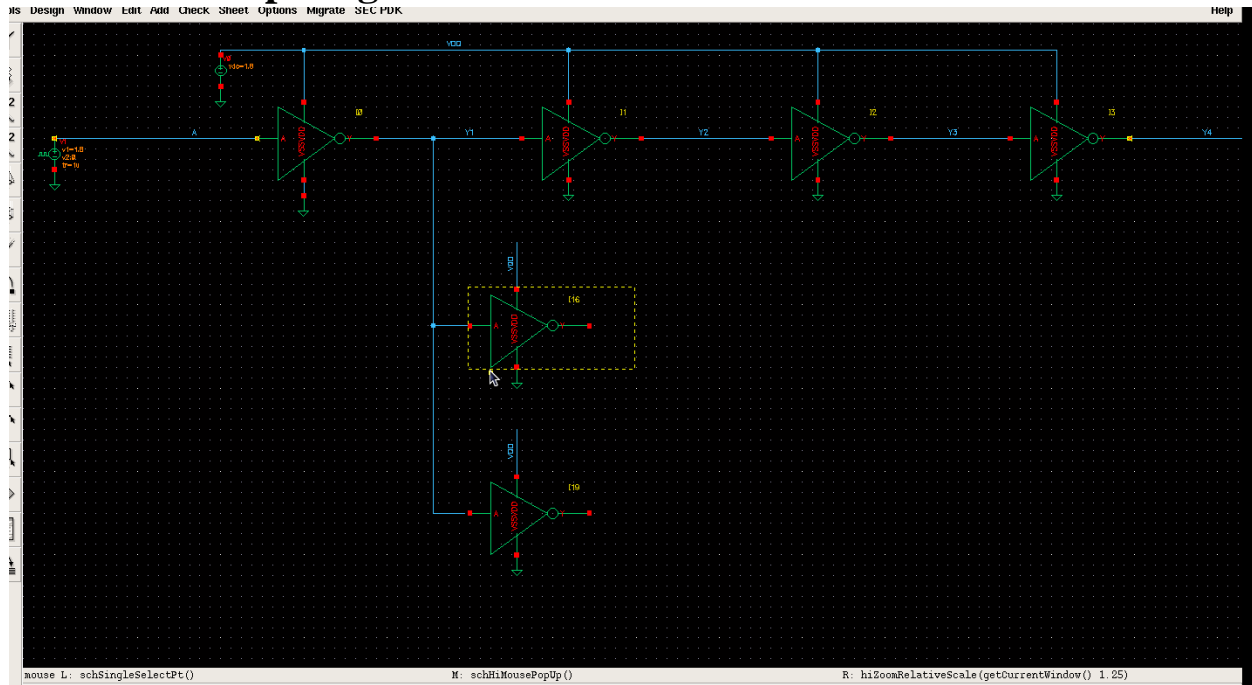
Công suất trung bình : $P_{avg}=2.648\mu W$.

1.6. Kết luận

Từ kết quả mô phỏng có thể kết luận được rằng khi tăng thông số tụ ngõ ra thì độ delay và công suất P_{max} , P_{avg} cũng tăng theo.

Phần 2: Cổng NOT ghép cascode

2.1. Sơ đồ mô phỏng

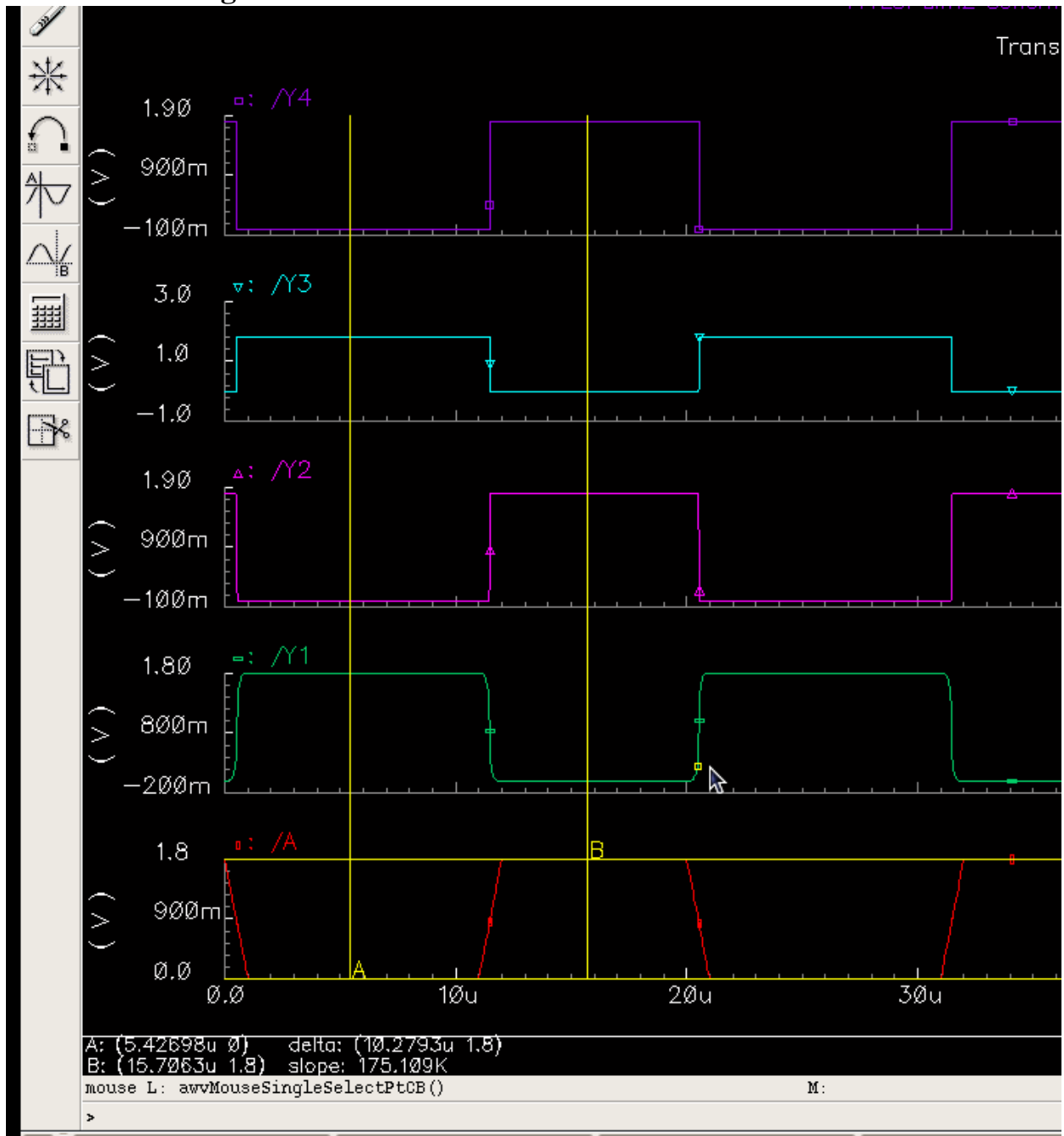


Hình 2.1. Sơ đồ mô phỏng ghép cascode cổng NOT

Tiến hành ghép nối mạch cổng NOT theo kiểu cascode như hình 2.1 gồm ngõ vào A ngõ ra tầng thứ nhất Y1, ngõ ra tầng thứ 2 Y2, tầng 3 có ngõ ra Y3, tầng 4 tương tự như Y2 nên sẽ tiến hành khảo sát Vin và Vout ở A, Y1, Y2, Y3.

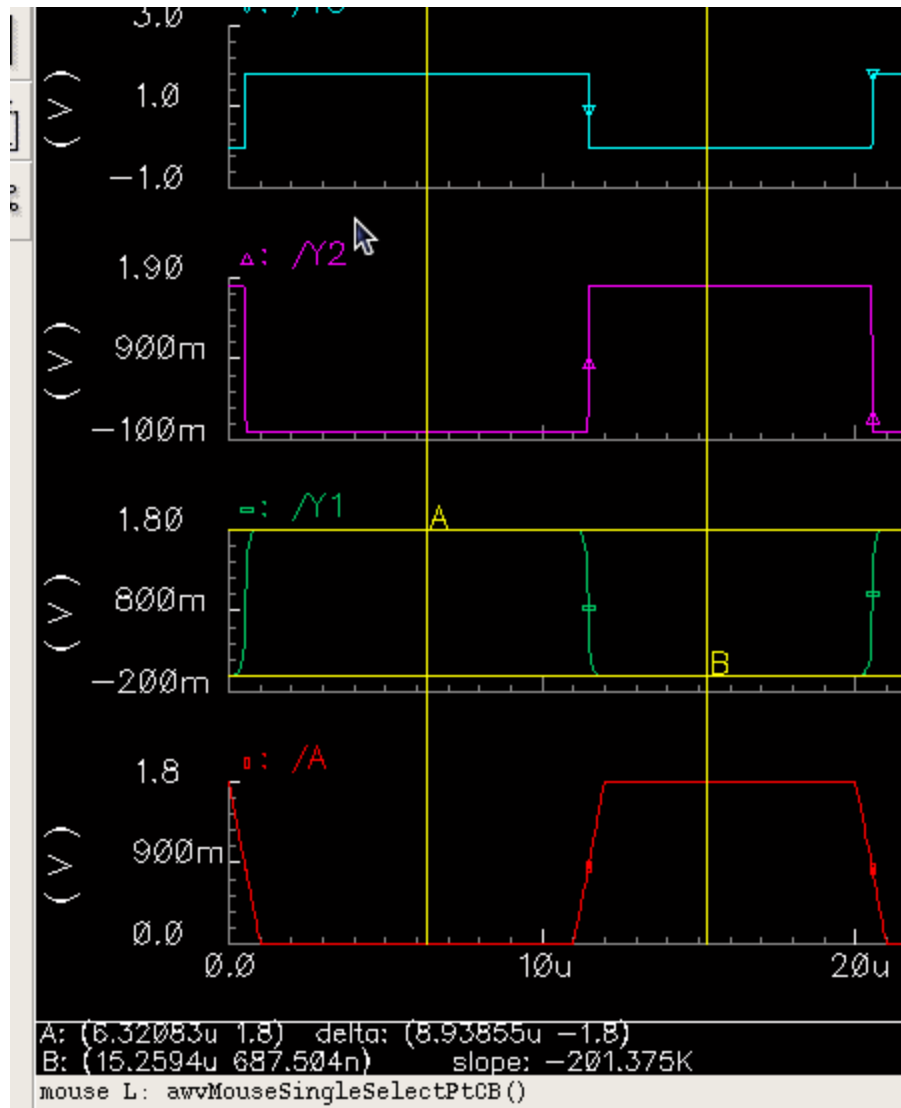
2.2. Khảo sát Vin, Vout.

2.2.1. Tầng thứ nhất



Hình 2.2. Đo Vin tầng thứ 1

Nhận xét: $V_{ih}=1.8V$, $V_{il}=0V$

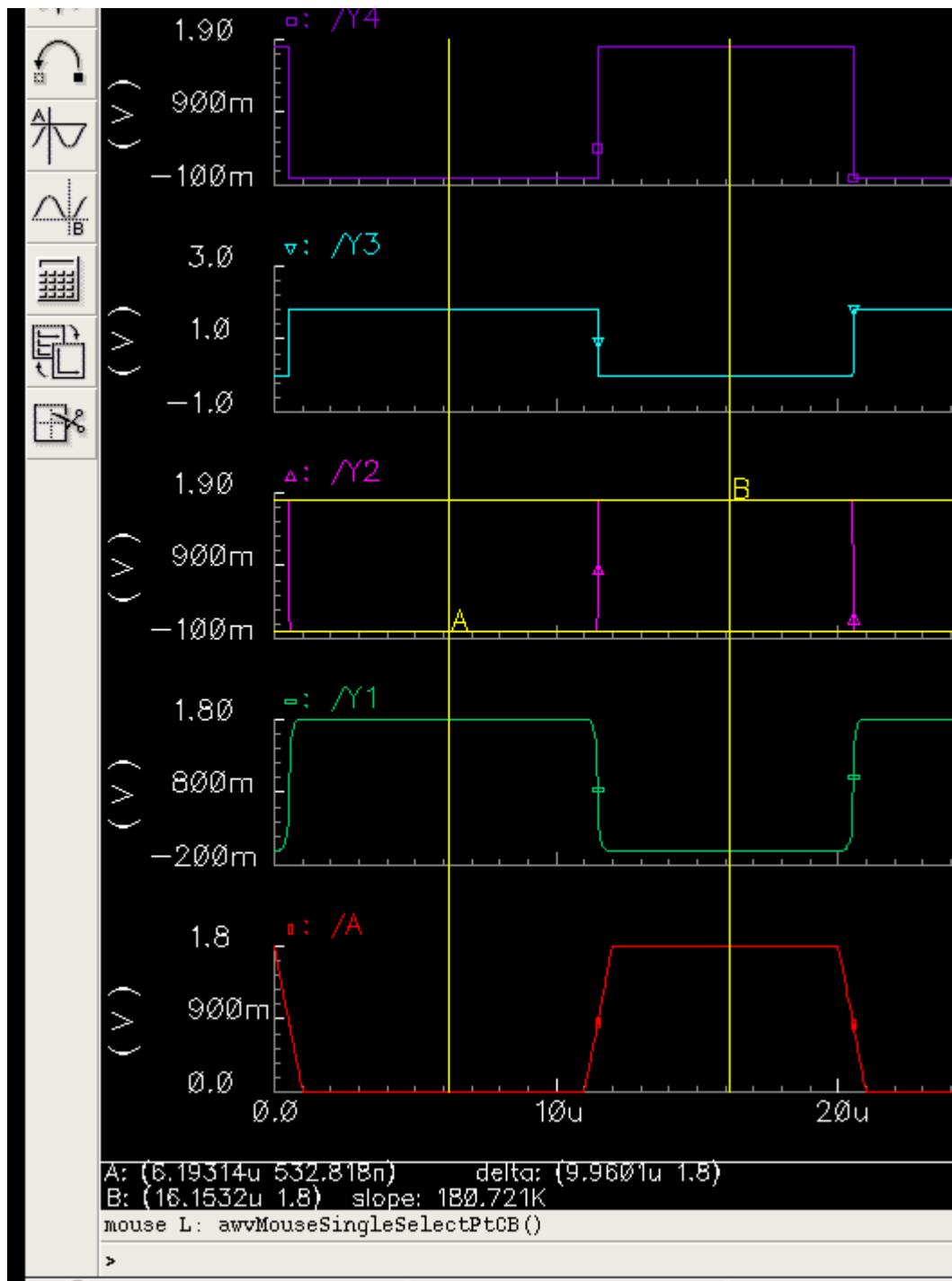


Hình 2.3. Đo Vout tầng thứ 1

Nhận xét: $V_{oh}=1.8V$, $V_{ol}=687.504nV$.

2.2.2. Tầng thứ 2

Vì là ghép cascode nên V_{in} của tầng thứ 2 cũng chính là V_{out} của tầng thứ 1 $\Rightarrow V_{ih}=1.8V$, $V_{il}=687.504nV$.

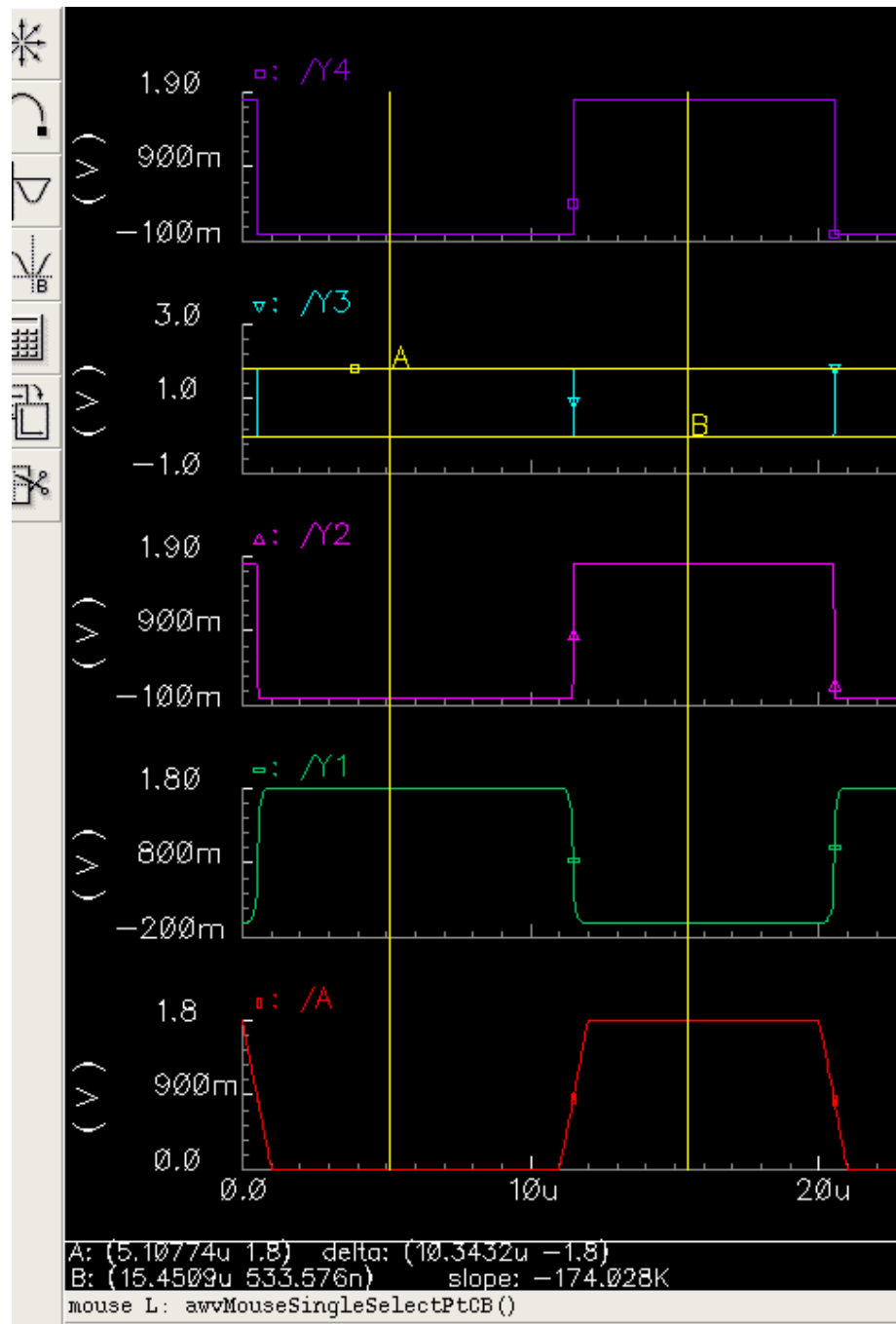


Hình 2.4. Đo Vout tầng thứ 2

Nhận xét: $V_{oh}=1.8V$, $V_{ol}=532.818nV$.

2.2.3. Tầng thứ 3.

Vì là ghép cascode nên V_{in} của tầng thứ 3 cũng chính là V_{out} của tầng thứ 2 $\Rightarrow V_{ih}=1.8V$, $V_{il}=532.818nV$.

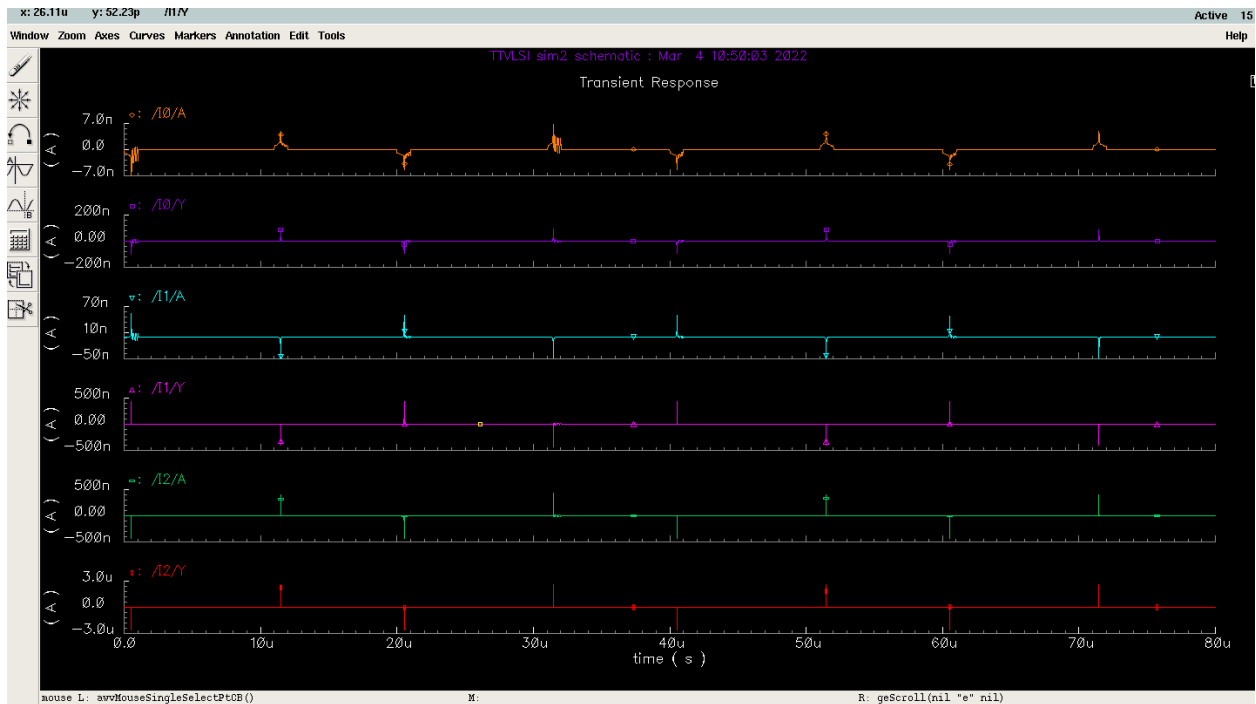


Hình 2.5. Đo V_{out} tầng thứ 3

Nhận xét: $V_{ol}=533.576V$, $V_{oh}=1.8V$.

2.3. Khảo sát I_{in} , I_{out} .

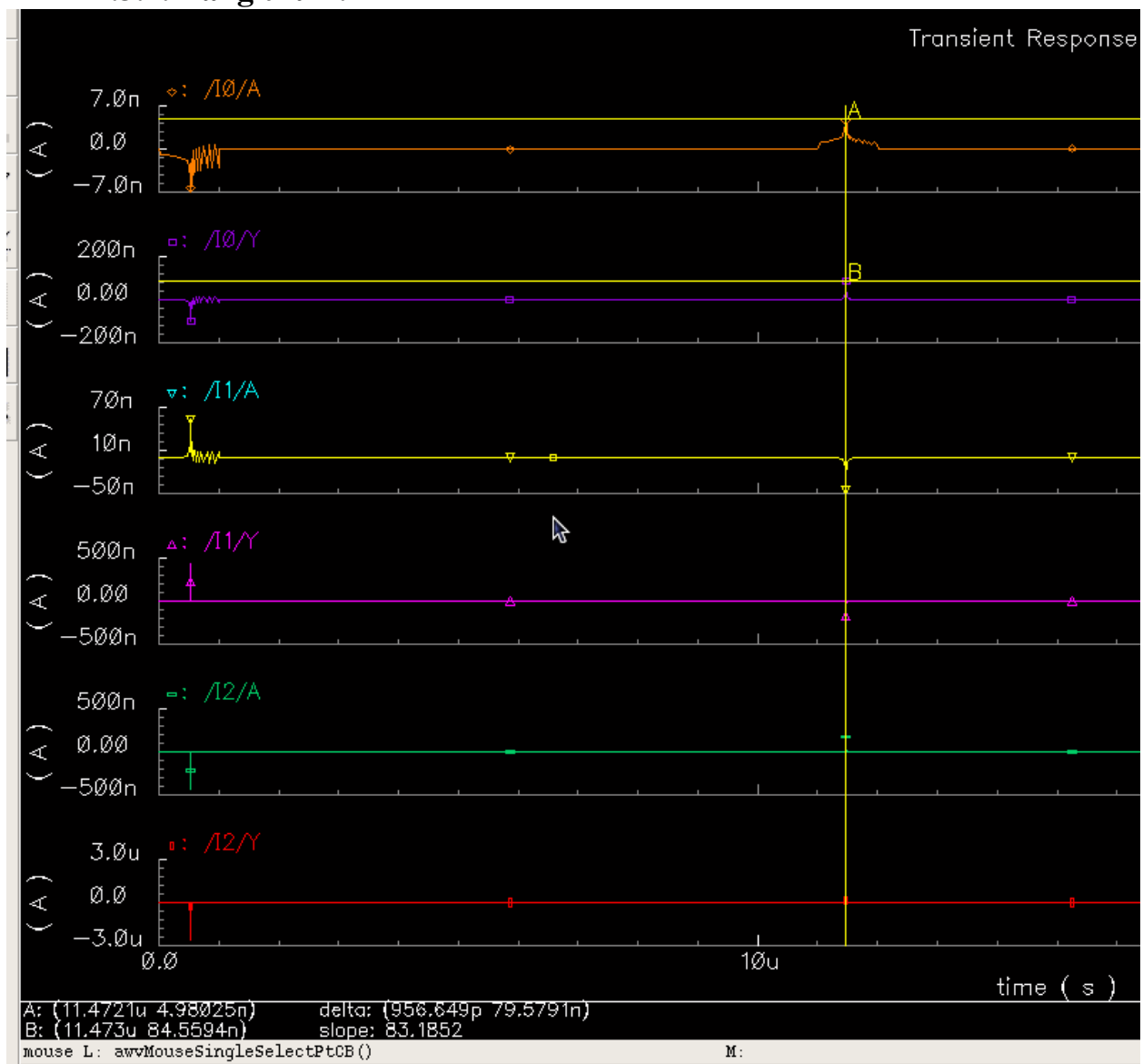
Tiến hành đo lần lượt dòng I_{in} và I_{out} của các tầng.



Hình 2.6. Khảo sát I_{in} , I_{out} .

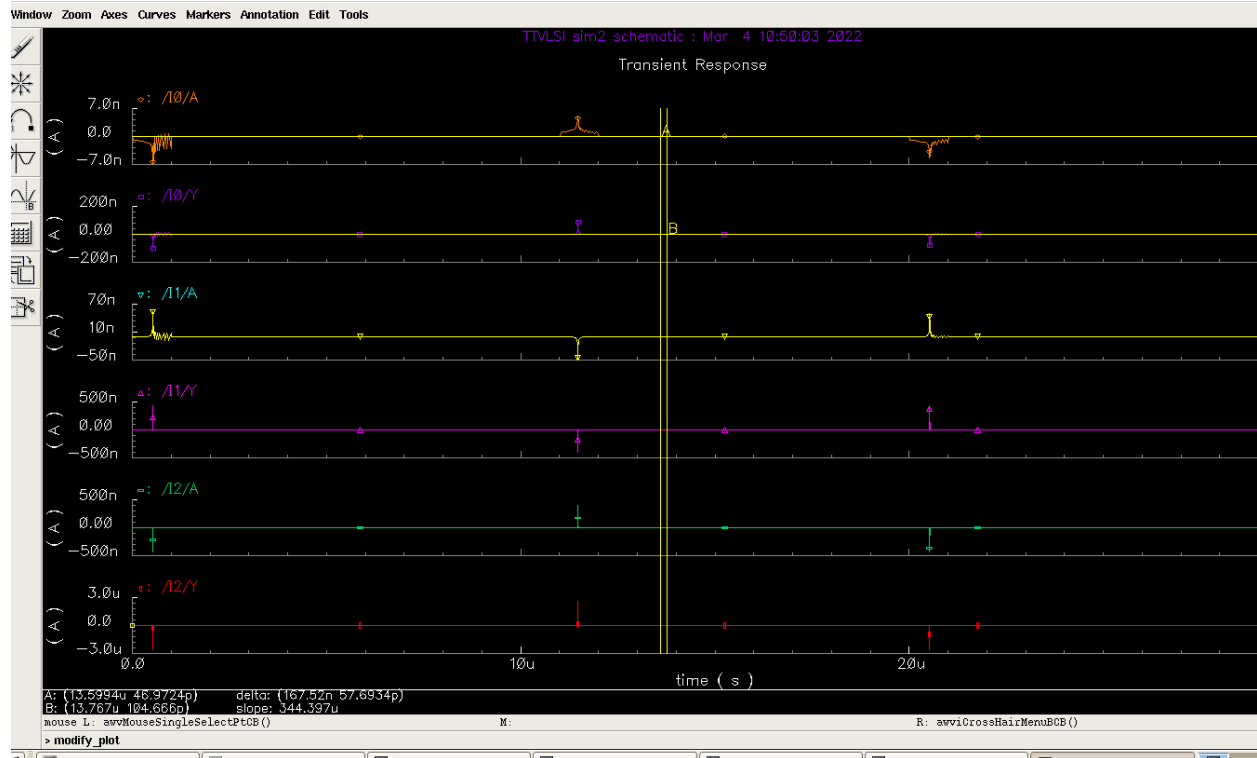
Lần lượt khảo sát từng cặp I_{in} , I_{out} của 3 tầng tại thời điểm chuyển mạch.

2.3.1. Tầng thứ 1.



Hình 2.7. Khảo sát I_{ih} , I_{oh} tầng 1

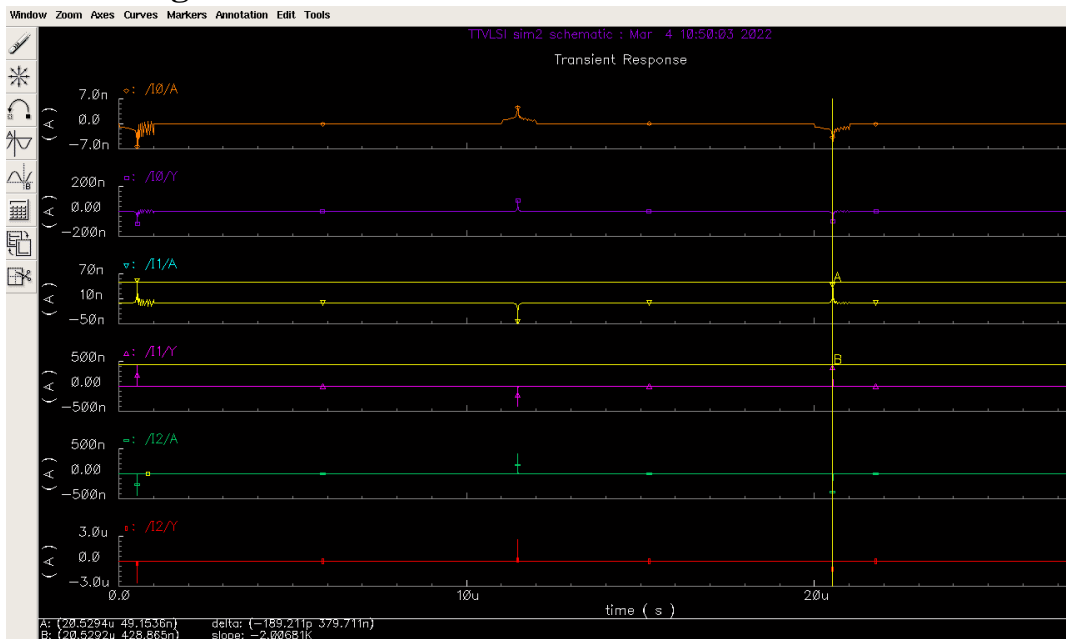
Nhận xét: $I_{ih}=4.98\text{nA}$, $I_{oh}=84.559\text{nA} \Rightarrow \text{Fanout}= 16.97$.



Hình 2.8. Khảo sát Iil, Iol tầng 1

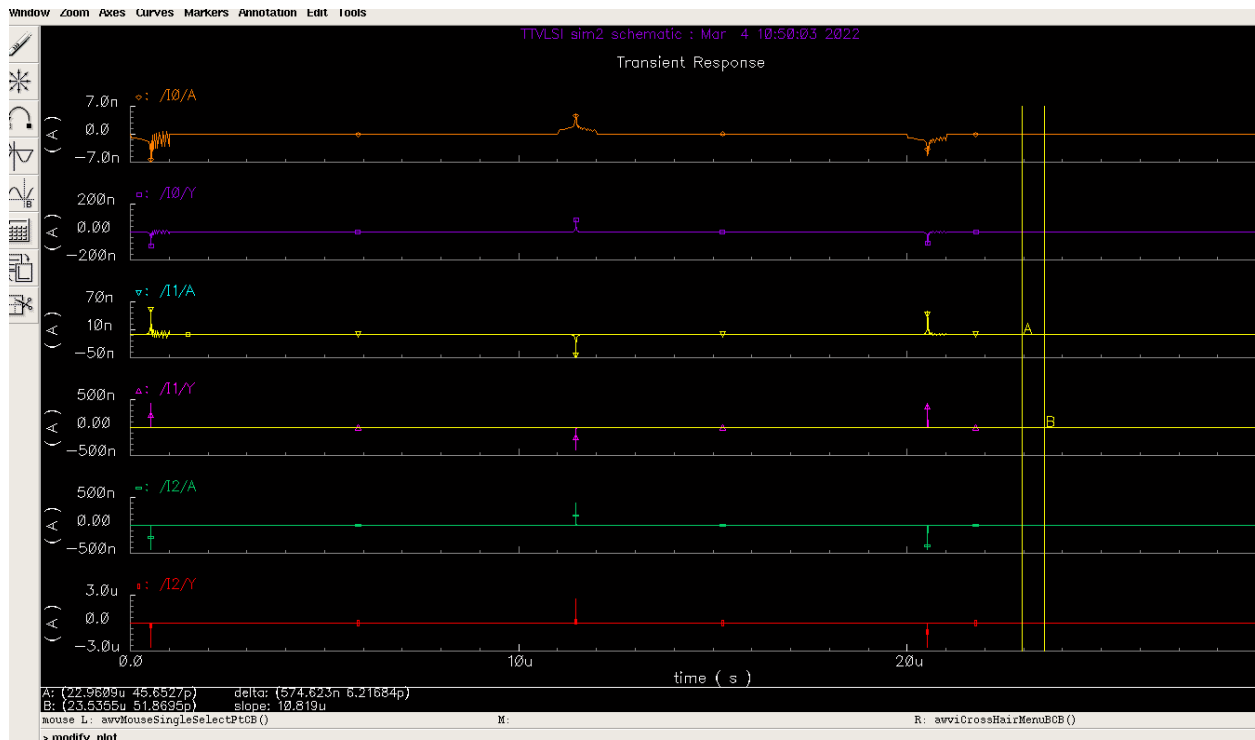
Nhận xét: $I_{il} = 46.9\text{pA}$, $I_{ol} = 104.6\text{pA} \Rightarrow \text{fanout} = 2.23$

2.3.2. Tầng thứ 2



Hình 2.9: khảo sát Iih, Ioh tầng 2

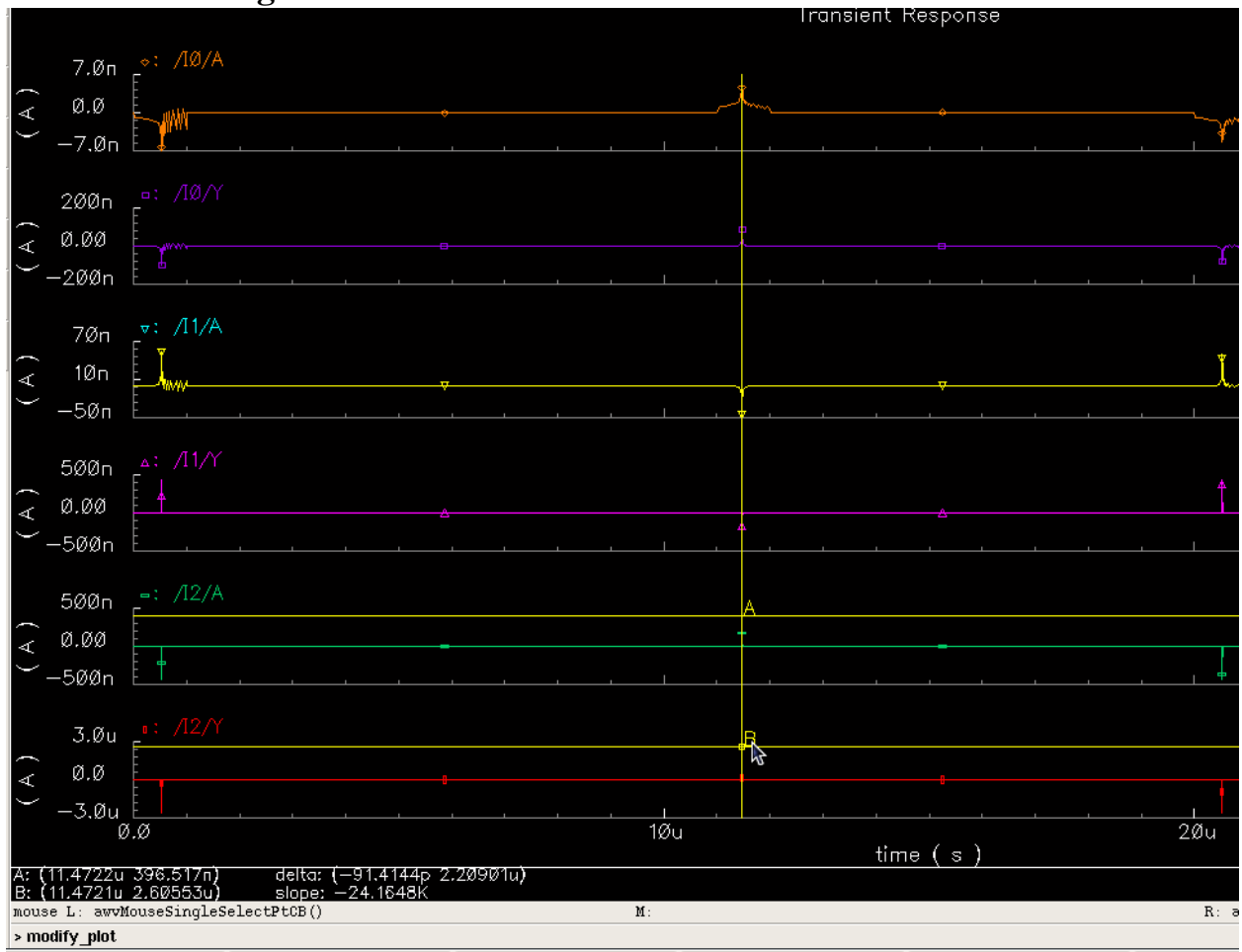
Nhận xét: $I_{lh}=49.15\text{nA}$, $I_{oh}=428.86\text{nA} \Rightarrow \text{fanout}=8.72$



Hình 2.10. Khảo sát I_{lh} , I_{ol} tầng 2

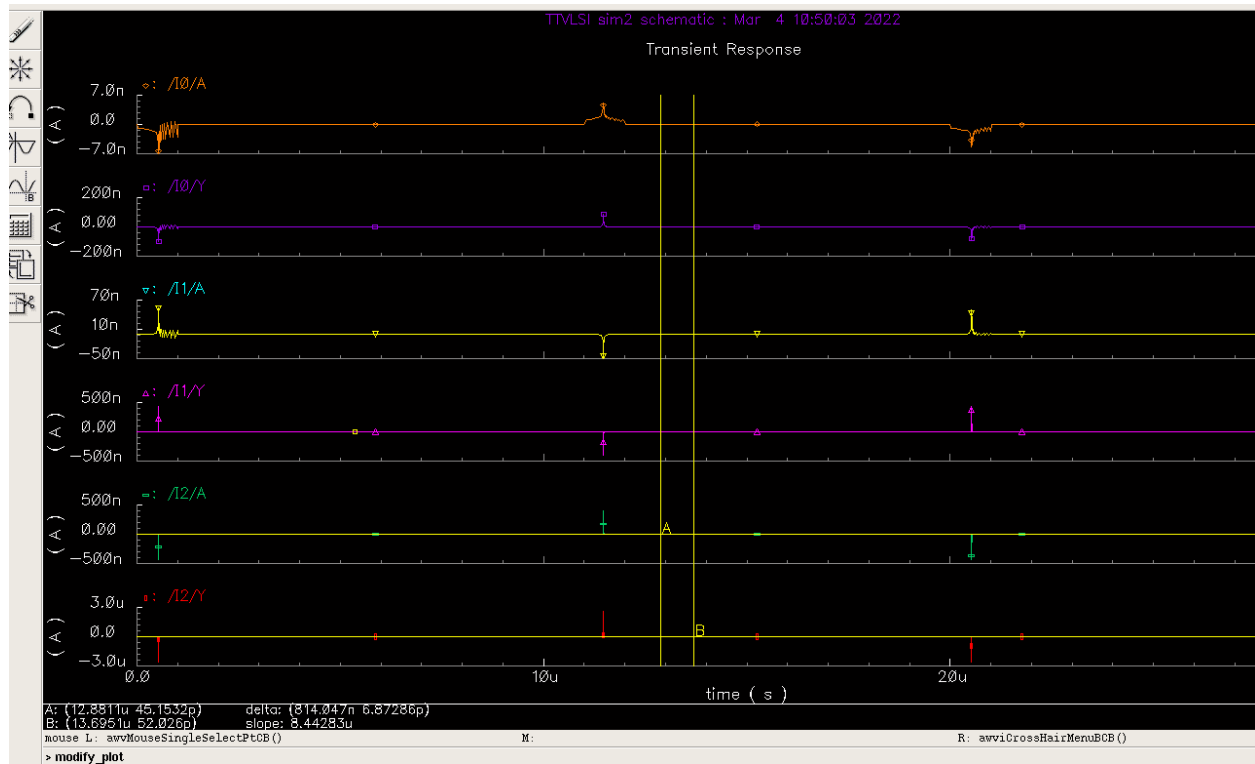
Nhận xét: $I_{lh}=45.65\text{pA}$, $I_{ol}=51.86\text{pA} \Rightarrow \text{fanout}=1.13$

2.3.3. Tầng thứ 3



Hình 2.11. Khảo sát I_{ih} , I_{oh} tầng 3

Nhận xét: $I_{ih}=396.517\text{nA}$, $I_{oh}=2.6\mu\text{A} \Rightarrow \text{fanout}= 6.55$



Hình 2.12. Khảo sát I_{il} , I_{ol} tầng 2

Nhận xét: $I_{il}=45.15\text{nA}$, $I_{oh}=52\text{nA} \Rightarrow \text{fanout}= 1.15$.

Phần 3: Khảo sát đặc tuyến I-V

3.1. Cơ sở lý thuyết

3.1.1. Tính chất đặc tuyến I-V

Bất cứ Cmos nào cũng sẽ hoạt động độc lập dưới 3 vùng như sau:

1. Vùng cutoff ($V_{gs} < V_{th}$) hay còn gọi là vùng dưới ngưỡng.
2. Vùng tuyến tính ($V_{gs} > V_{th}$ và $V_{ds} < (V_{gs} - V_{th})$).
3. Vùng bão hòa ($V_{gs} > V_{th}$ và $V_{ds} > (V_{gs} - V_{th})$).

3.1.2. Vùng cutoff

Khi $V_{gs} < V_{th}$ Cmos nằm ở vùng cutoff. Nghĩa là sẽ không có dòng chạy qua cực ds (ds hở). Nhưng vẫn có 1 dòng điện rất nhỏ (dòng rò) chạy từ cực drain tới cực source.

3.1.3. Vùng tuyến tính

Khi $V_{gs} > V_{th}$ và $V_{ds} < (V_{gs} - V_{th})$ Cmos nằm trong vùng Tuyến tính. Dòng chạy qua cực ds được tính như sau:

$$I_{Dlin} = \mu_n C_{ox} \frac{W}{L} \left((V_{GS} - V_{th})^2 V_{DS} - \frac{1}{2} V_{DS}^2 \right)$$

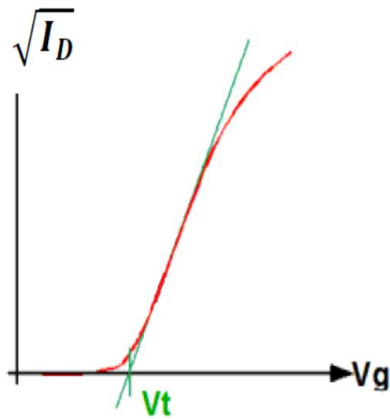
3.1.4. Vùng bão hòa

Khi $V_{gs} > V_{th}$ và $V_{ds} > (V_{gs} - V_{th})$ Cmos hoạt động ở chế độ bão hòa. Dòng chạy qua cực ds được tính như sau:

$$I_{Dsat} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2$$

3.1.5. Điện áp ngưỡng

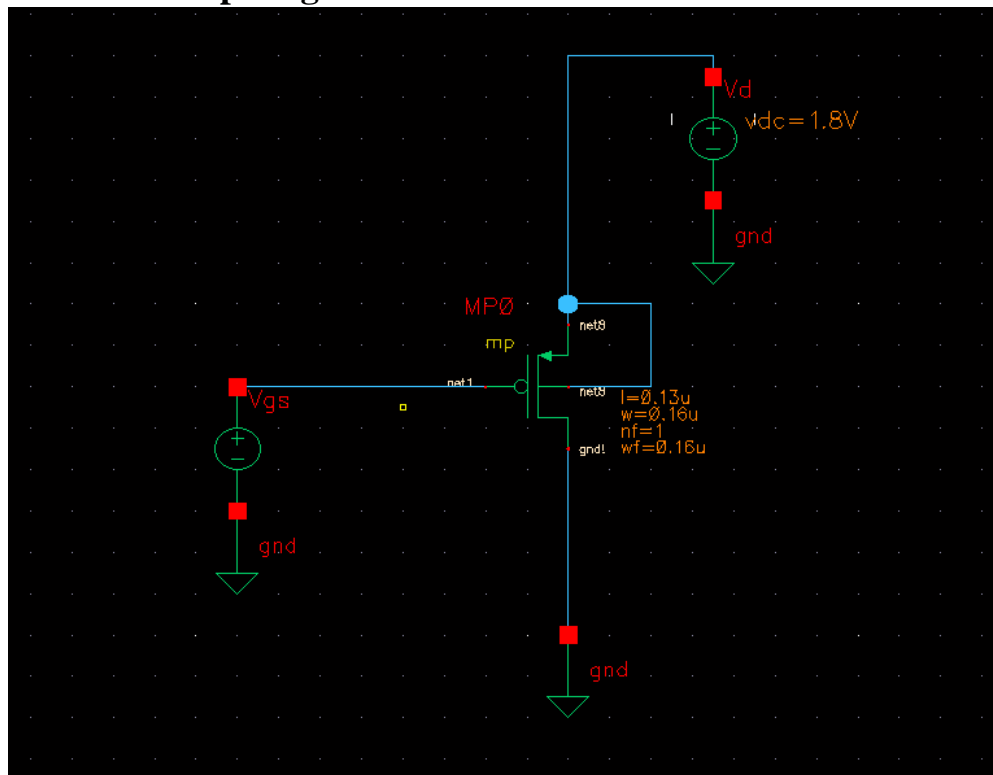
Điện áp ngưỡng được xác định bởi đặc tuyến giữa dòng I_d và V_{gs} như hình 3.1.



Hình 3.1. điện áp ngưỡng

3.2. Khảo sát đặc tuyến I-V Pmos.

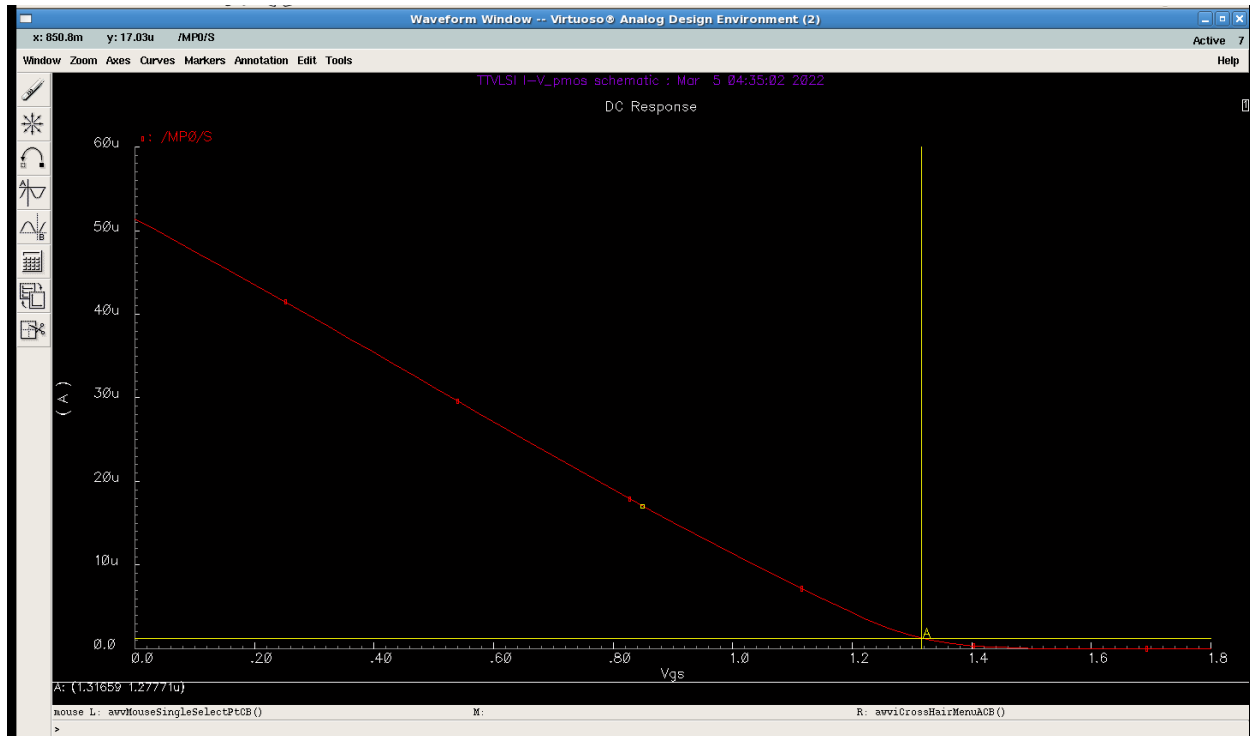
3.2.1 Sơ đồ mô phỏng.



Hình 3.2. Sơ đồ mô phỏng I-V pmos

Sơ đồ mô phỏng đặc tuyến I-V pmos được kết nối như hình 3.2 với nguồn cấp vào cực drain là 1.8V cực Source nối GND V_{ds} có thể thay đổi được.

3.2.3. Đặc tuyến I_{ds} vs V_{gs} .

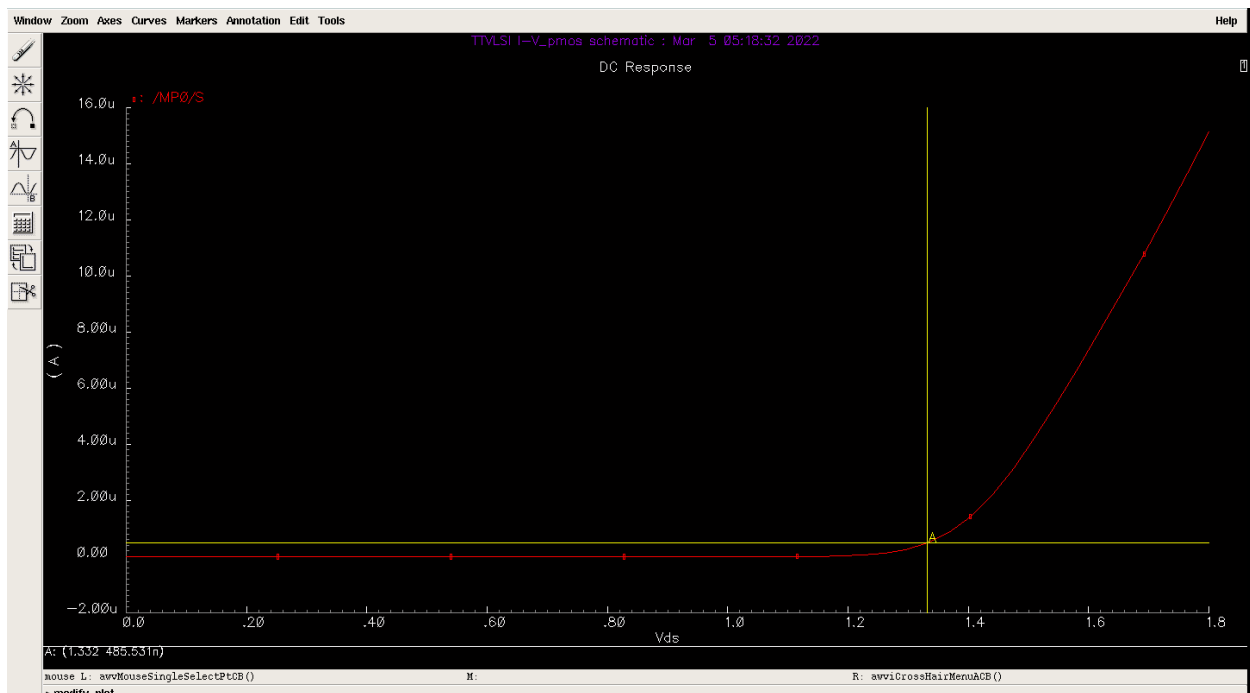


Hình 3.3. Đặc tuyến I_{ds} và V_{gs}

Từ sơ đồ đặc tuyến I-V của Pmos có thể suy ra được với mức điện áp $V_{gs} < 1.3$ V thì Pmos dẫn và $V_{gs} > 1.3$ V thì Pmos ngắt.

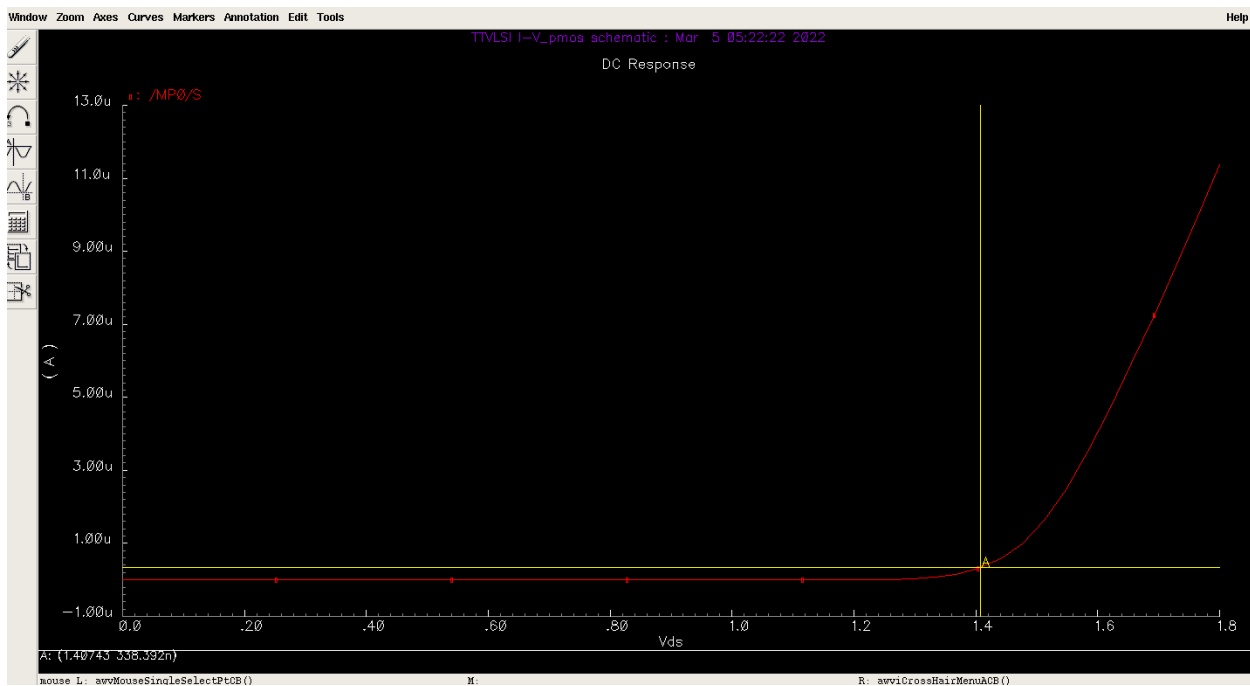
3.2.4. Đặc tuyến I_{ds} , V_{ds}

Tiến hành cho V_{ds} thay đổi từ 0-1.8V và cài đặt $V_{gs}=0.9$ V ta có được đặc tuyến I_{ds} , V_{ds} .



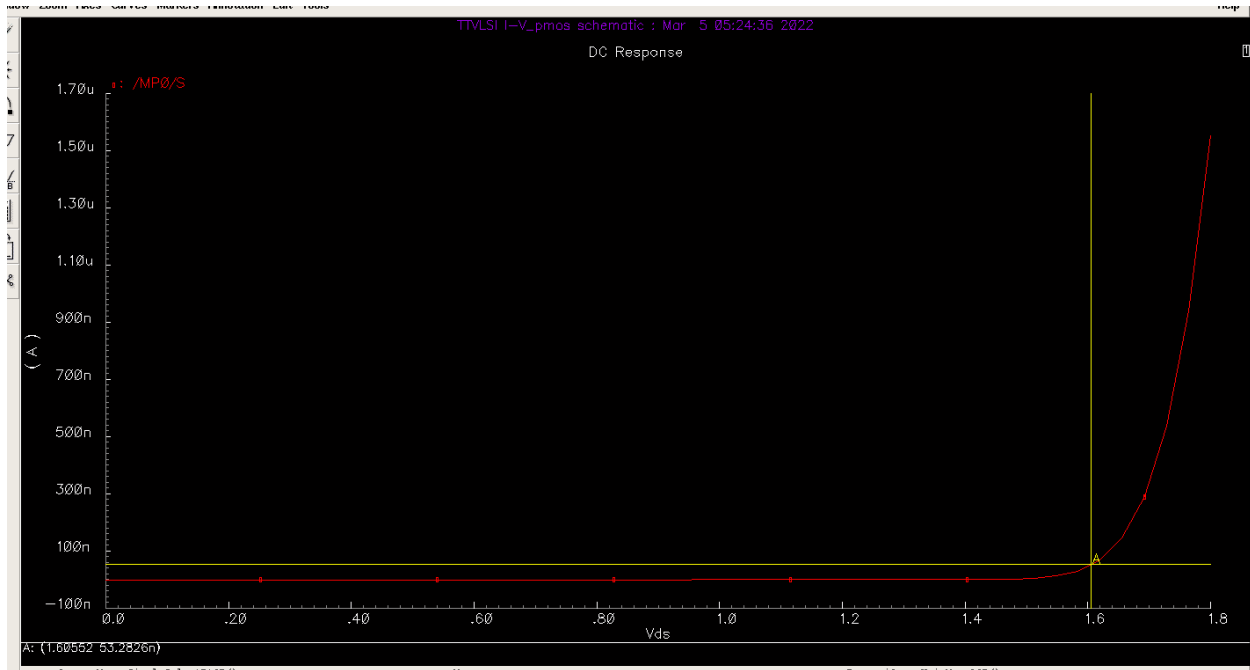
Hình 3.4. Đặc tuyến I_{ds} , V_{ds} khi $V_{gs}=0.9V$

Tiến hành thay đổi $V_{gs}=1V$



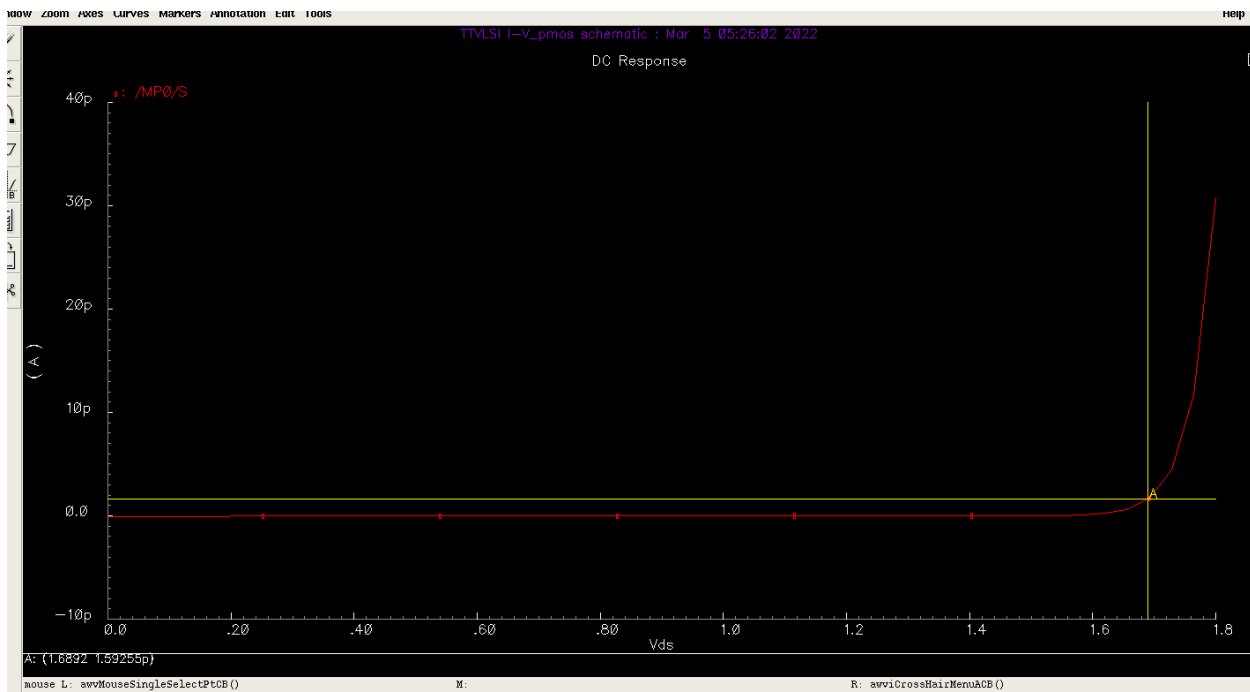
Hình 3.5 Đặc tuyến I_{ds} , V_{ds} khi $V_{gs}=1V$

Tiến hành thay đổi $V_{gs}=1.3V$



Hình 3.6 Đặc tuyến I_{ds} , V_{ds} khi $V_{gs}=1.3V$

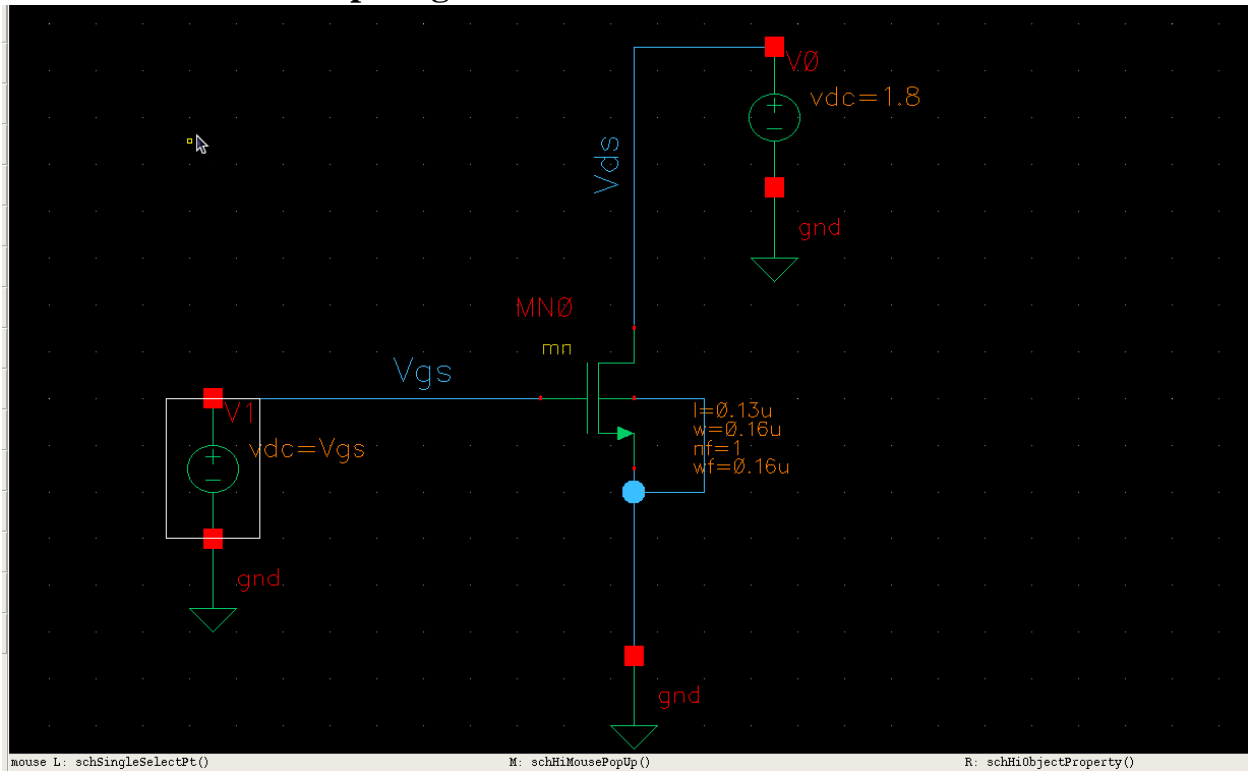
Tiến hành thay đổi $V_{gs}=1.8V$



Hình 3.6 Đặc tuyến I_{ds} , V_{ds} khi $V_{gs}=1.8V$

3.3. Khảo sát I-V Nmos

3.3.1. Sơ đồ mô phỏng

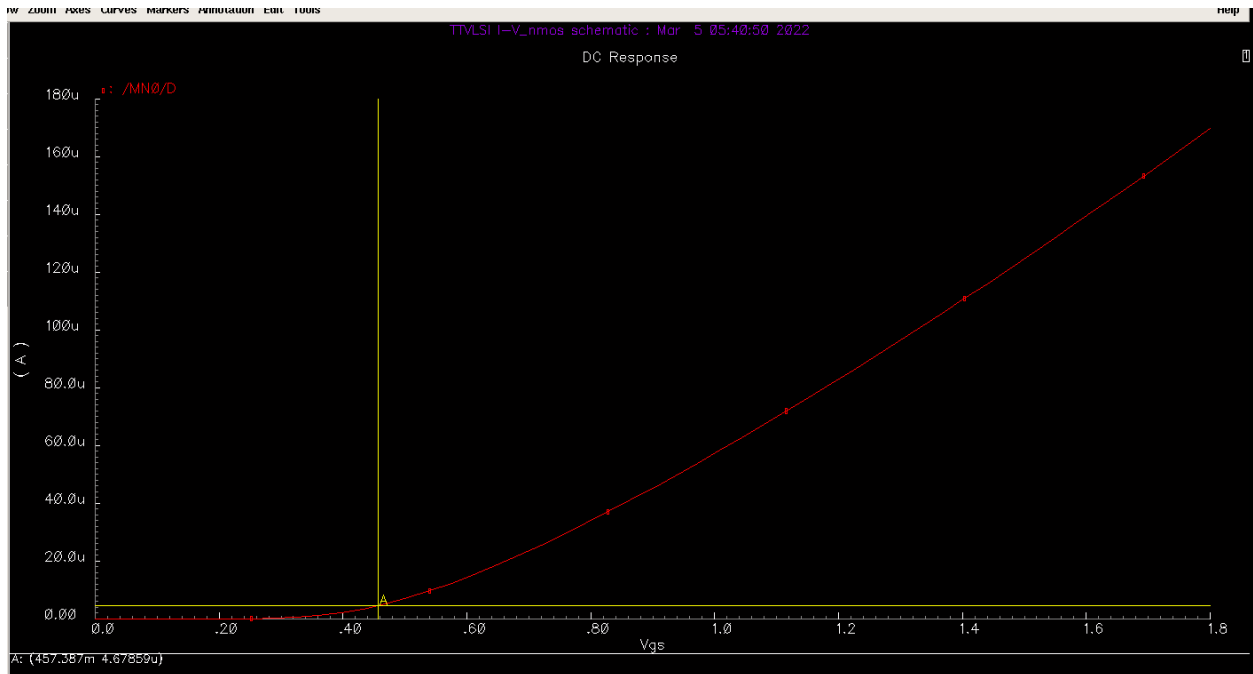


Hình 3.7. Sơ đồ mô phỏng I-V nmos

Sơ đồ mô phỏng đặc tuyến I-V nmos được kết nối như hình 3.7 với nguồn cấp vào cực drain là 1.8V cực Source nối GND V_{ds} có thể thay đổi được.

3.3.2. Đặc tuyến I_{ds} , V_{gs}

Cấp nguồn $v_{ds} = 1.8V$, cho V_{gs} thay đổi từ 0V đến 1.8V.

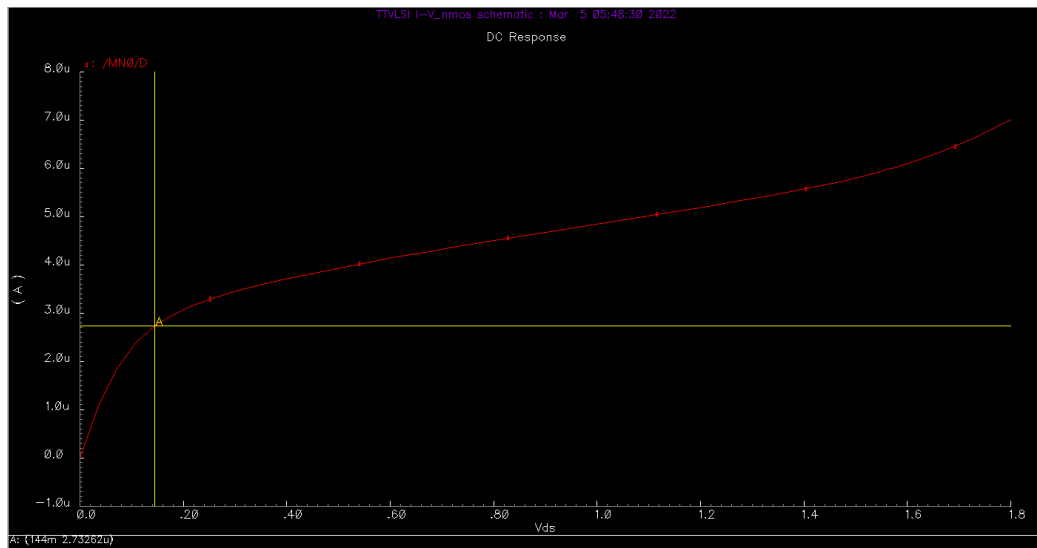


Hình 3.8. Đặc tuyến I_{ds} , V_{gs} Nmos

Từ đó suy ra mức điện áp ngưỡng $V_{th} = 457.387V$.

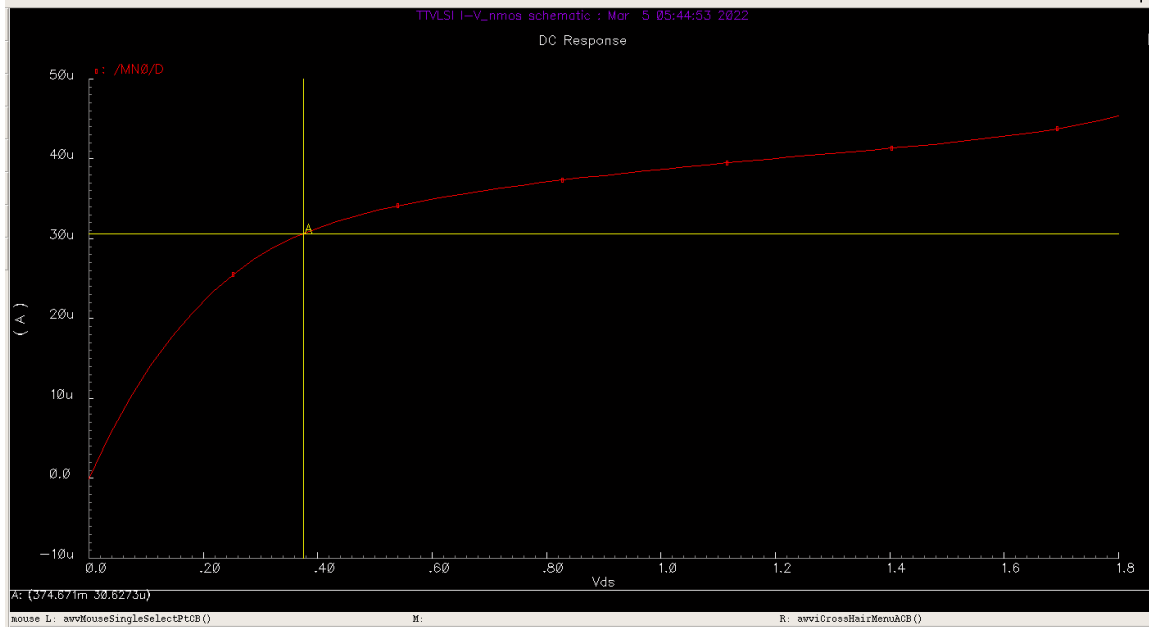
3.3.3. Đặc tuyến I_{ds} , V_{ds}

Tiến hành cho V_{ds} thay đổi từ 0-1.8V và cài đặt $V_{gs} = 0.5V$ ta có được đặc tuyến I_{ds} , V_{ds} .



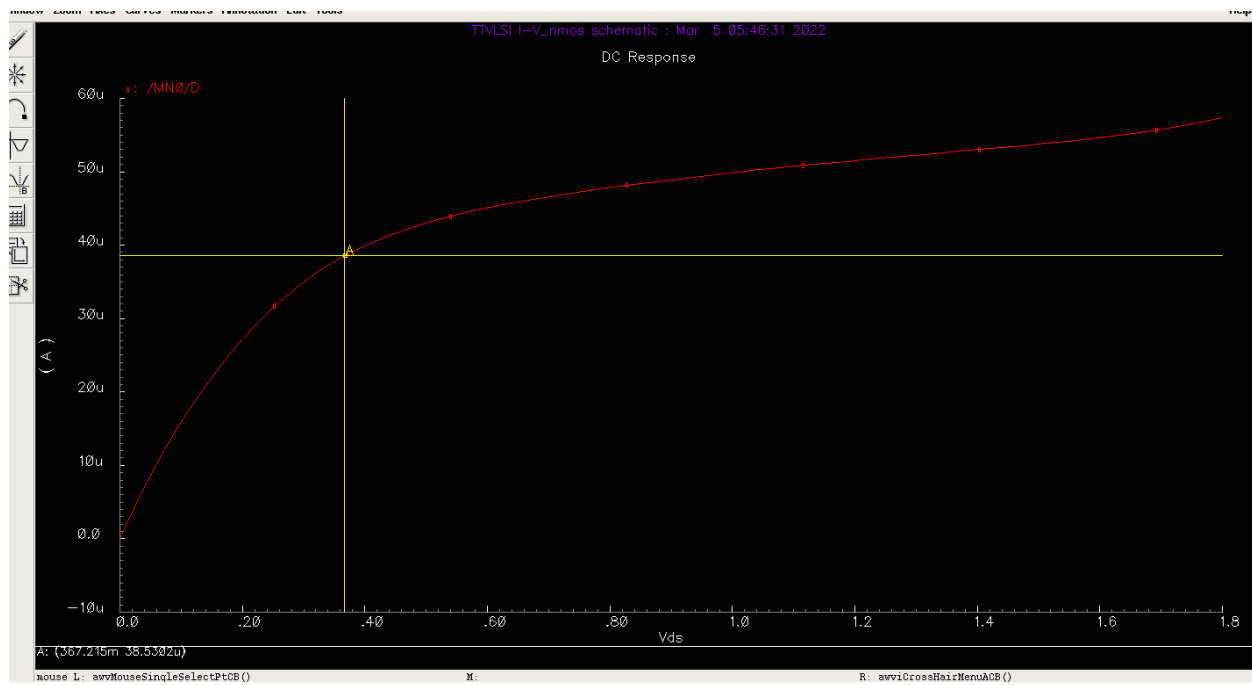
Hình 3.9. Đặc tuyến I_{ds} , V_{ds} khi $V_{gs} = 0.5V$

Tiến hành thay đổi $V_{gs}=0.9$



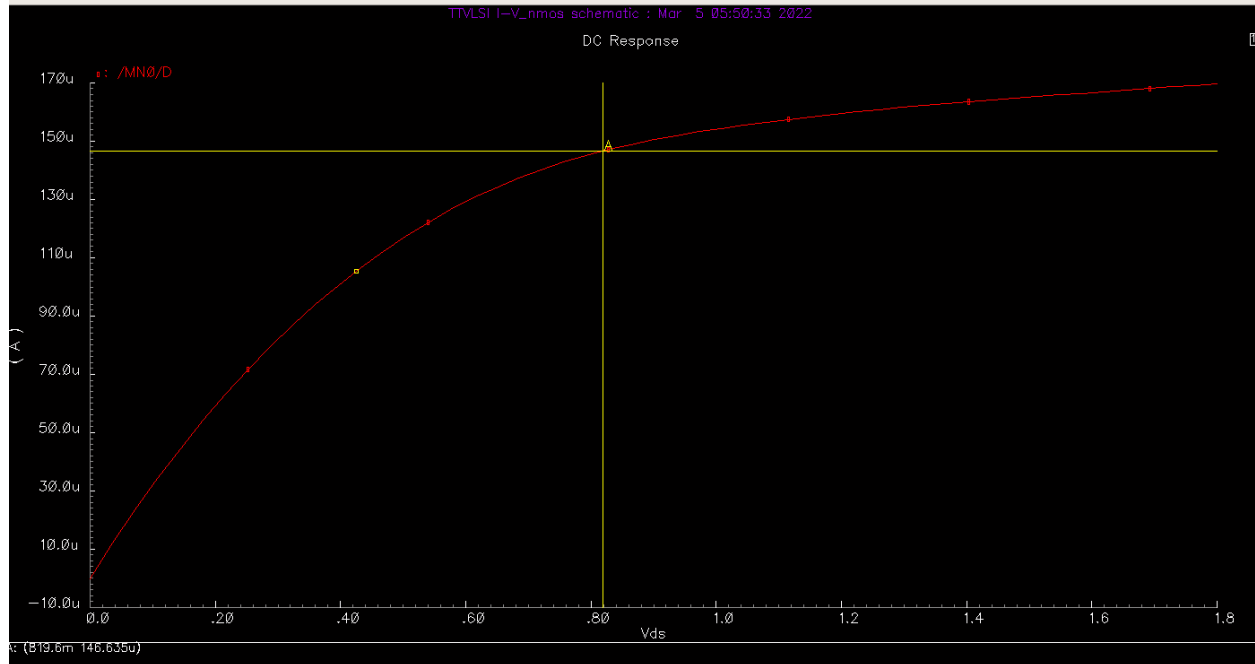
Hình 3.10. Đặc tuyến I_{ds} , V_{ds} khi $V_{gs}=0.9V$

Tiến hành thay đổi $V_{gs}=1V$.



Hình 3.11. Đặc tuyến I_{ds} , V_{ds} khi $V_{gs}=1V$

Tiến hành thay đổi $V_{gs}=1.8V$



Hình 3.12. Đặc tuyến I_{ds} , V_{ds} khi $V_{gs}=1.8V$