

**BỘ GIÁO DỤC VÀ ĐÀO TẠO**  
**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT**  
**THÀNH PHỐ HỒ CHÍ MINH**



**BÁO CÁO TT VLSI-CT7-012**

**GVHD: Lê Minh Thành.**

**Sinh viên thực hiện: Nguyễn Duy Huân**

**MSSV: 19119182**

## Mục lục

Phần 1: DFF/Latch sử dụng Cmos.....	3
1.1.SR Latch sử dụng Cmos .....	3
1.1.1. Cơ sở lý thuyết.....	3
1.1.2. Sơ đồ nguyên lý .....	3
1.1.3. Sơ đồ mô phỏng .....	4
1.1.4.Mô phỏng mức logic.....	4
1.1.5.Mô phỏng delay .....	5
1.1.6. Mô phỏng công suất.....	5
1.2. DFF sử dụng Cmos .....	7
1.2.1.Cơ sở lý thuyết.....	7
1.2.2. Sơ đồ nguyên lý .....	7
1.2.3. Sơ đồ mô phỏng .....	8
1.2.4.Mô phỏng dạng sóng.....	9
1.2.5.Mô phỏng công suất.....	9
Phần 2: DFF/Latch sử dụng cổng logic .....	11
2.1. SR latch sử dụng cổng NAND.....	11
2.1.1. Sơ đồ nguyên lí .....	11
2.1.2. Sơ đồ mô phỏng .....	12
2.1.3. Mô phỏng dạng sóng.....	12
2.1.4.đánh giá công suất.....	12
2.2. SR latch sử dụng cổng NOR.....	14
2.2.1. Sơ đồ nguyên lý .....	14
2.2.2. Sơ đồ mô phỏng .....	15
2.2.3. Mô phỏng dạng sóng.....	15
2.2.4. Đánh giá công suất.....	16
2.3. DFF sử dụng cổng NAND .....	18
2.3.1. Sơ đồ nguyên lý .....	18

2.3.2.Sơ đồ mô phỏng .....	19
2.3.3. Mô phỏng dạng sóng.....	19
2.3.4.Đánh giá delay .....	20
2.3.5.Đánh giá công suất.....	20
Phần 3: DFF tạo nên từ các cổng NOT.....	22
3.1.Master slave D type flip flop .....	22
3.1.1. Sơ đồ nguyên lý .....	22
3.1.2. Sơ đồ mô phỏng .....	22
3.1.3. Mô phỏng dạng sóng.....	23
3.1.4. Khảo sát công suất. ....	23
3.2. Alternate Circuit for Master Slave DFF .....	24
3.2.1. Sơ đồ nguyên lý .....	24
3.2.2. Sơ đồ mô phỏng .....	25
3.2.3. Mô phỏng dạng sóng.....	25
3.2.4.Khảo sát công suất .....	26
3.3. DFF with Assert low Clear and Set Control inputs .....	26
3.3.1.Sơ đồ nguyên lý .....	26
3.3.2.Sơ đồ mô phỏng .....	27
3.3.3. Mô phỏng dạng sóng.....	27
3.3.4.Đánh giá công suất.....	27

## Phần 1: DFF/Latch sử dụng Cmos

### 1.1.SR Latch sử dụng Cmos

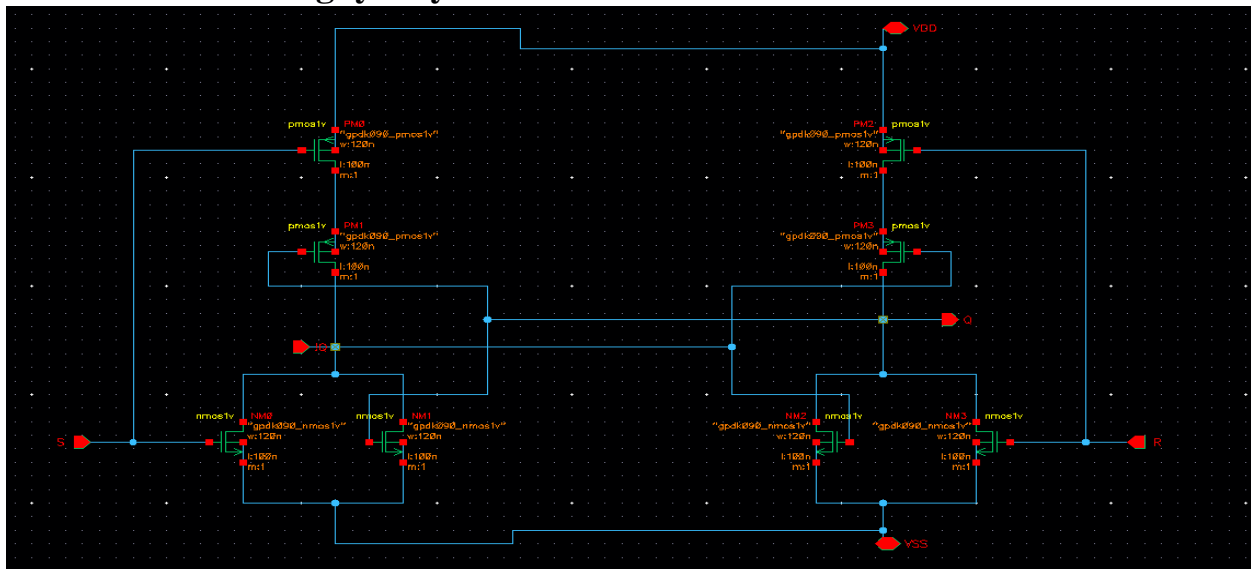
#### 1.1.1. Cơ sở lý thuyết

S	R	Q	$\overline{Q}$	Operation
0	0	Q	$\overline{Q}$	Hold
1	0	1	0	Set
0	1	0	1	Reset
1	1	0	0	Not allowed

Hình 1.1: Bảng trạng thái SR Latch

Khi S tích cực mức 1 thì ngõ ra Q=1 mạch ở chế độ set, ngược lại khi R tích cực mức 1 thì ngõ ra Q=0 tương ứng với mạch ở chế độ reset, trường hợp S và R không tích cực thì ngõ ra Q không đổi còn nếu S và R cùng tích cực mức cao thì mạch ở trạng thái cấm.

#### 1.1.2. Sơ đồ nguyên lý



Hình 1.2: Sơ đồ nguyên lý SR Latch

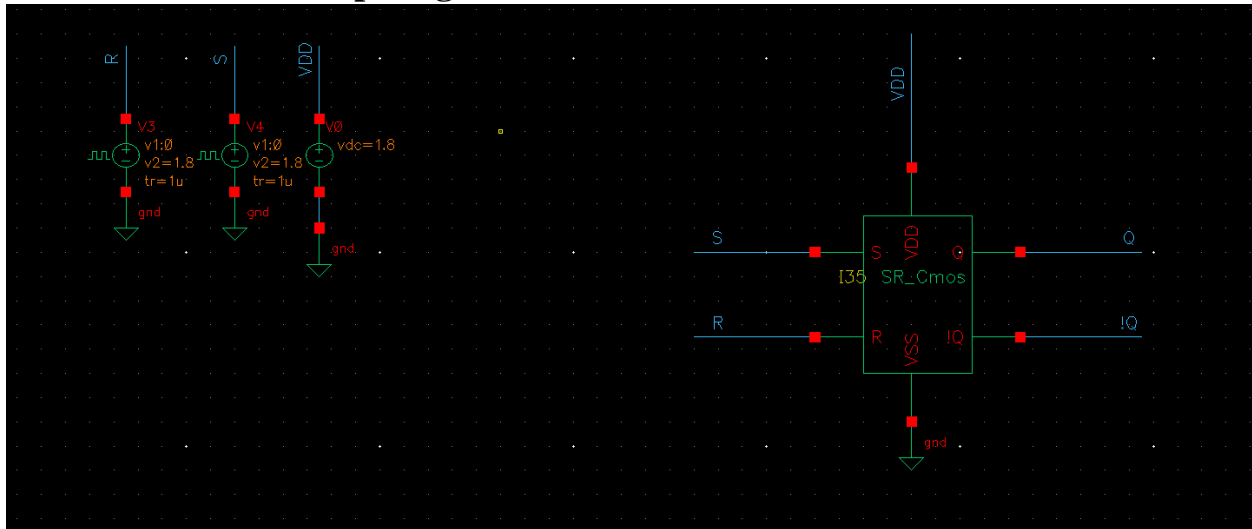
Mạch SR latch được ghép nối từ các Nmos và Cmos như hình 1.2.

Thông số Cmos:

-Pmos: W=120n, L=100n.

-Nmos: W=120n, L=100n.

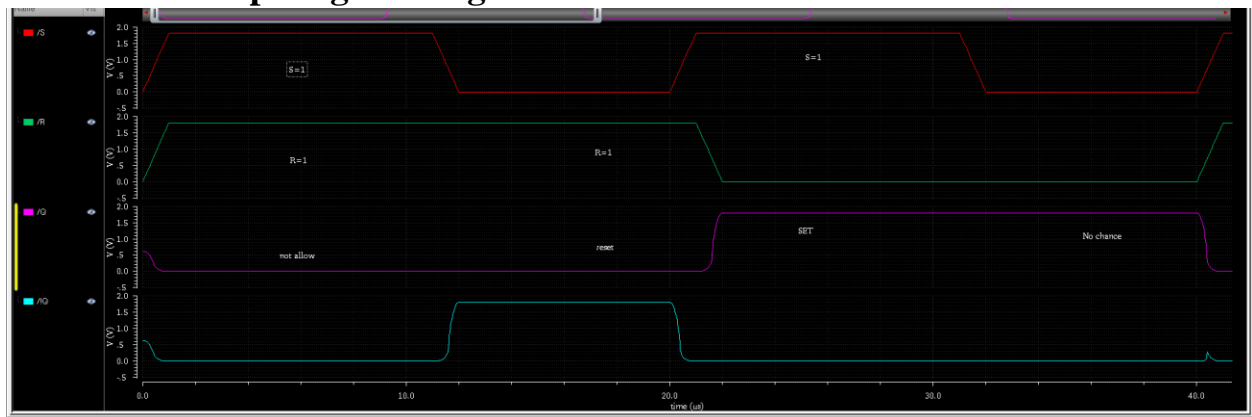
### 1.1.3. Sơ đồ mô phỏng



Hình 1.3: Sơ đồ mô phỏng mạch SR latch

Sơ đồ mô phỏng mạch SR latch được biểu diễn như hình 1.3 với nguồn VDD cấp 1.8V 2 nguồn xung S và R có độ rộng xung 50% và chu kì nguồn R gấp đôi chu kì nguồn S.

### 1.1.4. Mô phỏng mức logic



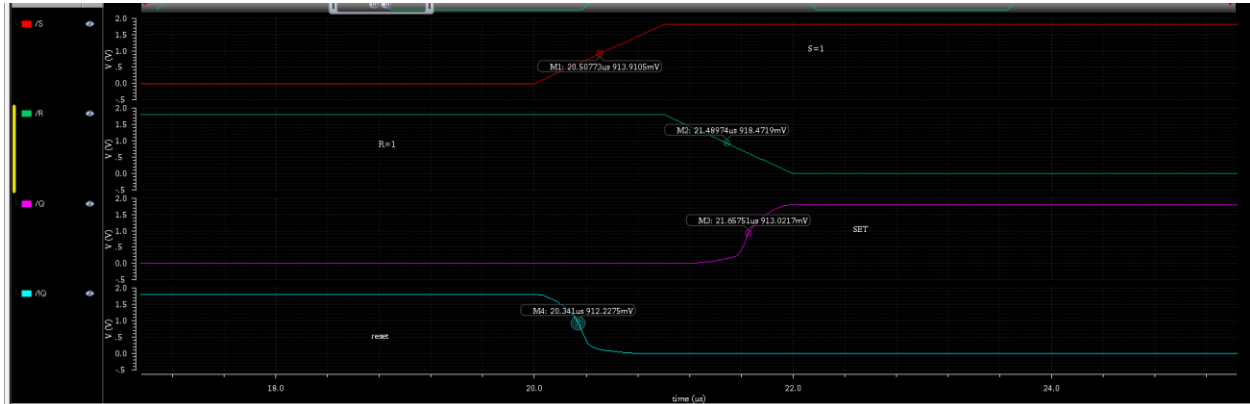
Hình 1.4: Mô phỏng mức logic

Khi  $S=1$ ,  $Q=1$ ,  $!Q=0$  mạch ở trạng thái set.

Khi  $R=1$ ,  $Q=0$ ,  $!Q=1$  mạch ở trạng thái reset.

Khi cả hai  $S$  và  $R=1$ ,  $Q=!Q$  mạch ở trạng thái cấm.

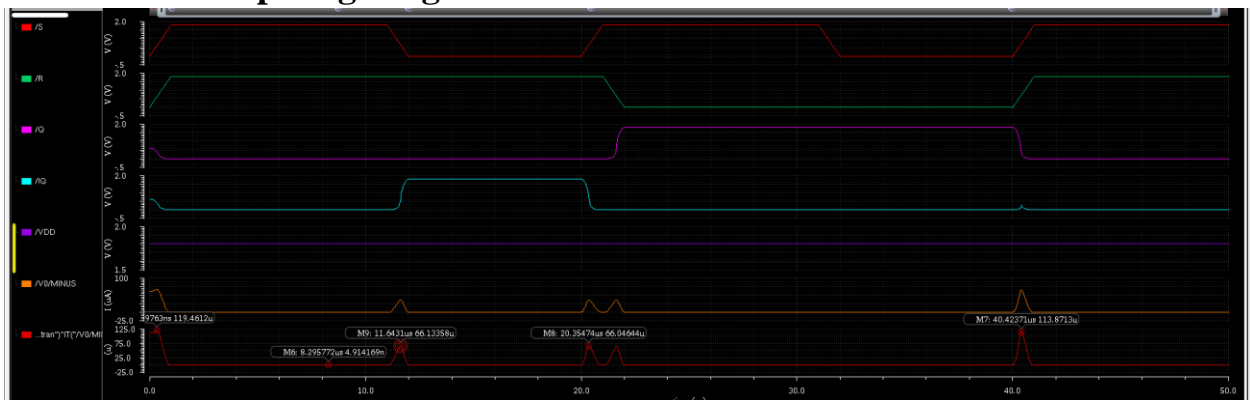
### 1.1.5. Mô phỏng delay



Hình 1.5: Mô phỏng delay

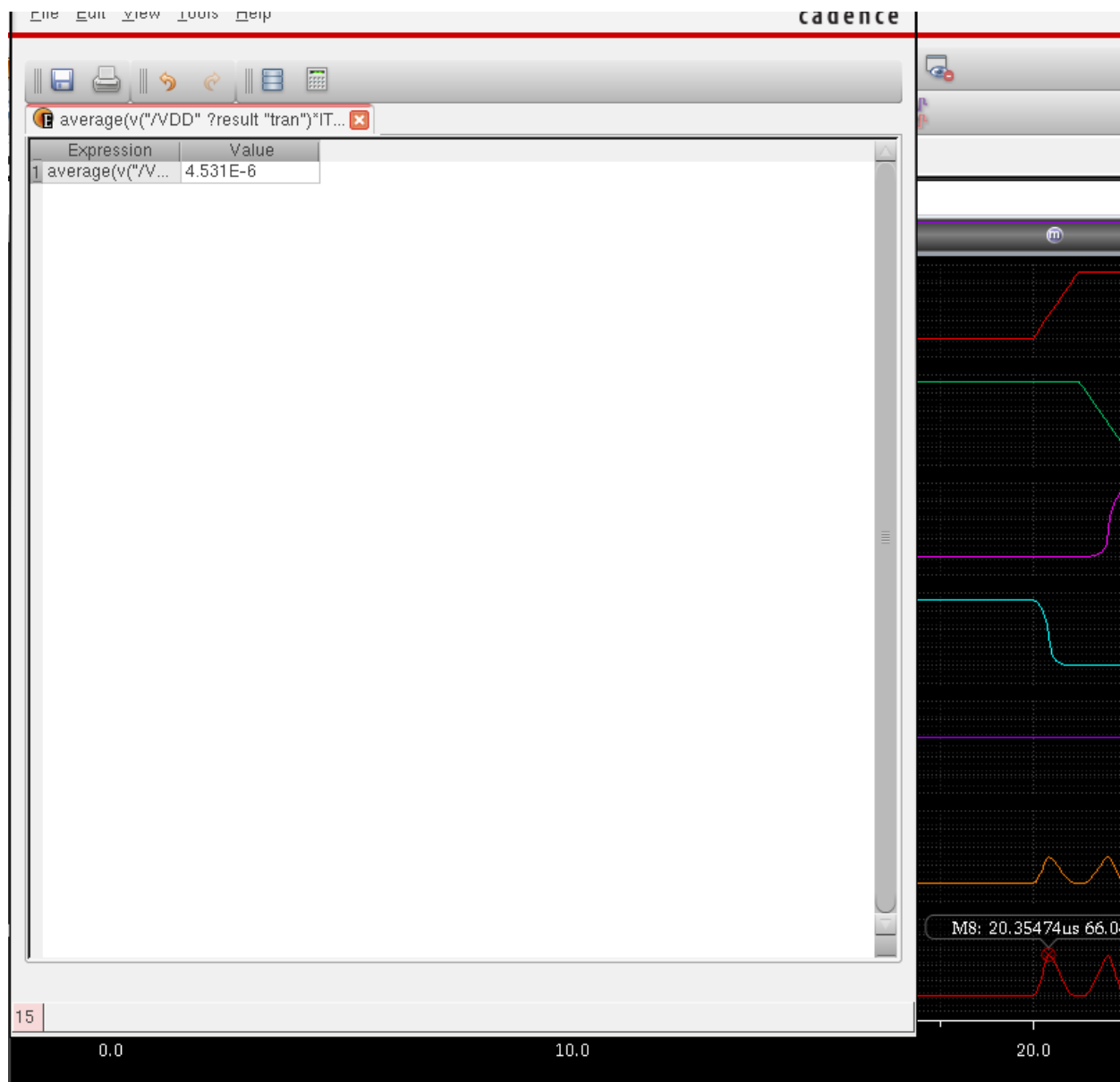
Tại thời điểm chuyển mạch từ trạng thái set sang reset, khi  $S$  đạt mức 1 và  $R$  đạt 50% từ mức 1 chuyển sang mức không thì ngõ ra  $Q$  chuyển lên mức 1 độ trễ rơi vào khoảng 0.17us.

### 1.1.6. Mô phỏng công suất



Hình 1.6: Mô phỏng công suất

Công suất khi mạch chuyển trạng thái từ Set sang Reset đạt 60uW, Công suất tĩnh bằng 4.9nW.



Hình 1.7: Công suất trung bình

## 1.2. DFF sử dụng Cmos

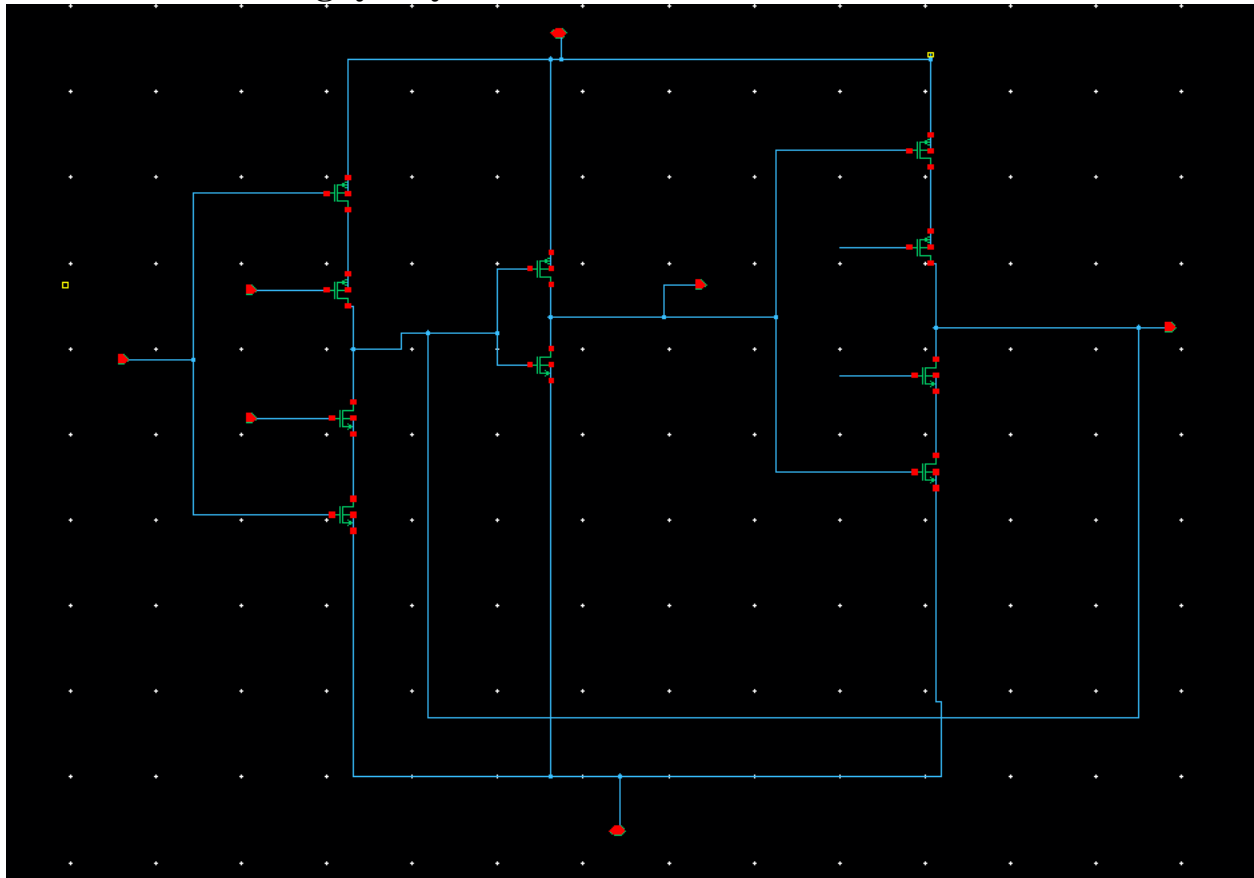
### 1.2.1. Cơ sở lý thuyết

$D$	$Q$	$Q_{next}$	$Q_{next}'$
0	$\times$	0	1
1	$\times$	1	0

Hình 1.8: Bảng trạng thái DFF

Khi có sự tác động cạnh lên hoặc cạnh xuống của xung Ck thì ngõ ra Q bằng ngõ vào D.

### 1.2.2. Sơ đồ nguyên lý



Hình 1.9: Sơ đồ nguyên lý DFF

Mạch DFF được ghép nối từ các Nmos và Cmos như hình 1.9.

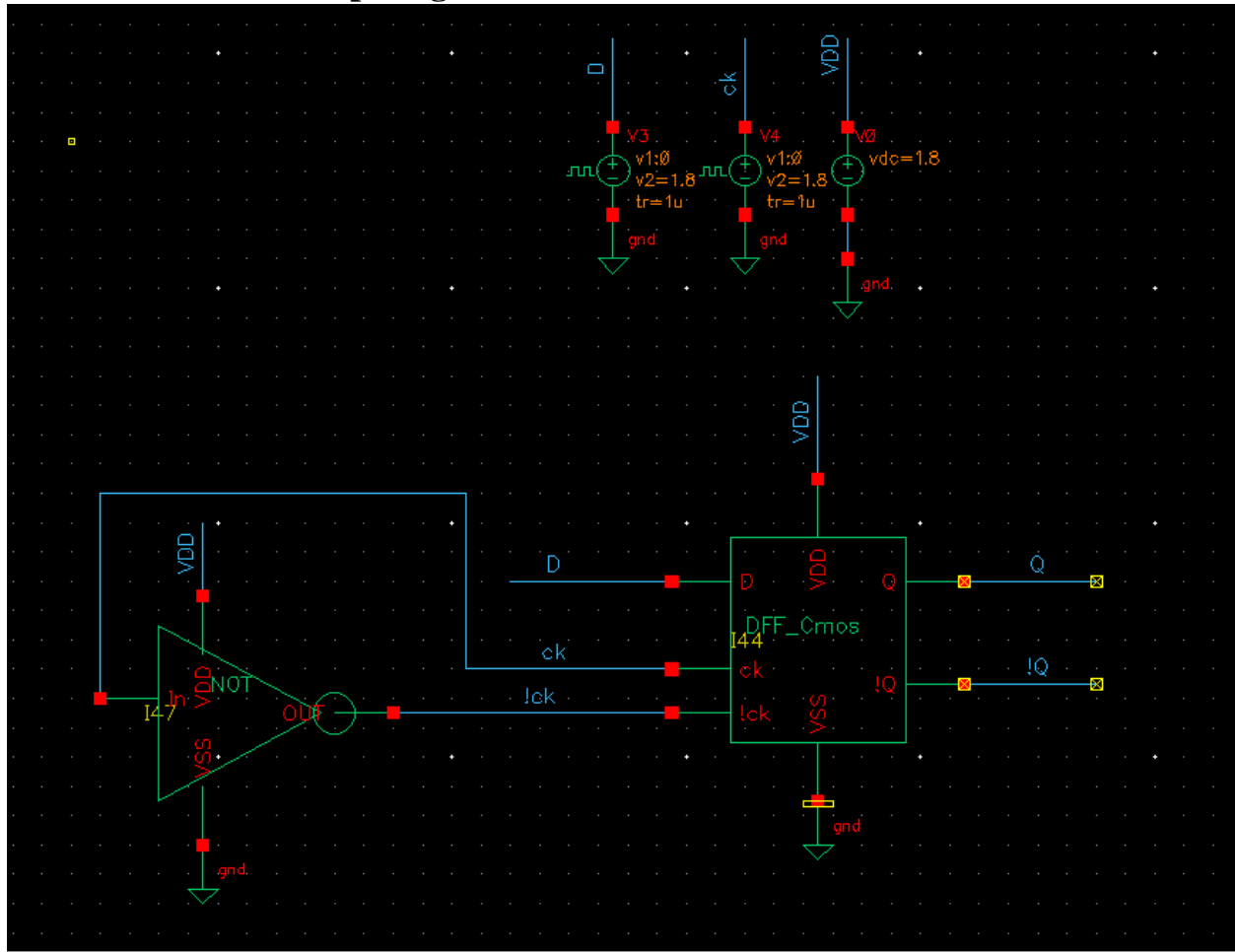


Thông số Cmos:

-Pmos: W=120n, L=100n.

-Nmos: W=120n, L=100n.

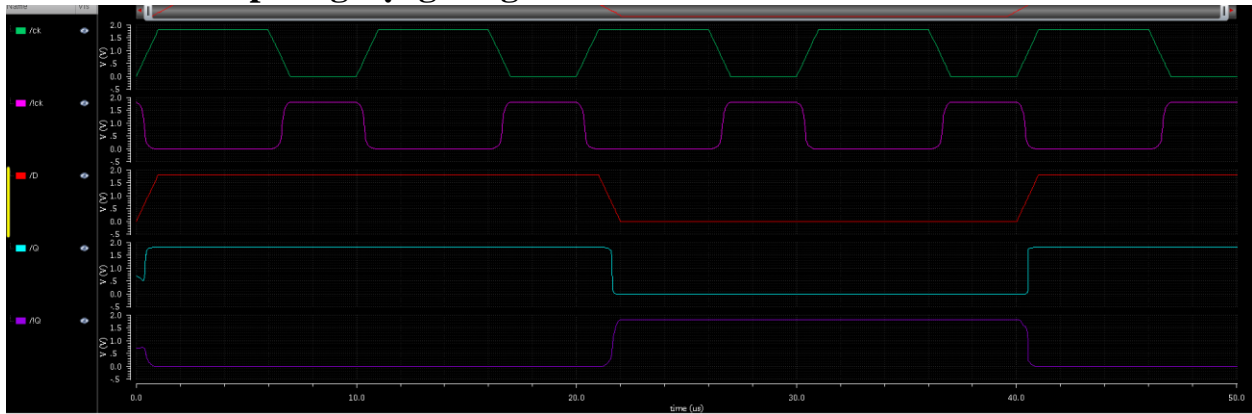
### 1.2.3. Sơ đồ mô phỏng



Hình 1.10: Sơ đồ mô phỏng DFF

Sơ đồ mô phỏng DFF được biểu diễn như hình 1.10 với xung ck có chu kỳ 10us ngõ vào D.

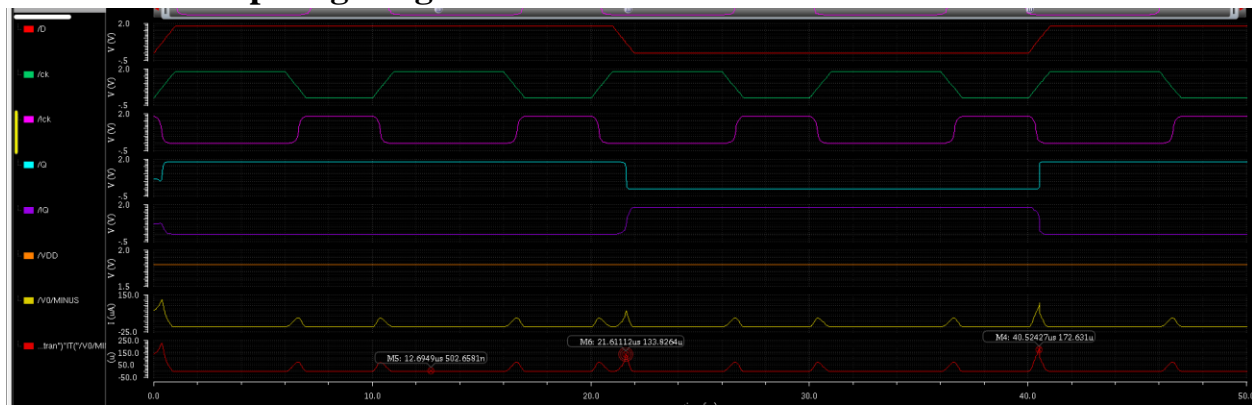
### 1.2.4. Mô phỏng dạng sóng



Hình 1.10: mô phỏng dạng sóng

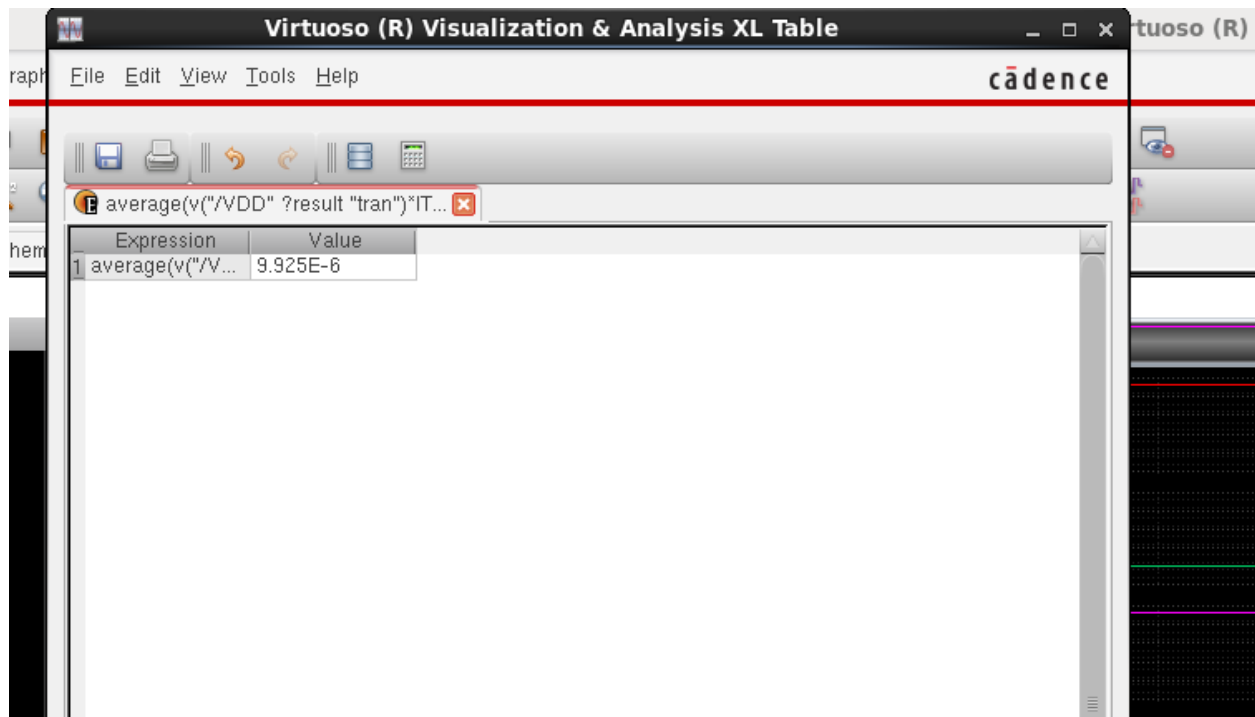
Khi  $D = 1$  và có sự tác động của xung ck  $Q = D = 1$  và ngược lại.

### 1.2.5. Mô phỏng công suất



Hình 1.11: Đánh giá công suất

Công suất cao nhất rơi vào khoảng 172uW, công suất tĩnh bằng 502nW.

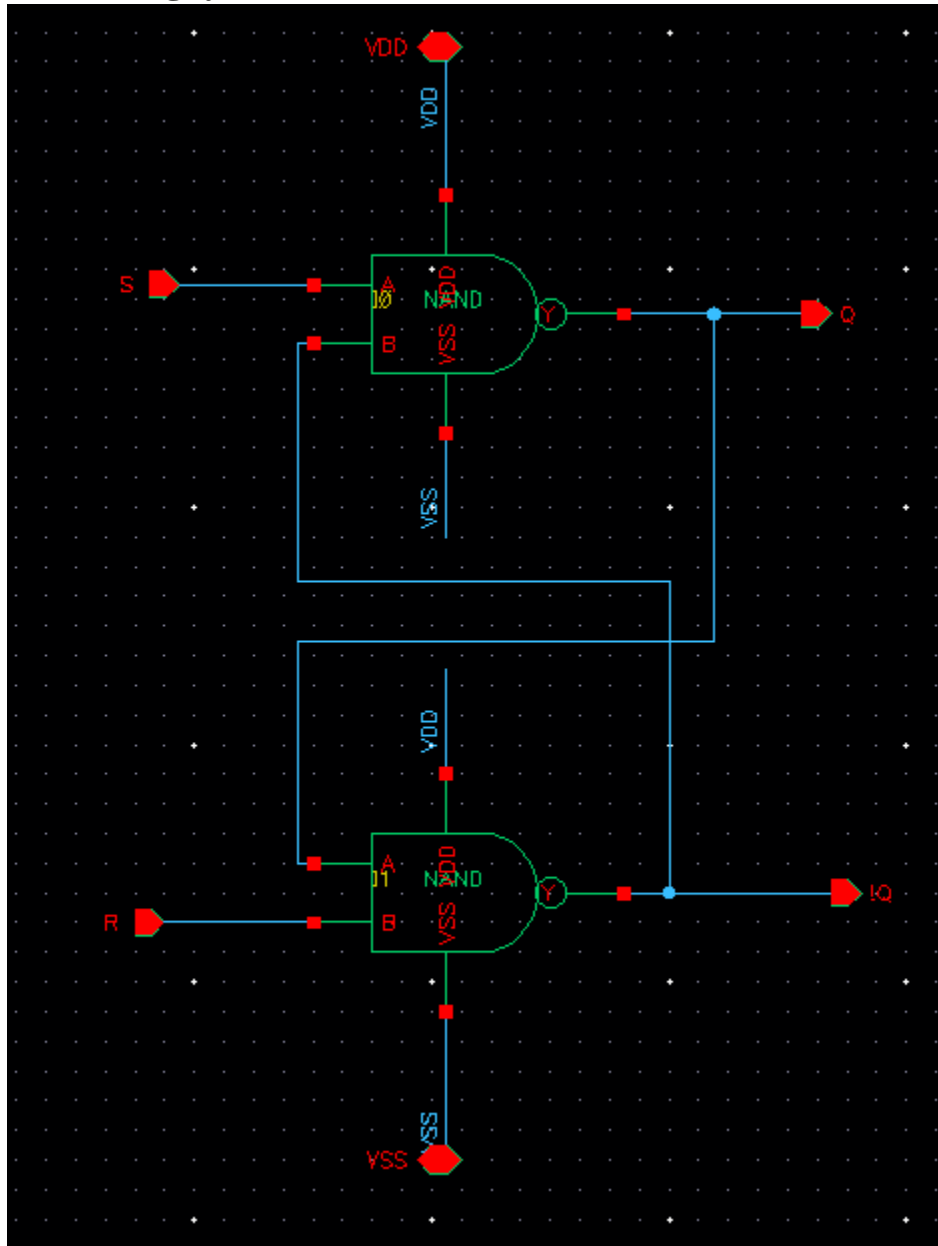


Hình 1.12: Công suất trung bình

## Phần 2: DFF/Latch sử dụng cổng logic

### 2.1. SR latch sử dụng cổng NAND

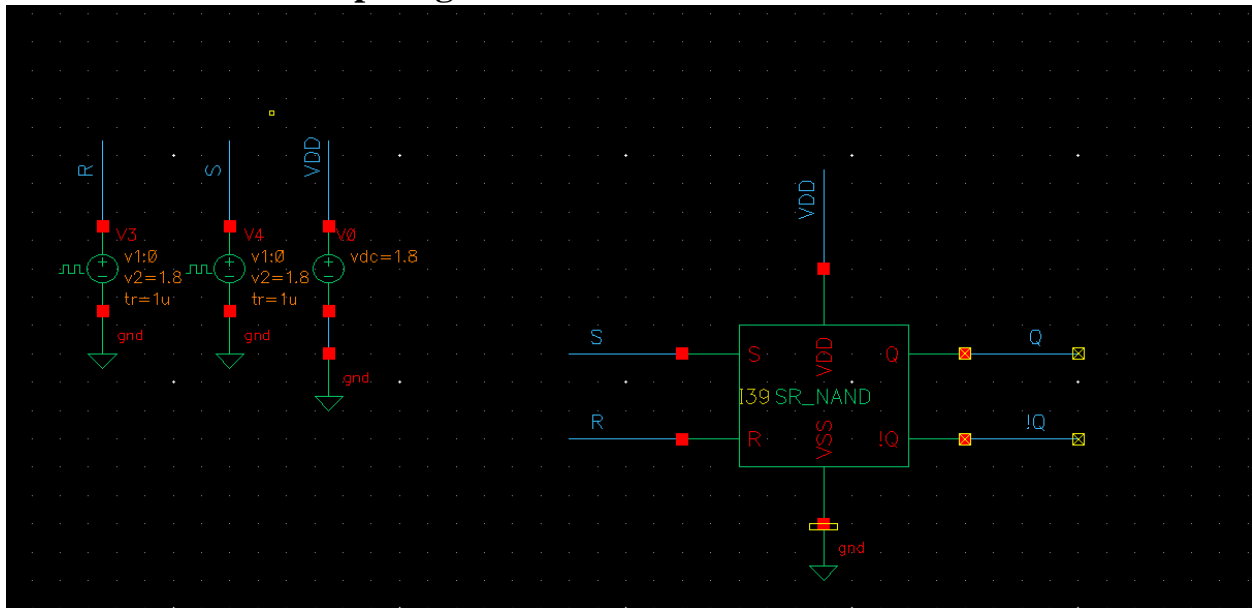
#### 2.1.1. Sơ đồ nguyên lý



Hình 2.1: Sơ đồ nguyên lý

Mạch SR latch được ghép nối bằng các cổng NAND như hình 2.1.

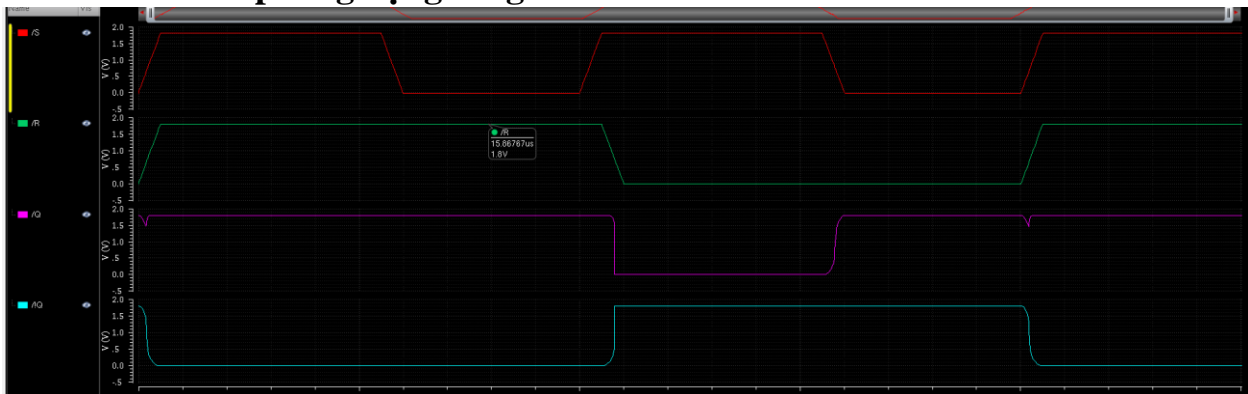
### 2.1.2. Sơ đồ mô phỏng



Hình 2.2: Sơ đồ mô phỏng

Sơ đồ mô phỏng mạch SR latch được biểu diễn như hình 2.2 với nguồn VDD cấp 1.8V 2 nguồn xung S và R có độ rộng xung 50% và chu kì nguồn R gấp đôi chu kì nguồn S.

### 2.1.3. Mô phỏng dạng sóng



Hình 2.3: Sơ đồ mô phỏng dạng sóng

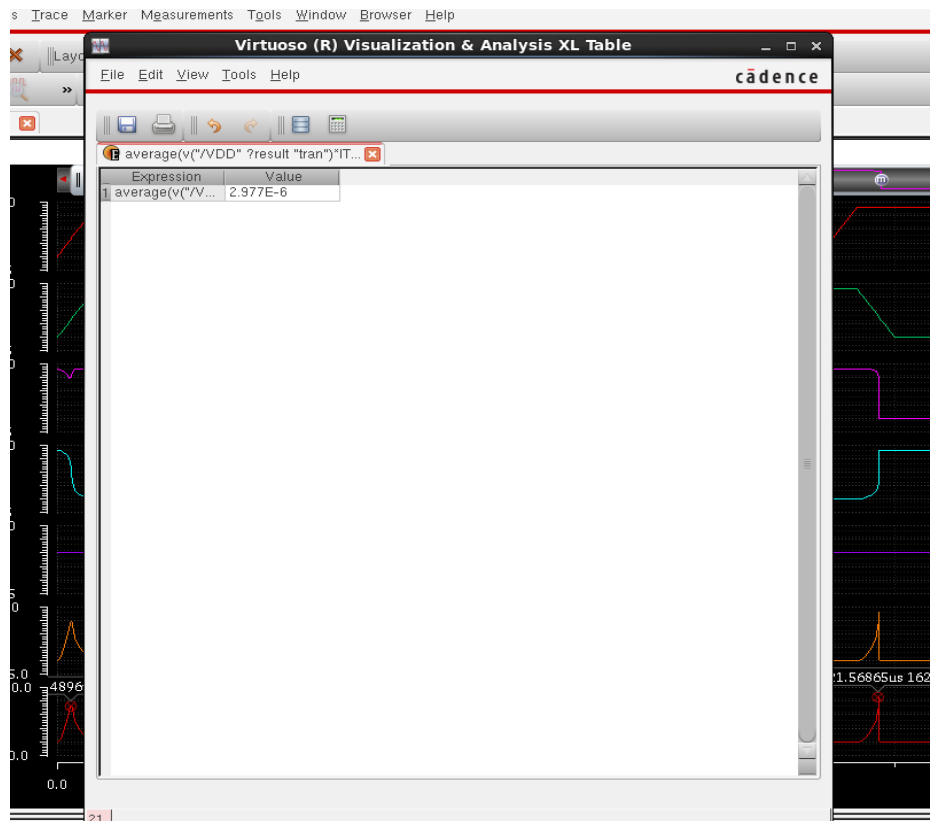
Khi  $S=1$  ngõ ra  $Q_{next}$  lên mức 1, khi  $R=1$  thì ngõ ra  $Q_{next}$  về mức 0.

### 2.1.4.đánh giá công suất



Hình 2.4: Đánh giá công suất

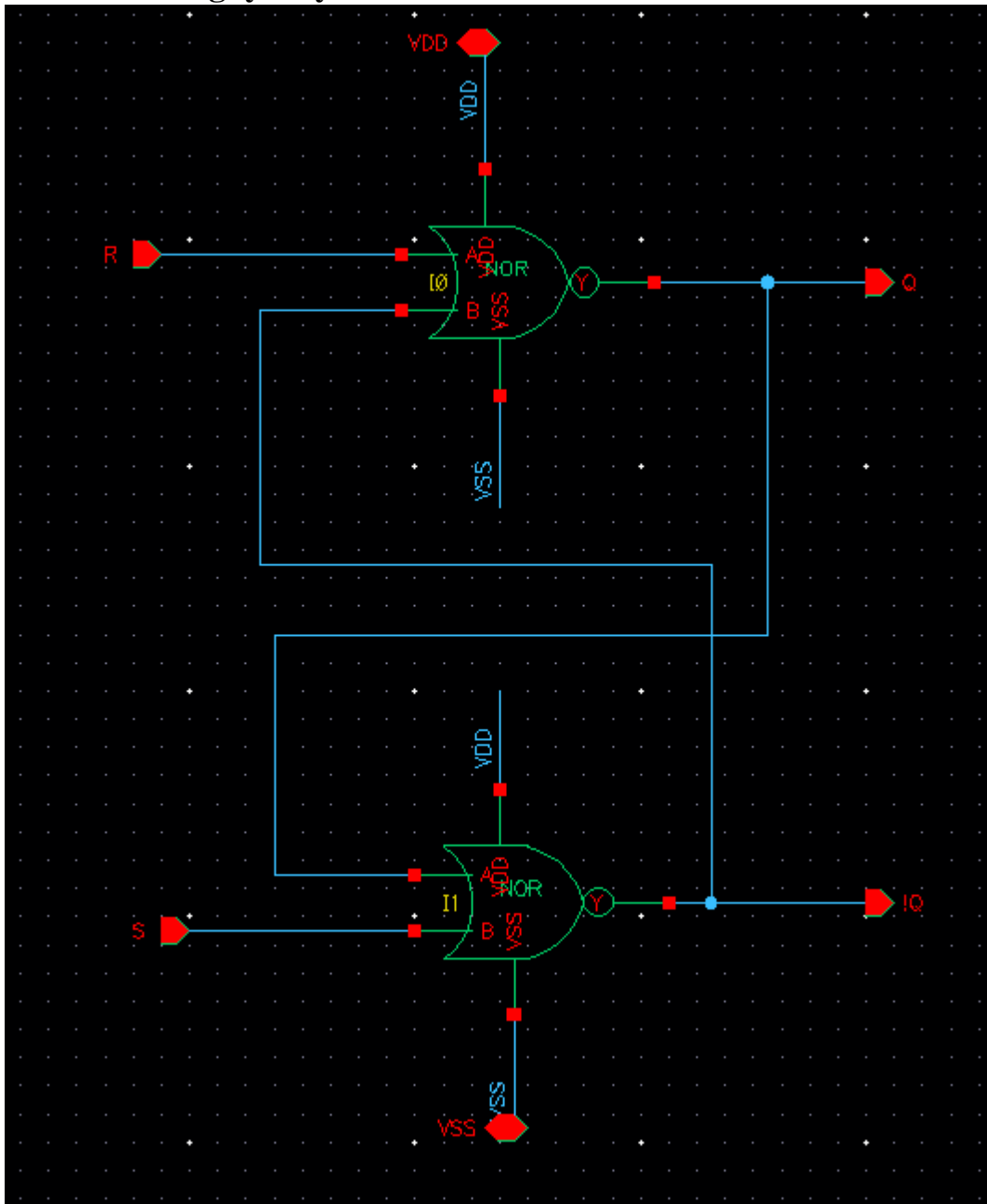
Công suất max khi chuyển mạch rơi vào khoảng 162uW, công suất tĩnh rơi vào khoảng 27nW. Có thể đánh giá được rằng công suất của SR latch dùng cổng logic sẽ cao hơn rất nhiều so với sử dụng Cmos.



Hình 2.5: Công suất trung bình

## 2.2. SR latch sử dụng cổng NOR

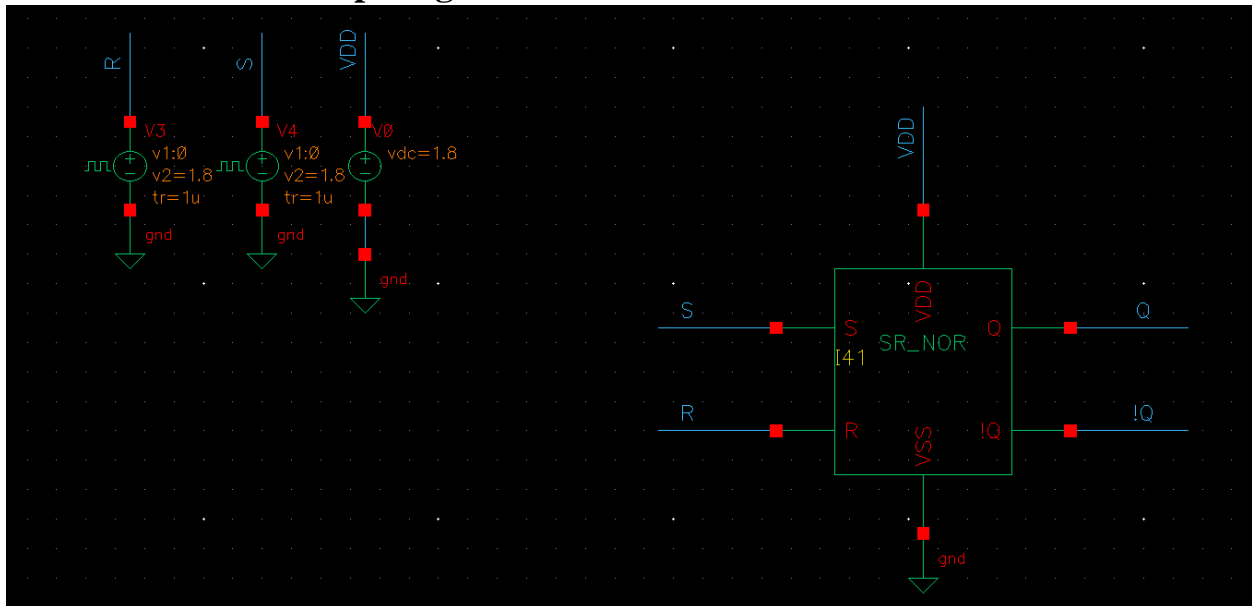
### 2.2.1. Sơ đồ nguyên lý



Hình 2.6: Sơ đồ nguyên lý

Mạch SR latch được ghép nối bằng các cổng NAND như hình 2.6.

### 2.2.2. Sơ đồ mô phỏng



Hình 2.7: Sơ đồ mô phỏng SR latch

Sơ đồ mô phỏng mạch SR latch được biểu diễn như hình 2.7 với nguồn  $VDD$  cấp 1.8V 2 nguồn xung  $S$  và  $R$  có độ rộng xung 50% và chu kì nguồn  $R$  gấp đôi chu kì nguồn  $S$ .

### 2.2.3. Mô phỏng dạng sóng

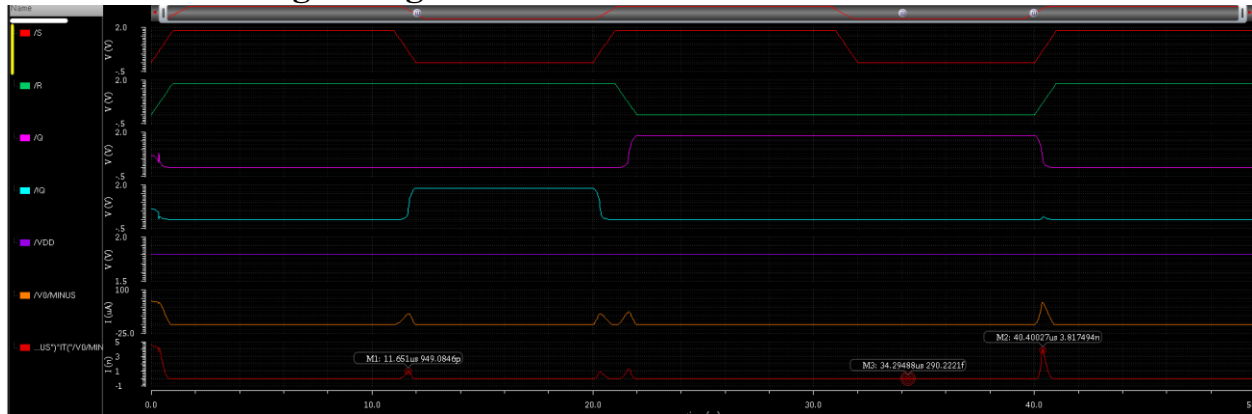


Hình 2.8: Mô phỏng dạng sóng

Khi  $S=1$  ngõ ra  $Q_{next}$  lên mức 1, khi  $R=1$  thì ngõ ra  $Q_{next}$  về mức 0.

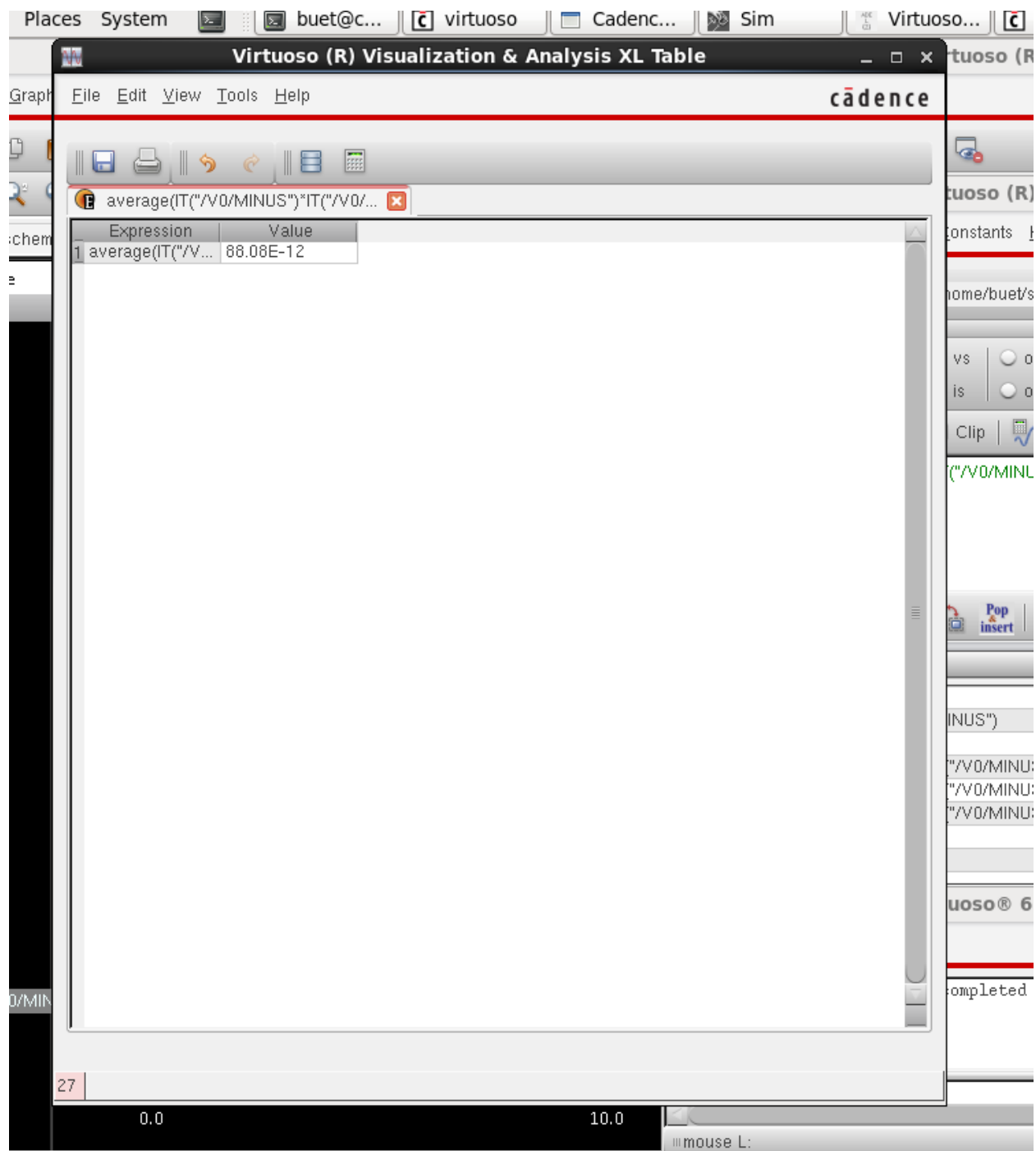


## 2.2.4. Đánh giá công suất



Hình 2.9: Đánh giá công suất

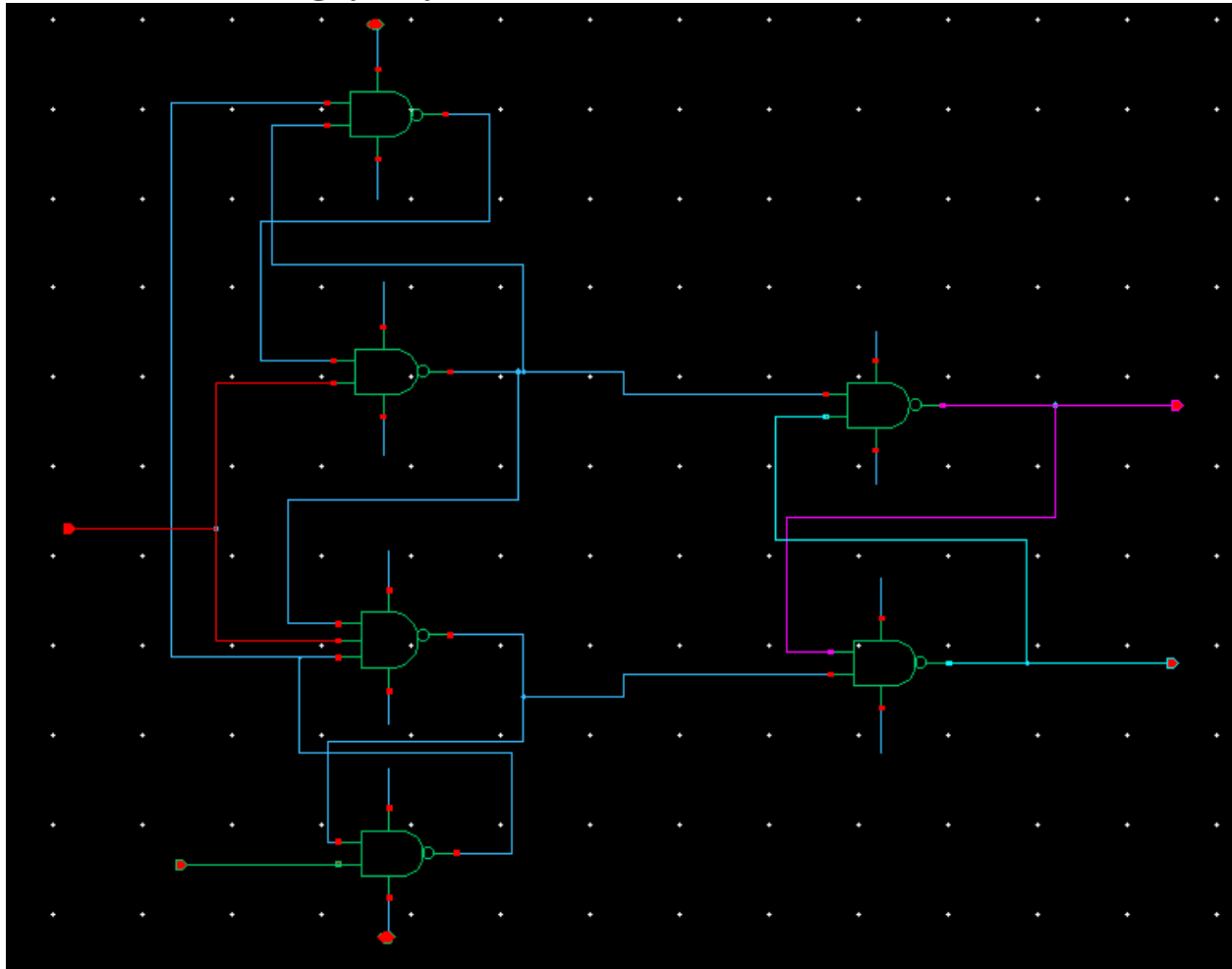
Công suất max khi chuyển mạch rơi vào khoảng  $3.8\mu\text{W}$ , công suất tĩnh rơi vào khoảng  $290\text{fW}$ . Có thể đánh giá được rằng công suất của SR latch dùng cổng logic sẽ cao hơn rất nhiều so với sử dụng Cmos.



Hình 2.10: Công suất trung bình

## 2.3. DFF sử dụng cổng NAND

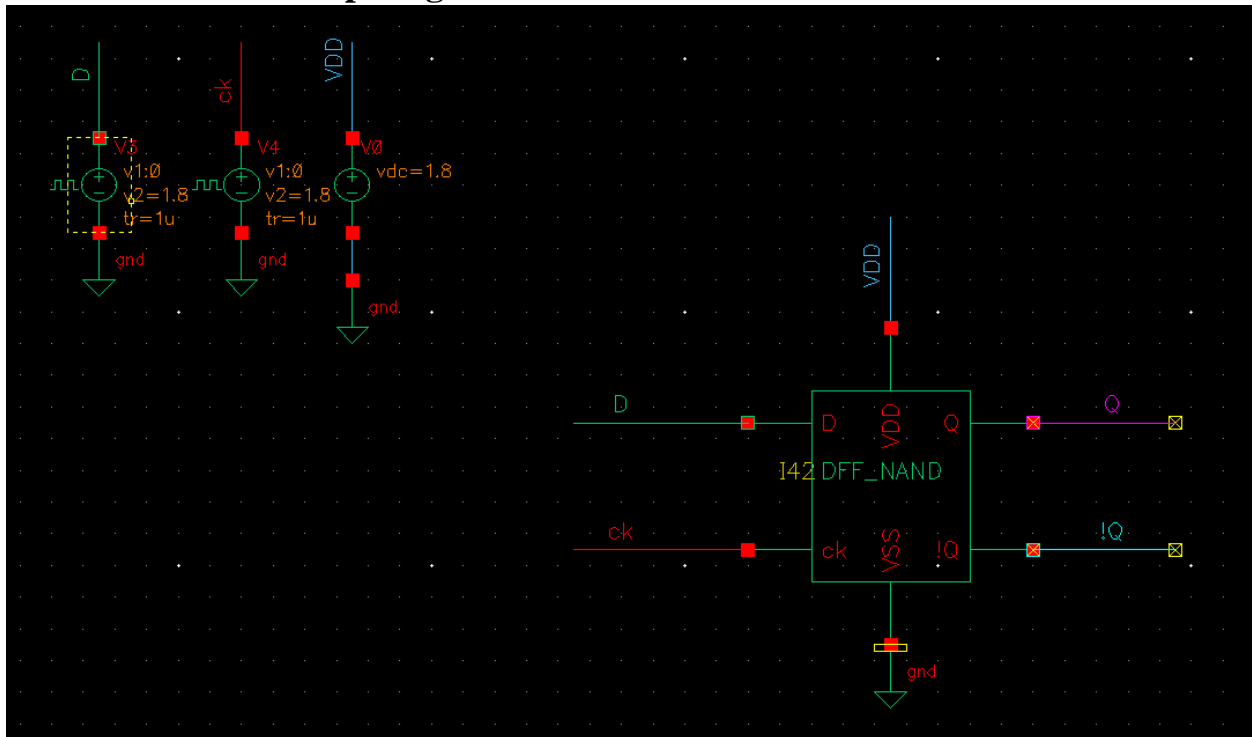
### 2.3.1. Sơ đồ nguyên lý



Hình 2.11: Sơ đồ nguyên lý DFF

Mạch DFF được ghép nối bằng các cổng NAND như hình 2.11.

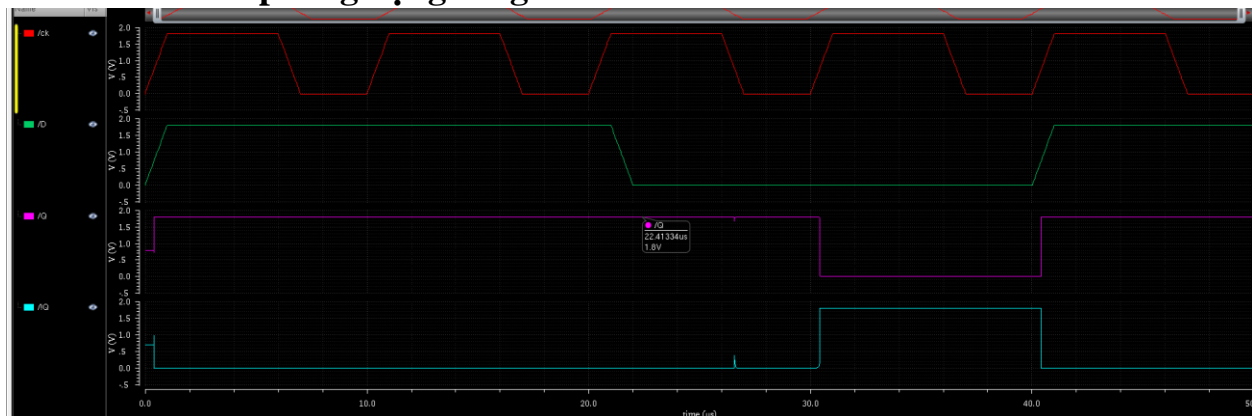
### 2.3.2. Sơ đồ mô phỏng



Hình 2.12: Sơ đồ mô phỏng DFF

Sơ đồ mô phỏng DFF được biểu diễn như hình 2.12 với xung ck có chu kỳ 10us ngõ vào D.

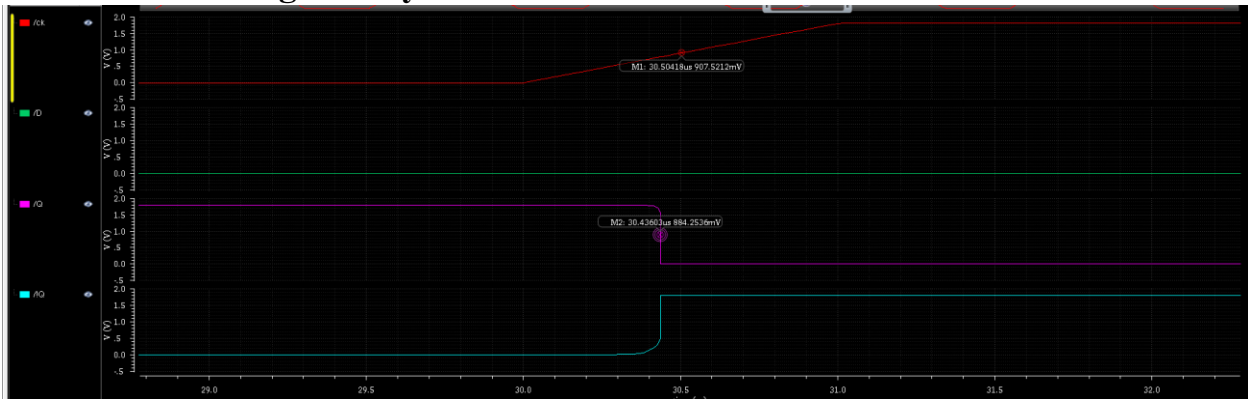
### 2.3.3. Mô phỏng dạng sóng



Hình 2.13: Sơ đồ mô phỏng dạng sóng

Khi  $D=1$  với sự tác động của xung ck cạnh lên thì  $Q=D=1$ , và ngược lại  $D=0$  thì  $Q=0$ .

### 2.3.4.Đánh giá delay



Hình 2.14: Mô phỏng delay

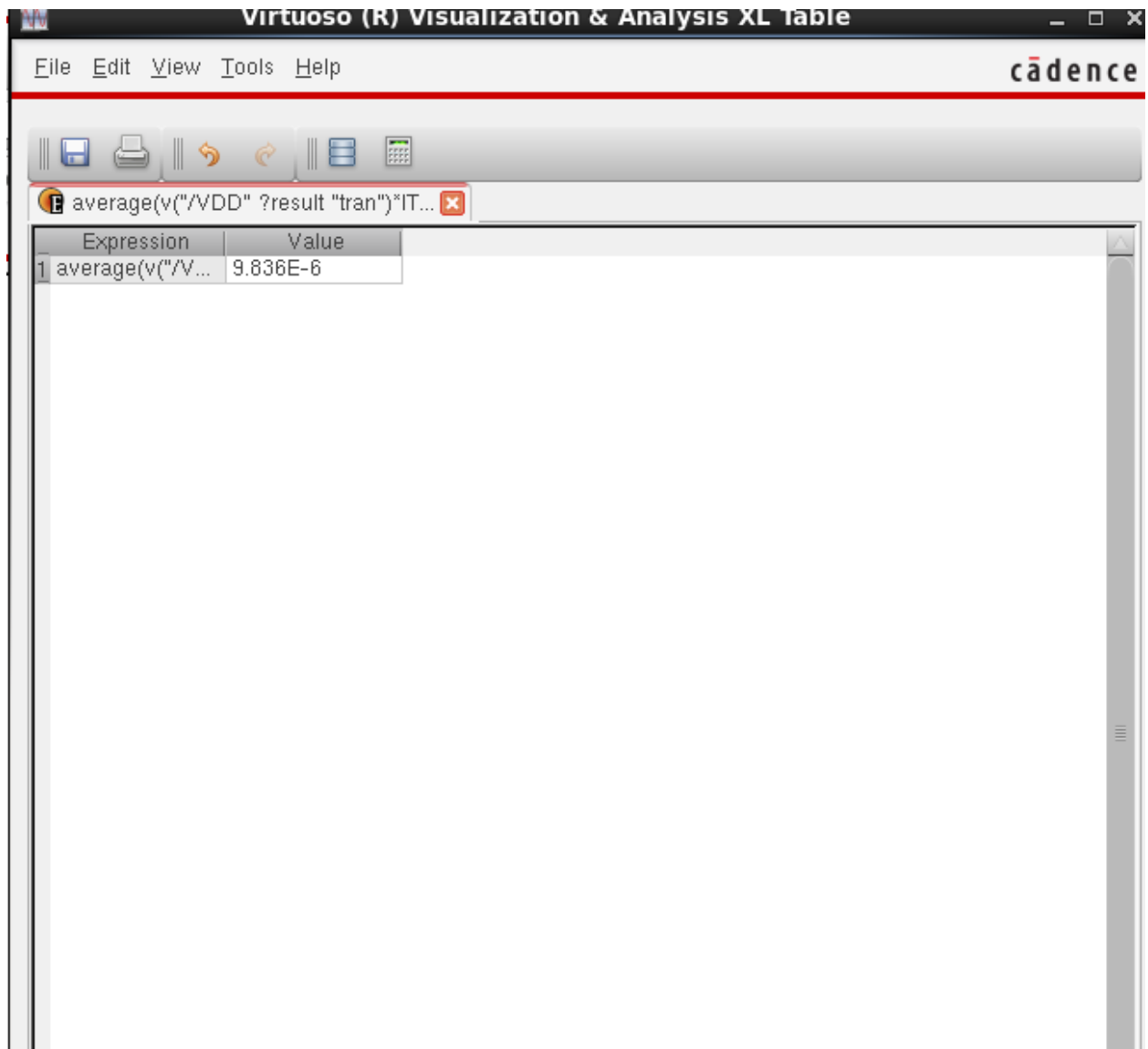
Tiến hành lấy 50% xung cạnh lên của ck, và 50% ngõ ra Q khi chuyển từ mức 1 xuống mức 0 thì nhận thấy thời gian đáp ứng nhanh độ trễ hầu như không có.

### 2.3.5.Đánh giá công suất



Hình 2.15: Đánh giá công suất

Công suất đạt cao nhất tại thời điểm Q chuyển từ 0 sang 1 và bằng 378uw, Công suất tĩnh rơi vào khoảng 89nW.

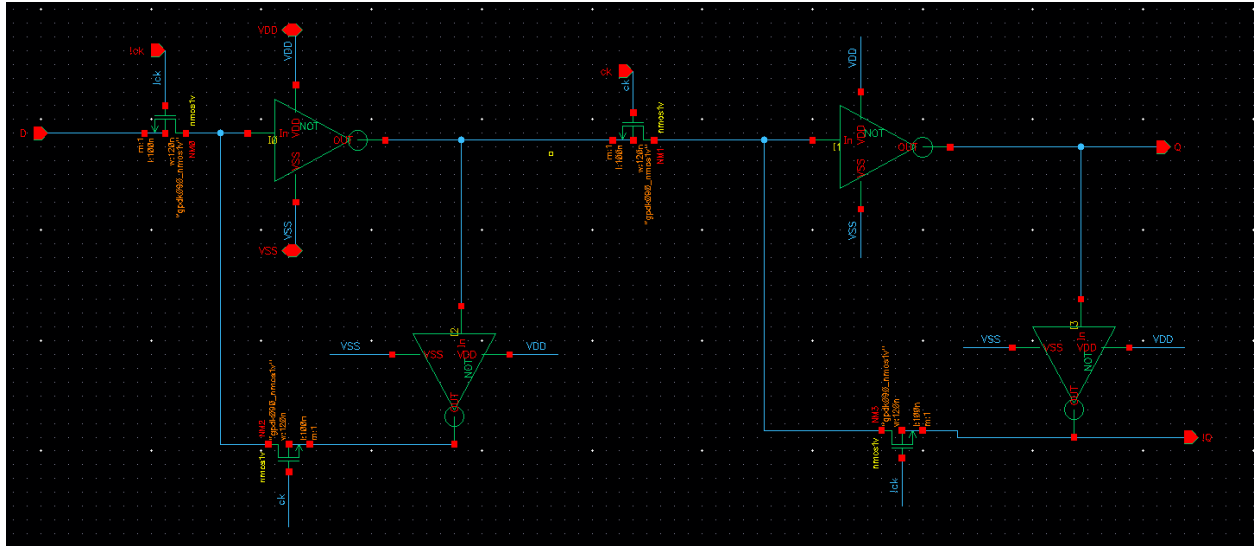


Hình 2.16: Công suất trung bình

### Phần 3: DFF tạo nên từ các cổng NOT

### 3.1.Master slave D type flip flop

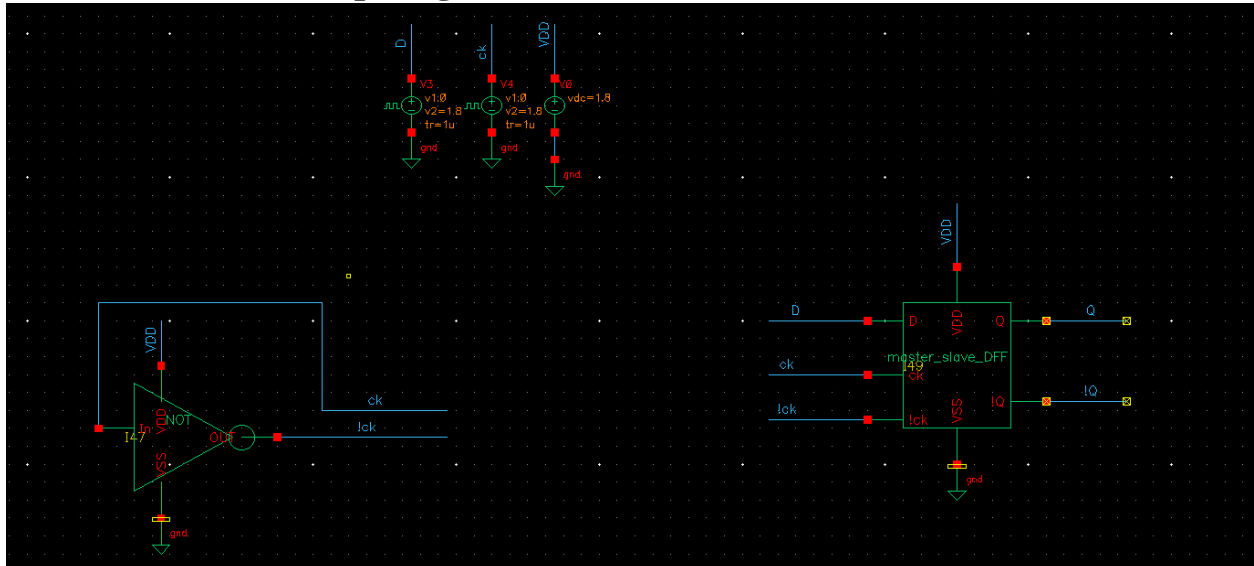
### 3.1.1. Sơ đồ nguyên lý



Hình 3.1: Sơ đồ nguyên lý

Sơ đồ nguyên lý master slave D type flip flop được biểu diễn như hình 3.1.

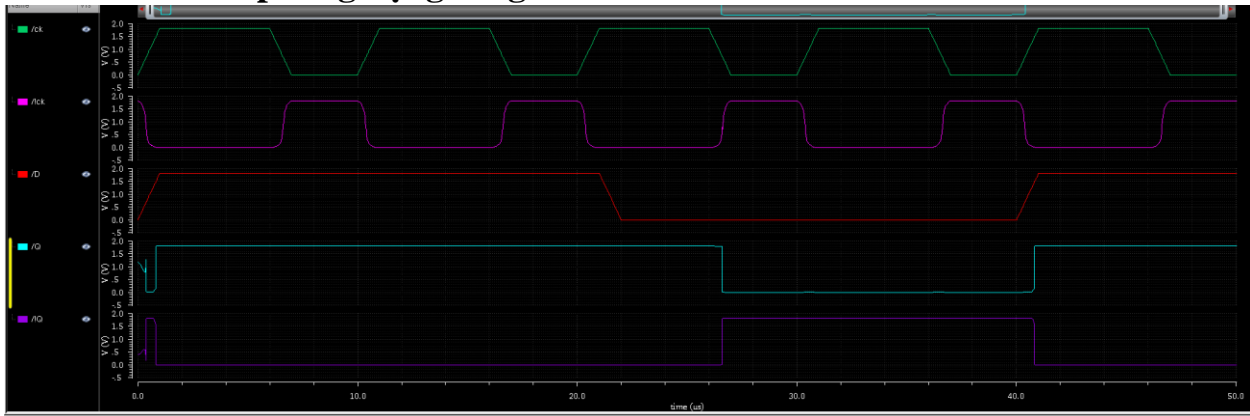
### 3.1.2. Sơ đồ mô phỏng



### Hình 3.2: Sơ đồ mô phỏng

Sơ đồ mô phỏng DFF được biểu diễn như hình 2.12 với xung ck có chu kỳ 10 $\mu$ s ngõ vào D.

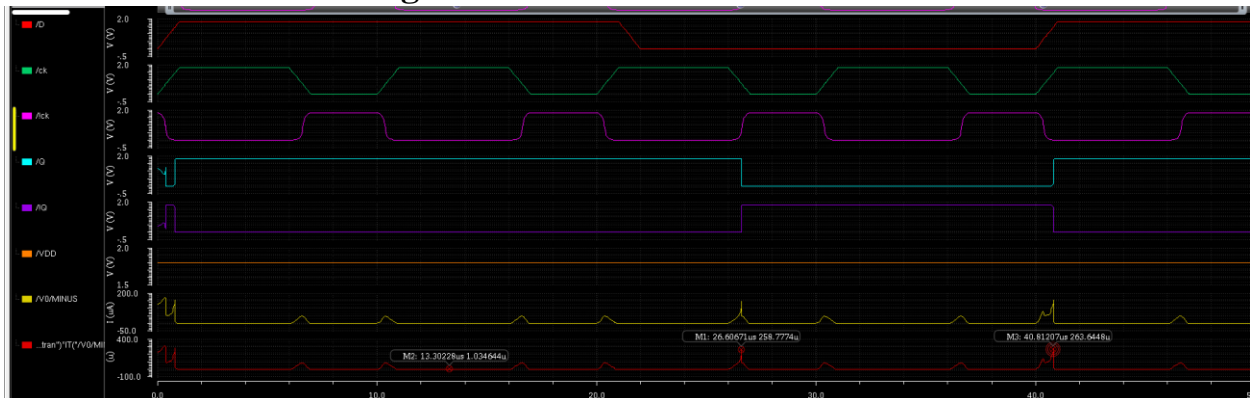
### 3.1.3. Mô phỏng dạng sóng



Hình 3.3: Mô phỏng dạng sóng

Tại thời điểm  $D=1$ , khi có sự tác động xung cạnh lên của  $ck$  và  $!ck$   $Q=D$ , ngược lại thời điểm  $D=0$   $Q$  cũng bằng 0.

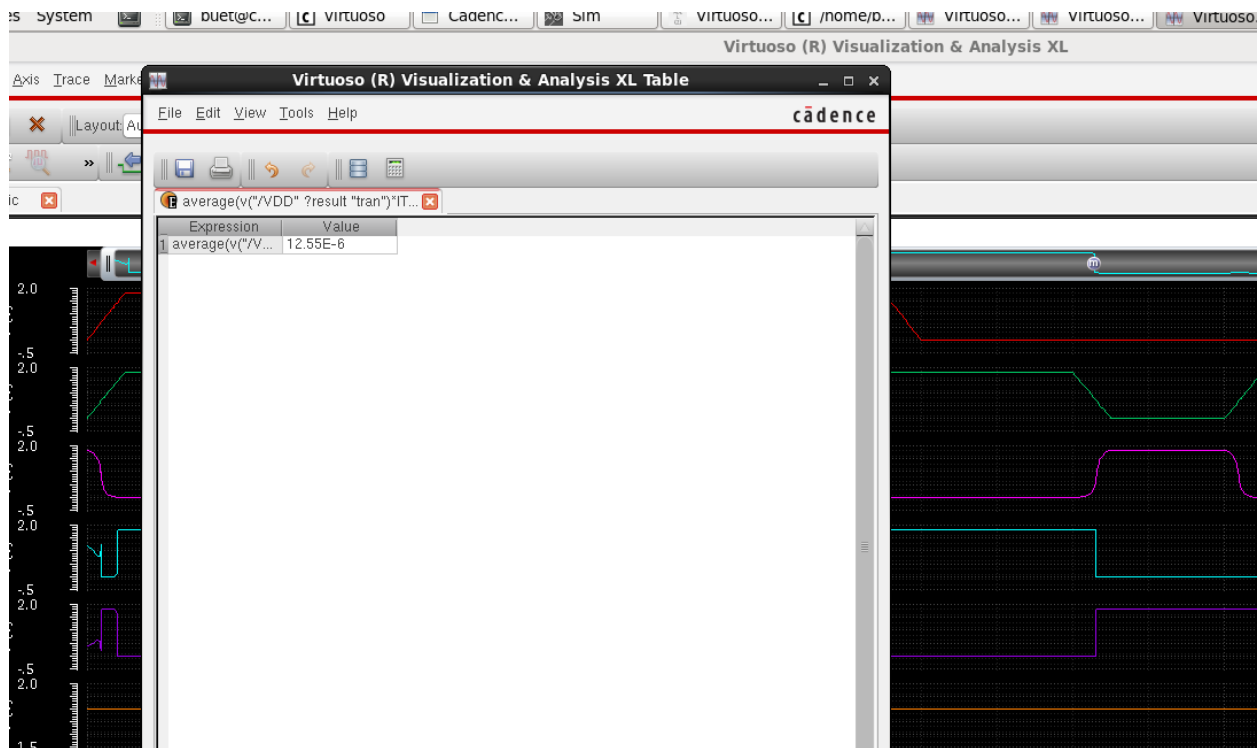
### 3.1.4. Khảo sát công suất.



Hình 3.4:Khảo sát công suất

Tại thời điểm ngõ ra  $Q$  thay đổi từ 0 lên 1 công suất đạt giá trị lớn nhất bằng 271uW, lúc mạch không hoạt động công suất tĩnh rơi vào khoảng 1uW.

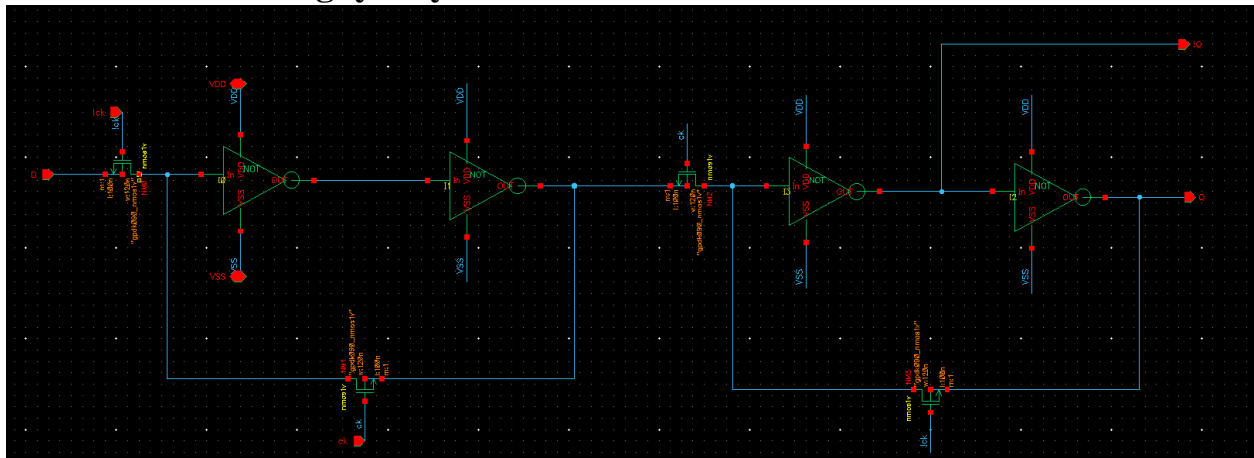




Hình 3.5: Công suất trung bình

## 3.2. Alternate Circuit for Master Slave DFF

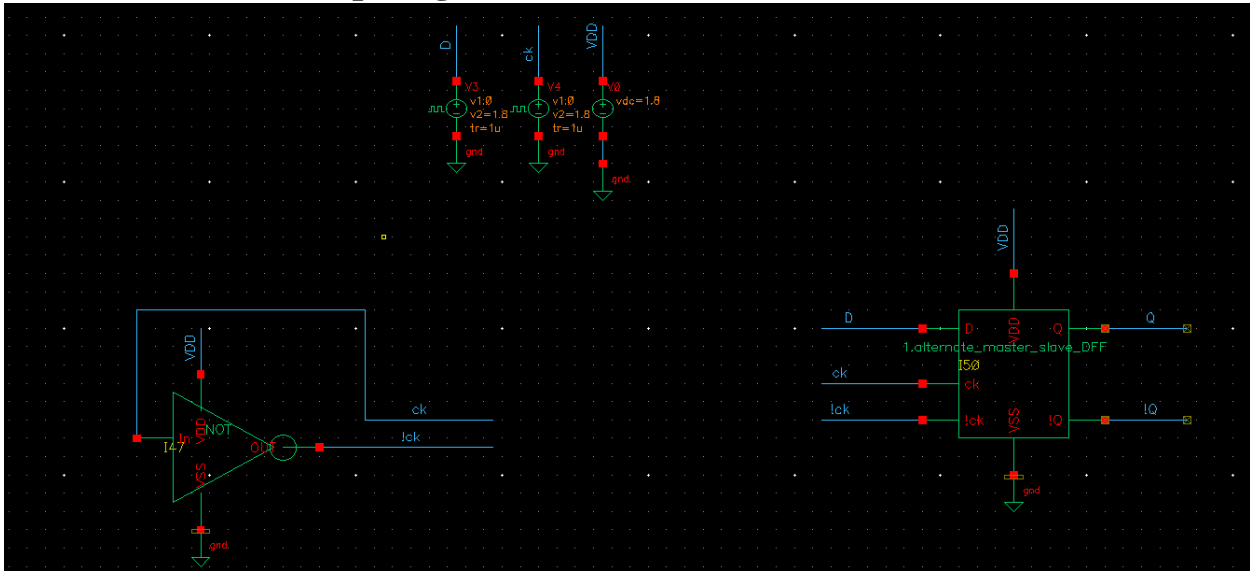
### 3.2.1. Sơ đồ nguyên lý



Hình 3.6: Sơ đồ nguyên lý

Sơ đồ nguyên lý Alternate Circuit for Master Slave DFF được biểu diễn như hình 3.1.

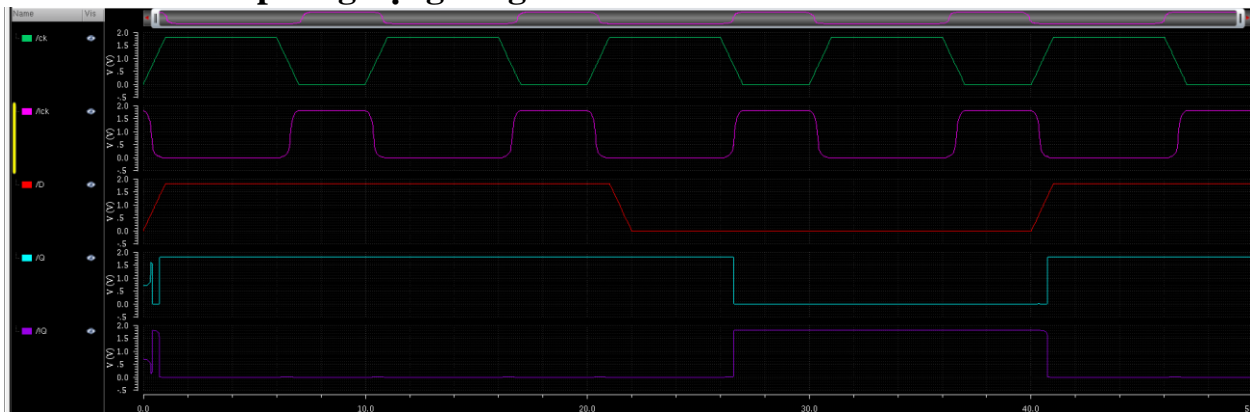
### 3.2.2. Sơ đồ mô phỏng



Hình 3.7: Sơ đồ mô phỏng

Sơ đồ mô phỏng DFF được biểu diễn như hình 2.12 với xung ck có chu kỳ 10us ngõ vào D.

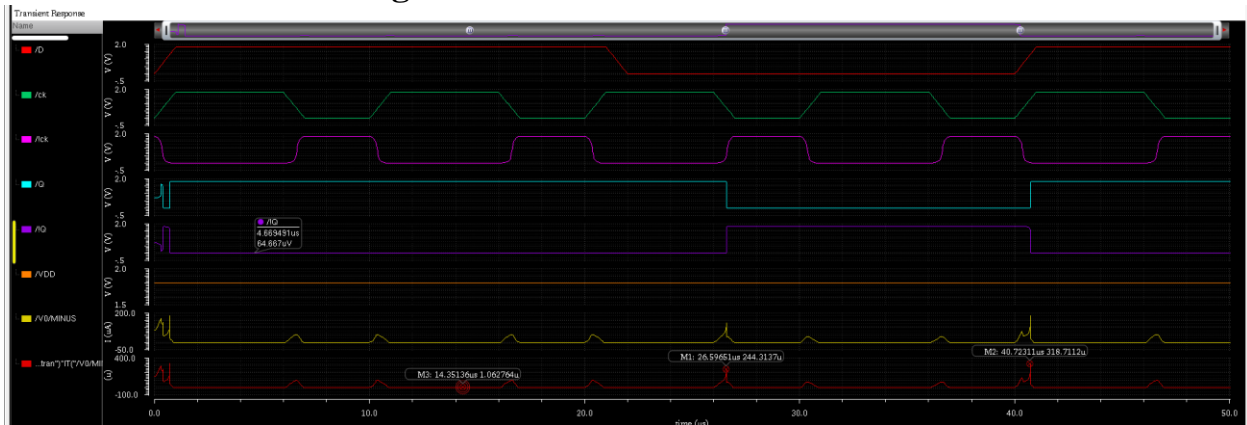
### 3.2.3. Mô phỏng dạng sóng



Hình 3.8: Mô phỏng dạng sóng

Tại thời điểm  $D=1$ , khi có sự tác động xung cạnh lên của ck và !ck  $Q=D$ , ngược lại thời điểm  $D=0$  Q cũng bằng 0.

### 3.2.4. Khảo sát công suất

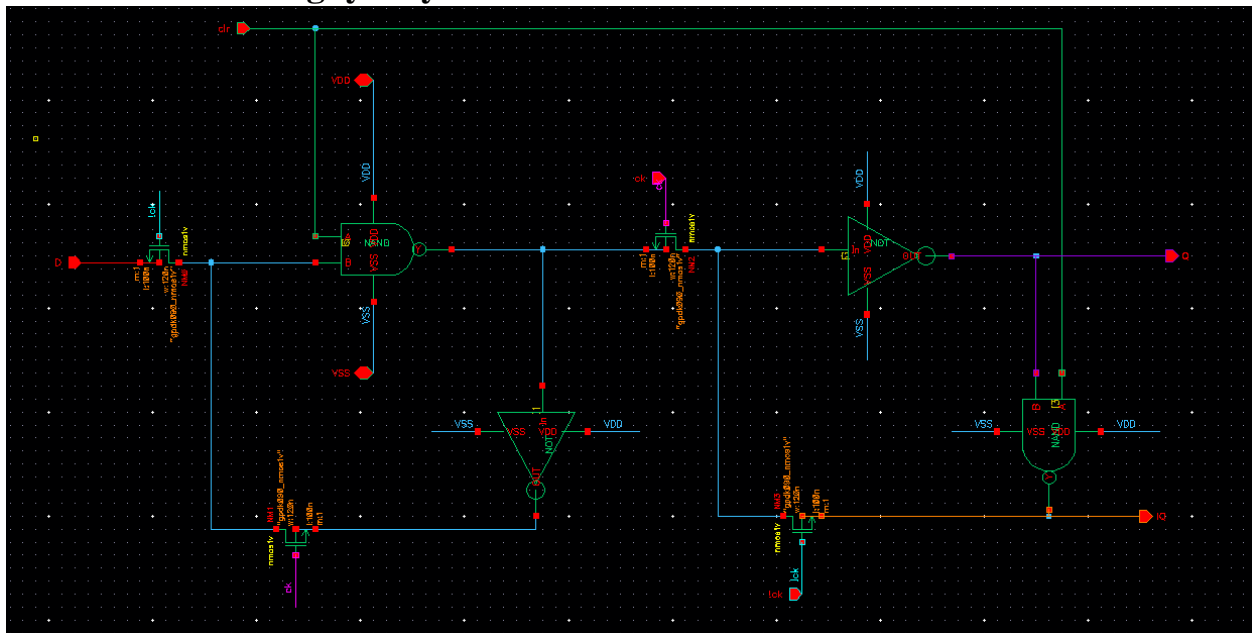


Hình 3.9: Khảo sát công suất

Tại thời điểm ngõ ra Q thay đổi từ 0 lên 1 công suất đạt giá trị lớn nhất bằng 219uW, lúc mạch không hoạt động công suất tĩnh rơi vào khoảng 1uW.

## 3.3. DFF with Assert low Clear and Set Control inputs

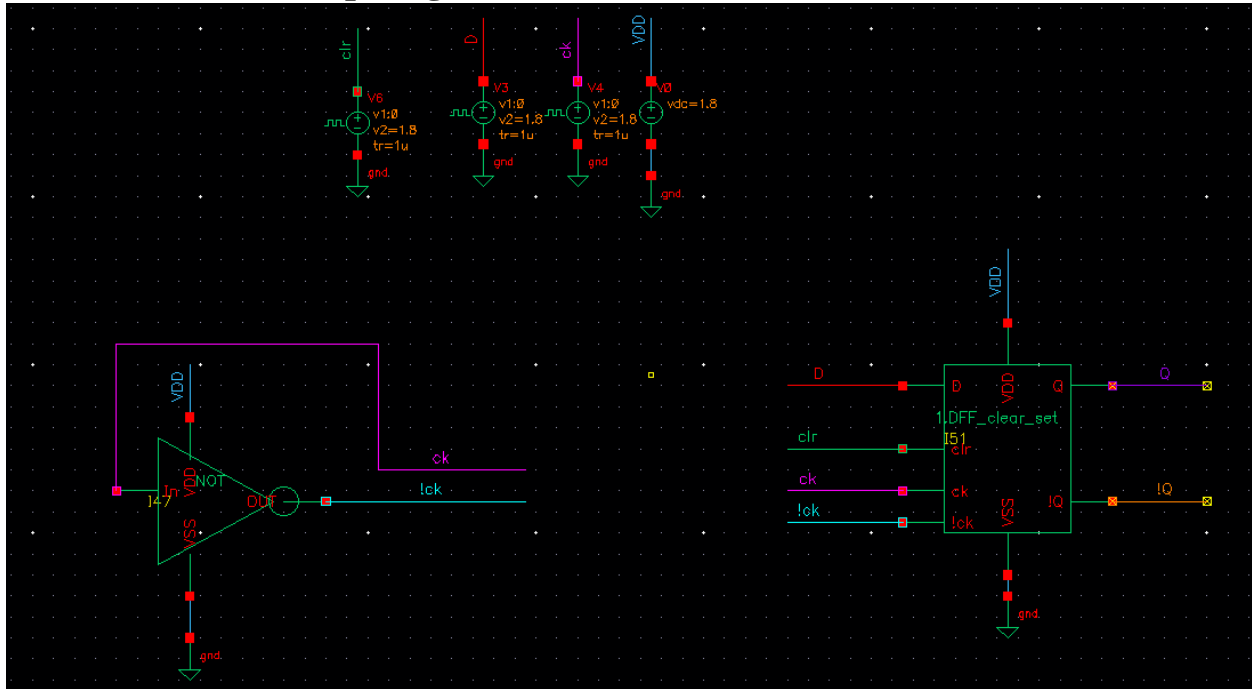
### 3.3.1. Sơ đồ nguyên lý



Hình 3.10: Sơ đồ nguyên lý

Sơ đồ nguyên lý DFF with Assert low Clear and Set Control inputs được biểu diễn như hình 3.1.

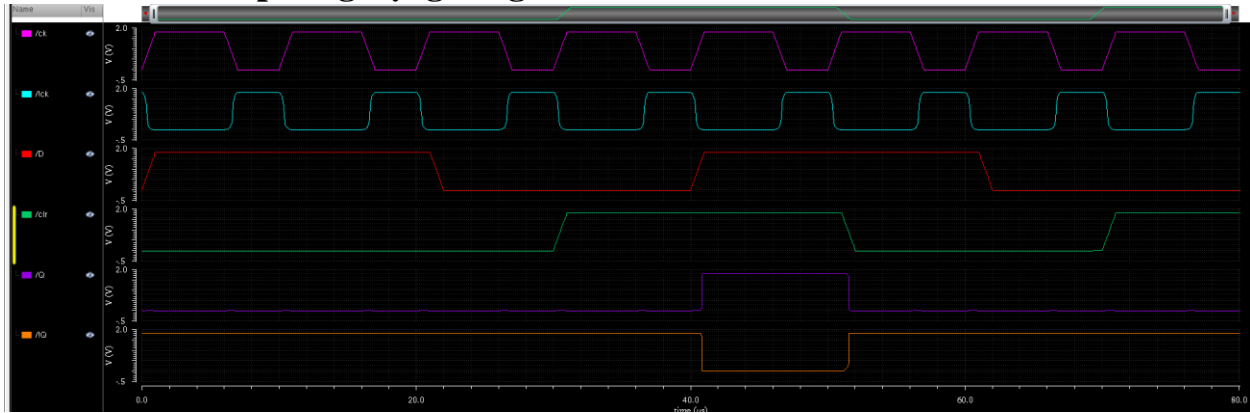
### 3.3.2. Sơ đồ mô phỏng



Hình 3.11: Sơ đồ mô phỏng

Sơ đồ mô phỏng DFF được biểu diễn như hình 2.12 với xung ck có chu kỳ 10us ngõ vào D và clr.

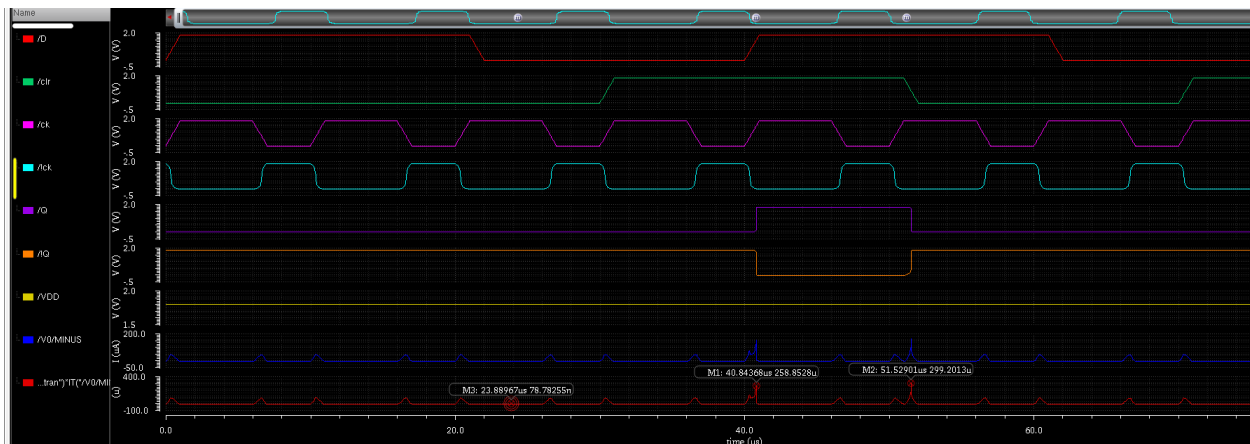
### 3.3.3. Mô phỏng dạng sóng



Hình 3.12: Mô phỏng dạng sóng

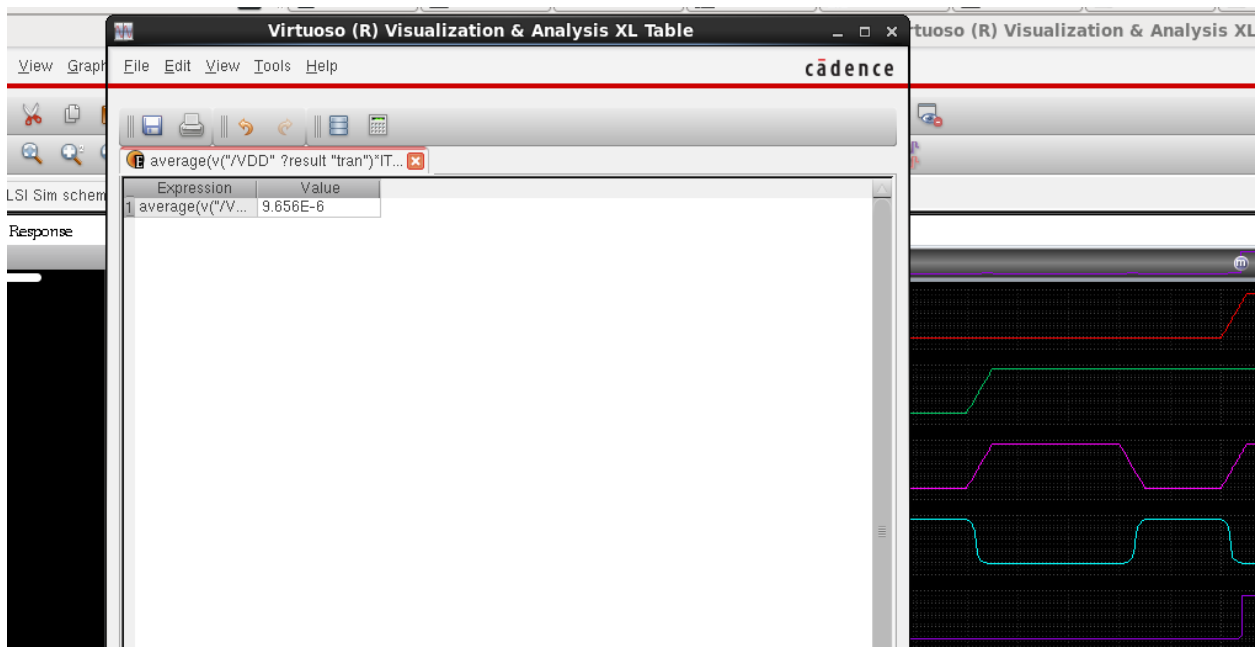
Tại thời điểm chưa có clr tác động mức 1 ngõ ra Q không thay đổi theo D, khi có xung clr tác động ngõ ra Q=D khi xung ck tác động.

### 3.3.4.Đánh giá công suất



Hình 3.13: Đánh giá công suất

Tại thời điểm ngõ ra Q thay đổi từ 0 lên 1 công suất đạt giá trị lớn nhất bằng 299uW, lúc mạch không hoạt động công suất tĩnh rơi vào khoảng 78nW.



Hình 3.14: Công suất trung bình

