

BỘ GIÁO DỤC VÀ ĐÀO TẠO
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH



Kiểm tra 1 VLSI

GVHD: Lê Minh Thành.

Sinh viên thực hiện: Nguyễn Duy Huân

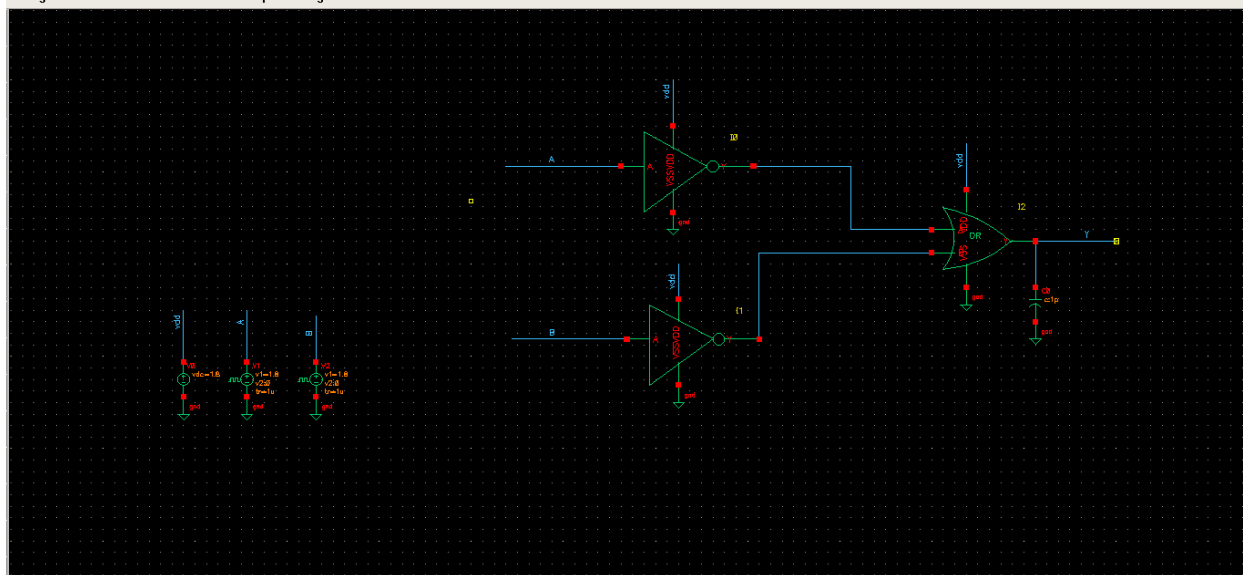
MSSV: 19119182

Mục lục

1. Sơ đồ nguyên lý mạch điện.....	3
2. Trường hợp tụ bằng 0F.	3
2.1. Mô phỏng dạng sóng.....	3
2.2. Mô phỏng delay.	4
2.2.1. Delay ứng với cạnh xuống của ngõ vào A.....	4
2.2.2. Delay ứng với cạnh lên của A.....	5
2.2.3. Delay khi ngõ vào B chênh lệch với ngõ vào A 0.1us	5
2.3. Mô phỏng công suất.....	7
2.3.1. Công suất cổng NOT A.	7
2.3.2. Công suất cổng NOT B.....	8
2.3.3. Công suất cổng OR	9
2.3.4. Công suất toàn mạch.....	10
3. Trường hợp tụ bằng 10pF	11
3.1. Mô phỏng dạng sóng.....	11
3.2. Mô phỏng delay	12
3.2.1. Delay ứng với cạnh xuống của ngõ vào A.....	12
3.2.2. Delay ứng với cạnh lên của A.....	13
3.2.3. Delay khi ngõ vào B chênh lệch với ngõ vào A 0.1us	13
3.3. Mô phỏng công suất.....	15
3.3.1. Công suất cổng NOT A.....	15
3.3.2. Công suất cổng NOT B.....	16
3.3.3. Công suất cổng OR	17
3.3.4. Công suất toàn mạch.....	18
4. Trường hợp tụ bằng 1nF	19
4.1. Mô phỏng dạng sóng.....	19
4.2. Mô phỏng delay.	20
4.3. Mô phỏng công suất.....	21

4.3.1. công suất cổng NOT A (NOT B tương tự).....	21
4.3.2. Công suất cổng OR.	22
4.3.3.Công suất toàn mạch.....	22
5.So sánh công suất tiêu thụ trung bình đối với các tụ ngõ ra khác nhau.	24
5.2. Tụ ngõ ra 1nF.....	24
5.3. Tụ ngõ ra 10pF.....	24
5.3. Tụ ngõ ra 0F.....	25
6. Tổng kết.	26
6.1. Về mặt dạng sóng ngõ ra.	26
6.2. Về mặt công suất.....	26

1. Sơ đồ nguyên lý mạch điện.

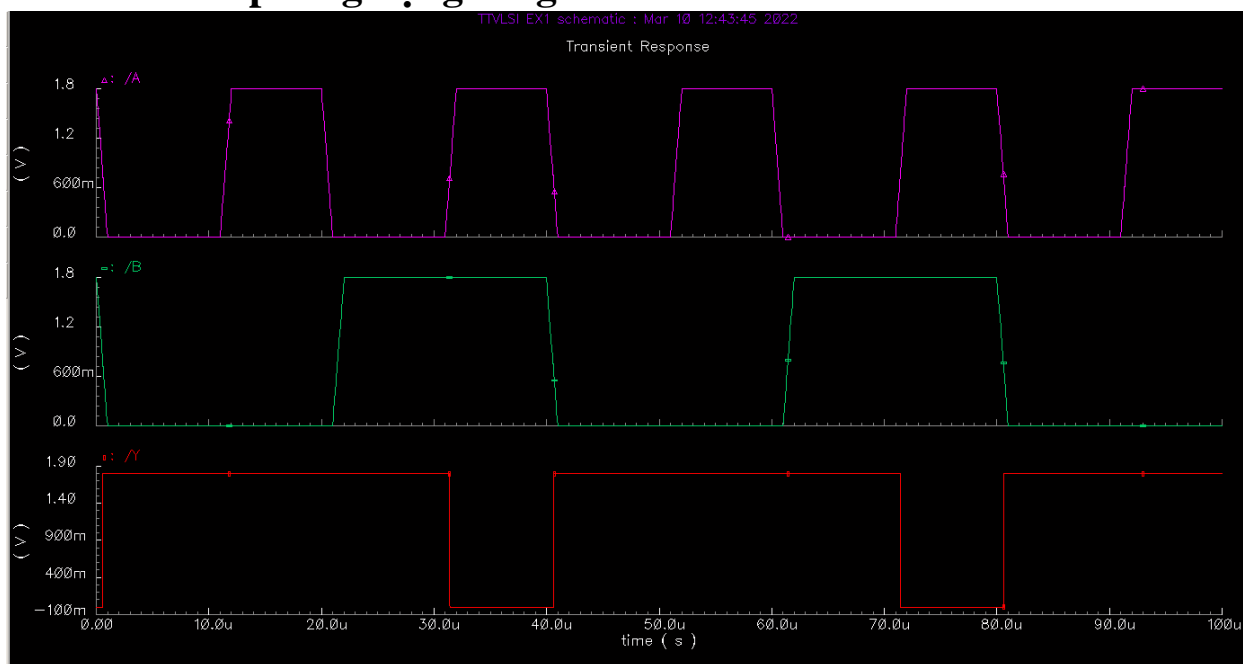


Hình 1: Sơ đồ nguyên lý mạch điện

Sơ đồ nguyên lý bao gồm 2 ngõ vào A, B được nối qua cổng NOT, và ngõ ra Y được lấy từ 2 ngõ ra của cổng NOT qua cổng OR, nguồn cấp VDD=1.8V. Và sơ đồ trên tương ứng với cổng NAND 2 ngõ vào.

2. Trường hợp tụ bằng 0F.

2.1. Mô phỏng dạng sóng.

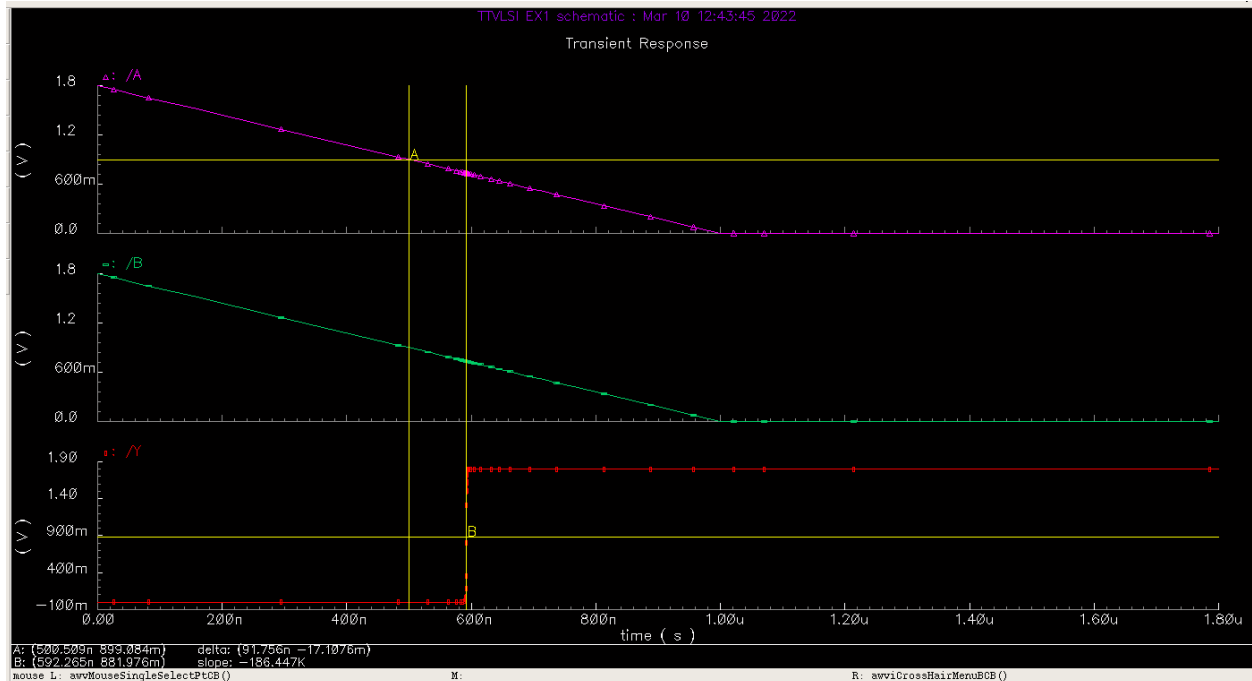


Hình 2: Mô phỏng dạng sóng khi tụ =0F

Nhận xét: Dạng sóng cho ra tương đương với cổng NAND 2 ngõ vào khi 1 trong 2 ngõ vào hoặc cả 2 ngõ vào A, B ở mức thấp thì ngõ ra Y đạt mức cao, Khi cả 2 ngõ vào cùng ở mức cao thì ngõ ra Y ở mức thấp.

2.2. Mô phỏng delay.

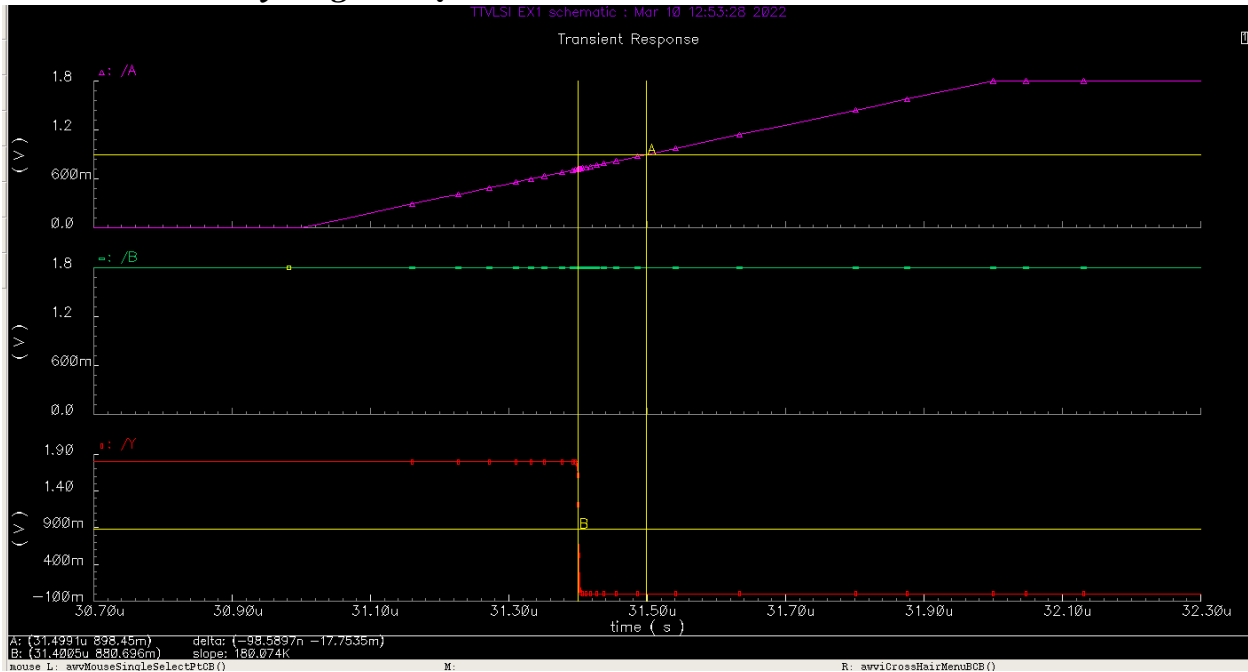
2.2.1. Delay ứng với cạnh xuống của ngõ vào A.



Hình 3: Mô phỏng delay THL

Nhận xét: tiến hành lấy 50% ngõ vào và 50% ngõ ra ta suy ra được delay bằng 92.265ns.

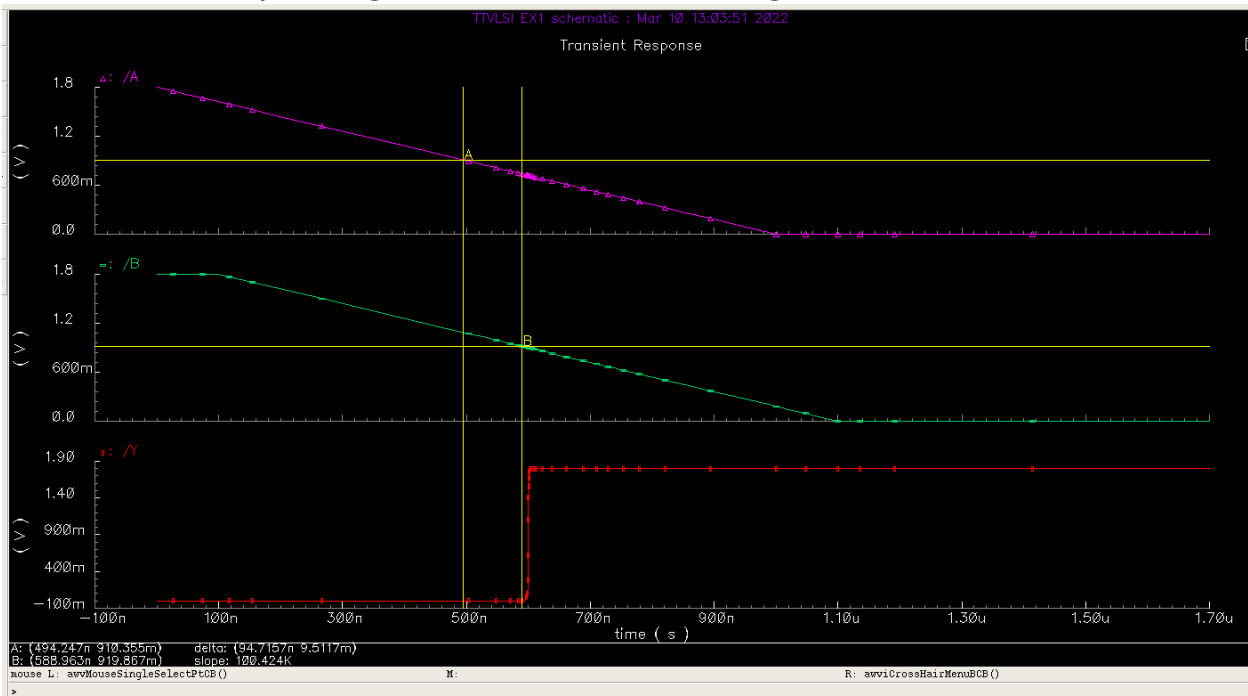
2.2.2. Delay ứng với cạnh lên của A.

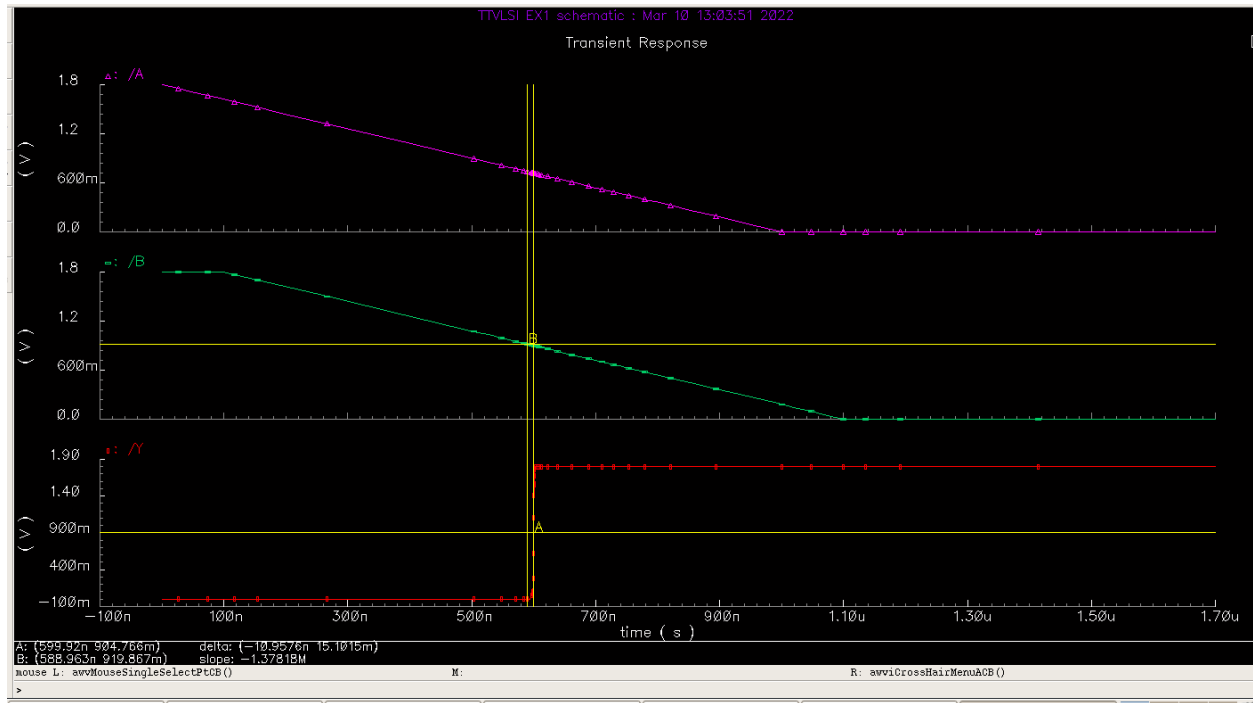


Hình 4: Mô phỏng delay TLH

Nhận xét: Tiến hành lấy 50% ngõ vào A và 50% thì thấy ngõ ra Y đáp ứng sớm trước khi ngõ vào A đạt 900mV, tức là khi ngõ vào A đạt khoảng 500mV thì ngõ ra Y đạt khoảng 900mV tương ứng với 50%.

2.2.3. Delay khi ngõ vào B chênh lệch với ngõ vào A 0.1us



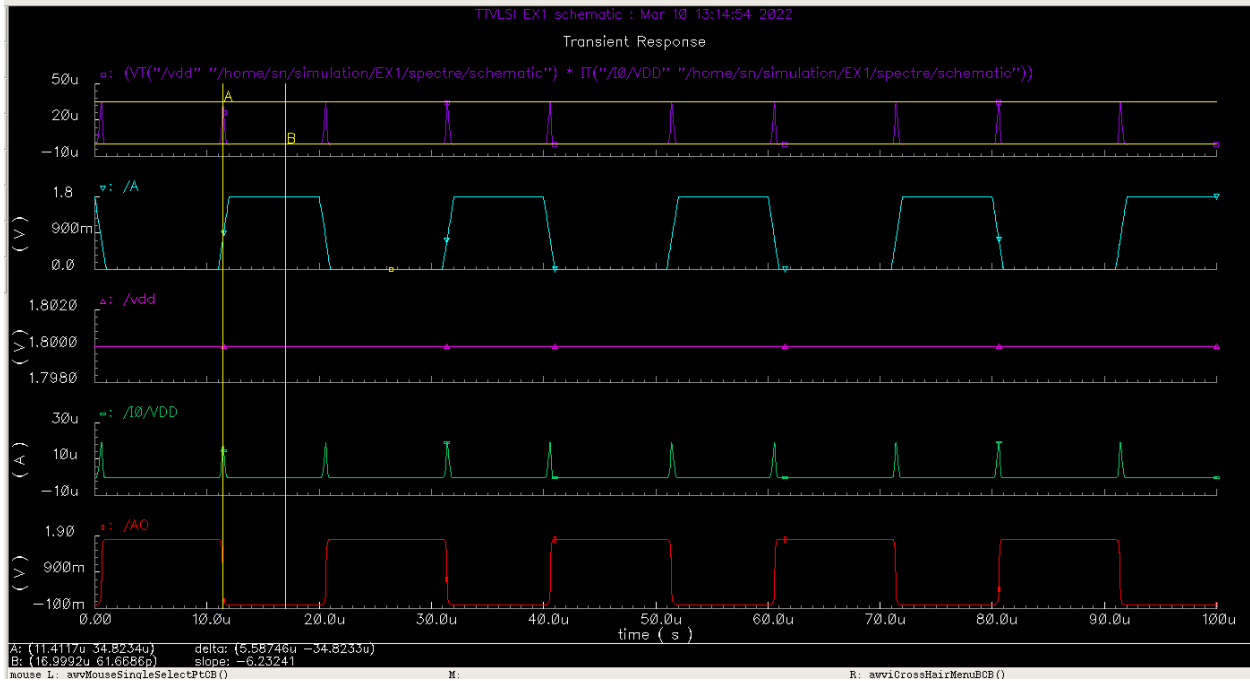


Hình 5: Delay khi ngõ vào B chênh lệch với ngõ vào A 0.1 μ s

Nhận xét: Sau khi ngõ vào B (trễ hơn so với ngõ vào A) đạt 50% VDD thì ngõ ra Y chuyển từ mức thấp lên mức cao độ trễ của ngõ ra Y so với B rơi vào khoảng 11ns và ngõ ra Y so với ngõ vào A khoảng 105ns.

2.3 Mô phỏng công suất

2.3.1. Công suất cổng NOT A.

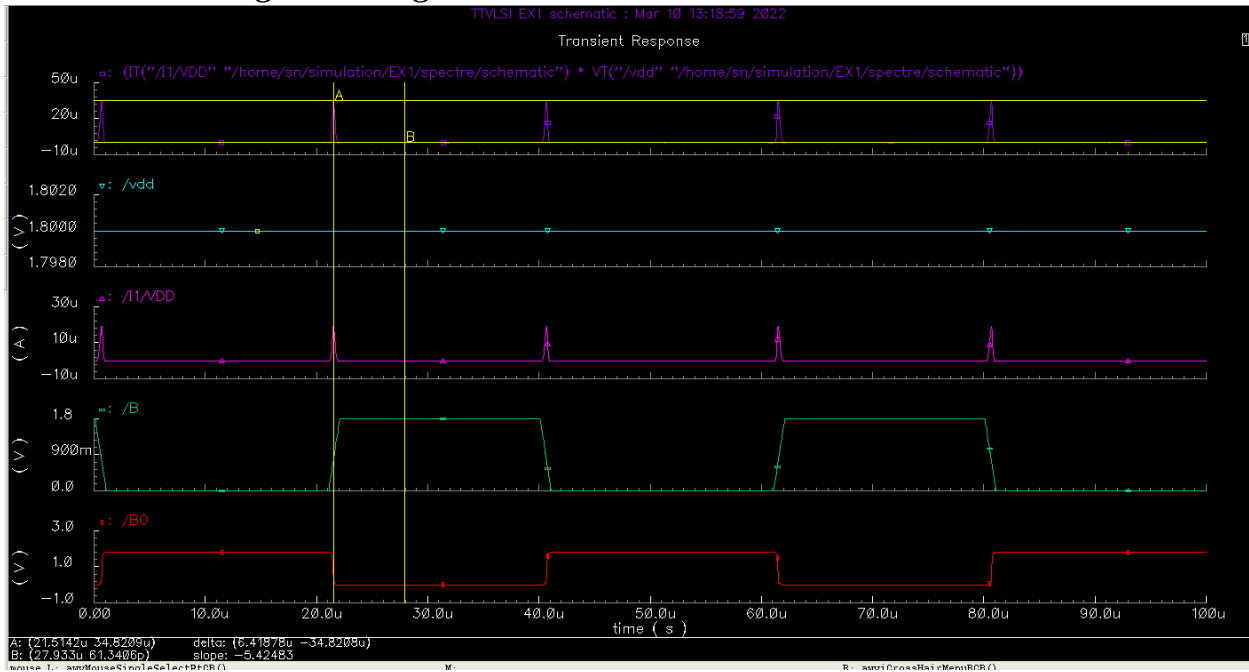


Hình 6: Công suất cổng NOT A

Nhận xét: tiến hành đo dòng cấp từ nguồn VDD vào cổng NOT A với đầu vào A ngõ ra AO dạng sóng công suất trên cùng được vẽ bằng cách lấy VDD nhân với dòng I0/VDD từ đó ta suy ra được:

- Công suất động bằng 34.8234uW.
- Công suất tĩnh bằng 61.6686pW.

2.3.2. Công suất cổng NOT B



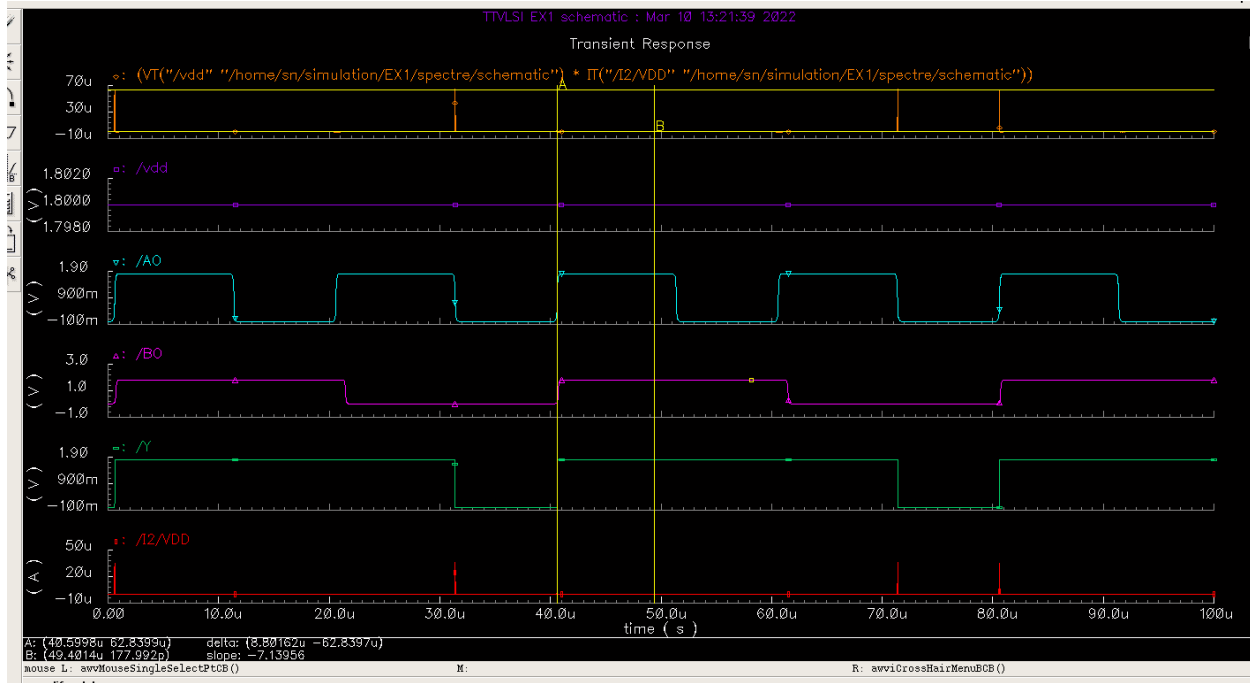
Hình 7: Công suất cổng NOT B

Nhận xét: tiến hành đo dòng cấp từ nguồn VDD vào cổng NOT B với đầu vào B ngõ ra BO dạng sóng công suất trên cùng được vẽ bằng cách lấy VDD nhân với dòng I1/VDD từ đó ta suy ra được:

-Công suất động bằng 34.8209uW.

-Công suất tĩnh bằng 61.3406pW.

2.3.3. Công suất cổng OR



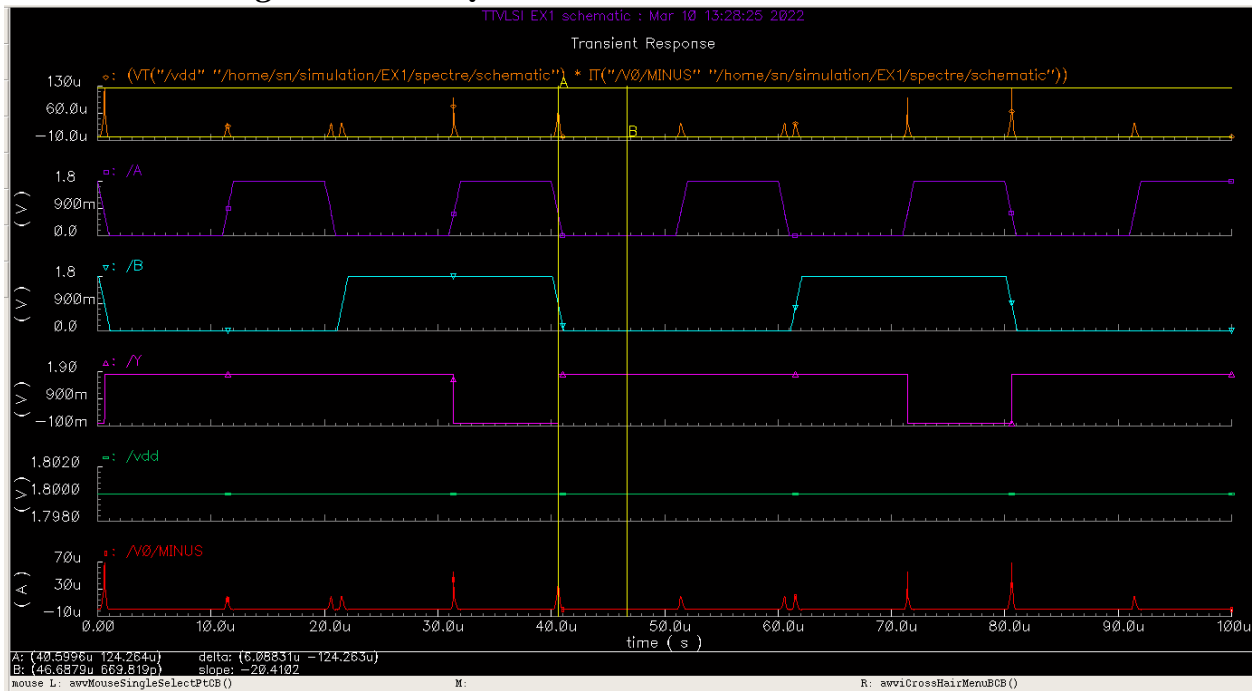
Hình 8: Công suất cổng OR

Nhận xét: tiến hành đo dòng cấp từ nguồn VDD vào cổng OR với đầu vào BO, AO ngõ ra Y dạng sóng công suất trên cùng được vẽ bằng cách lấy VDD nhân với dòng I2/VDD từ đó ta suy ra được:

-Công suất động bằng 62.8399uW.

-Công suất tĩnh bằng 177.992pW.

2.3.4. Công suất toàn mạch.



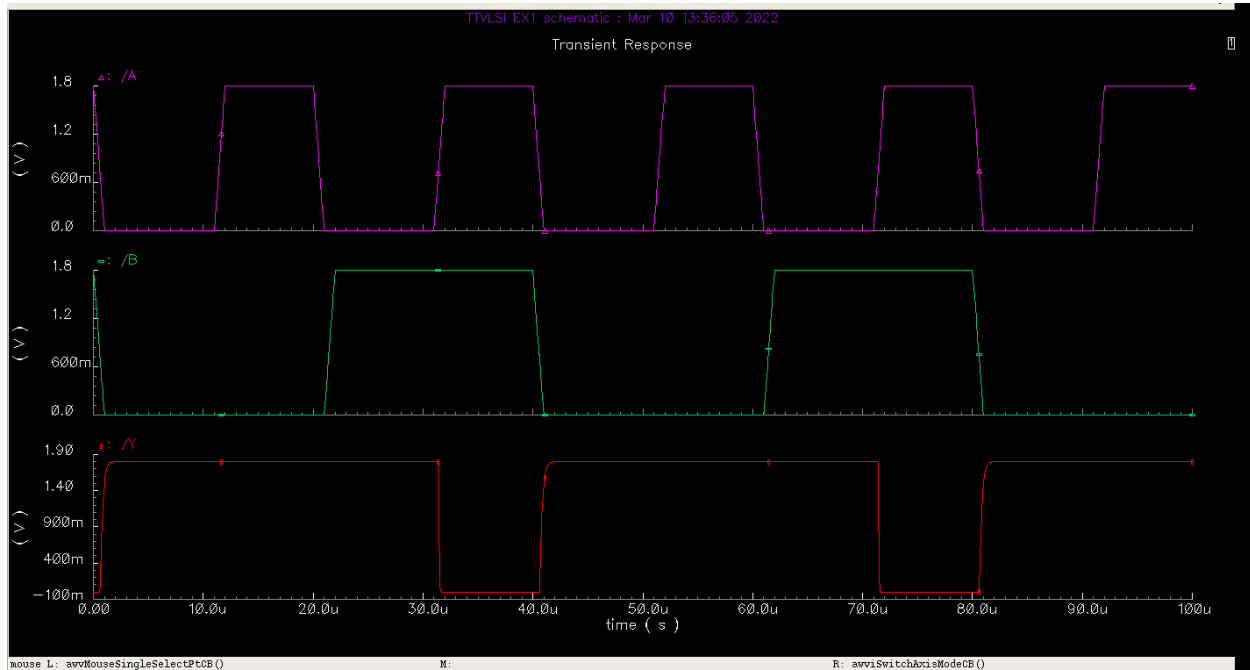
Hình 9: Công suất toàn mạch.

Nhận xét: tiến hành đo dòng cấp từ nguồn VDD vào toàn mạch với đầu vào B, A ngõ ra Y dạng sóng công suất trên cùng được vẽ bằng cách lấy VDD nhân với dòng VO/MINUS (dòng nguồn VDD cấp cho toàn mạch) từ đó ta suy ra được:

- Công suất động cao nhất bằng 124.264uW.
- Công suất tĩnh bằng 669.819pW.

3. Trường hợp tụ bằng 10pF

3.1. Mô phỏng dạng sóng

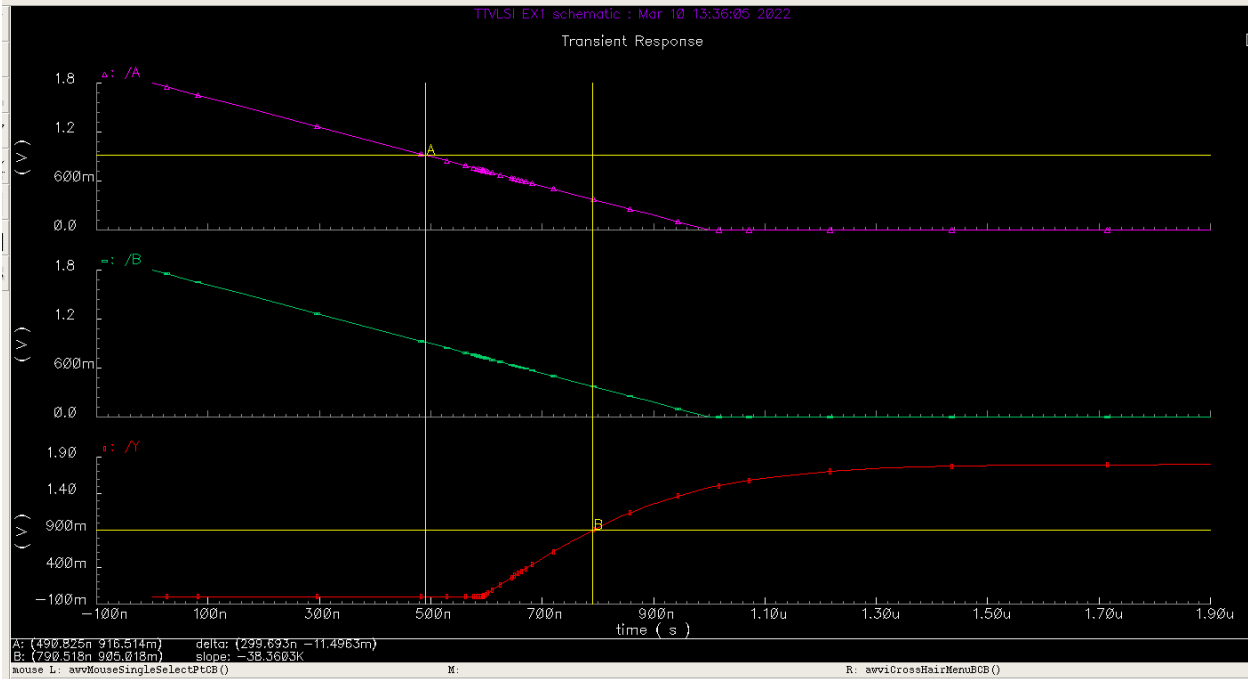


Hình 10: Mô phỏng dạng sóng khi tụ =10pF

Nhận xét: Dạng sóng cho ra tương đương với cổng NAND 2 ngõ vào khi 1 trong 2 ngõ vào hoặc cả 2 ngõ vào A, B ở mức thấp thì ngõ ra Y đạt mức cao, Khi cả 2 ngõ vào cùng ở mức cao thì ngõ ra Y ở mức thấp.

3.2. Mô phỏng delay

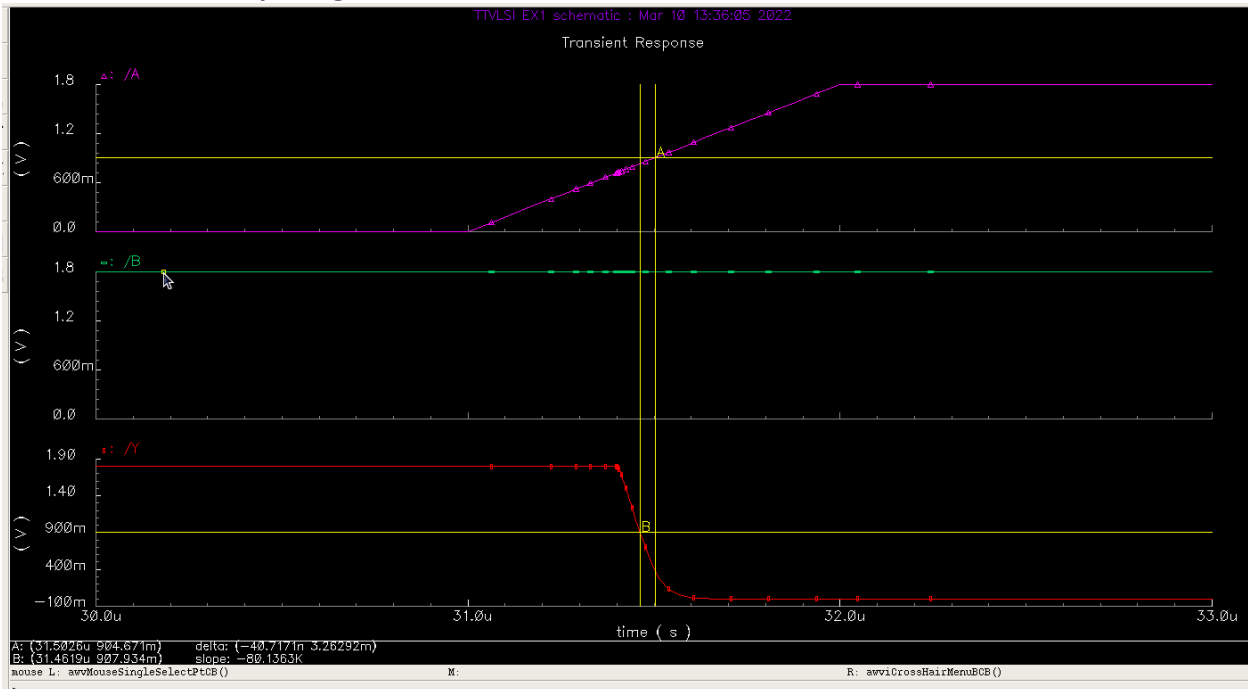
3.2.1. Delay ứng với cạnh xuống của ngõ vào A.



Hình 11: Mô phỏng delay THL

Nhận xét: tiến hành lấy 50% ngõ vào và 50% ngõ ra ta suy ra được delay bằng 300ms.

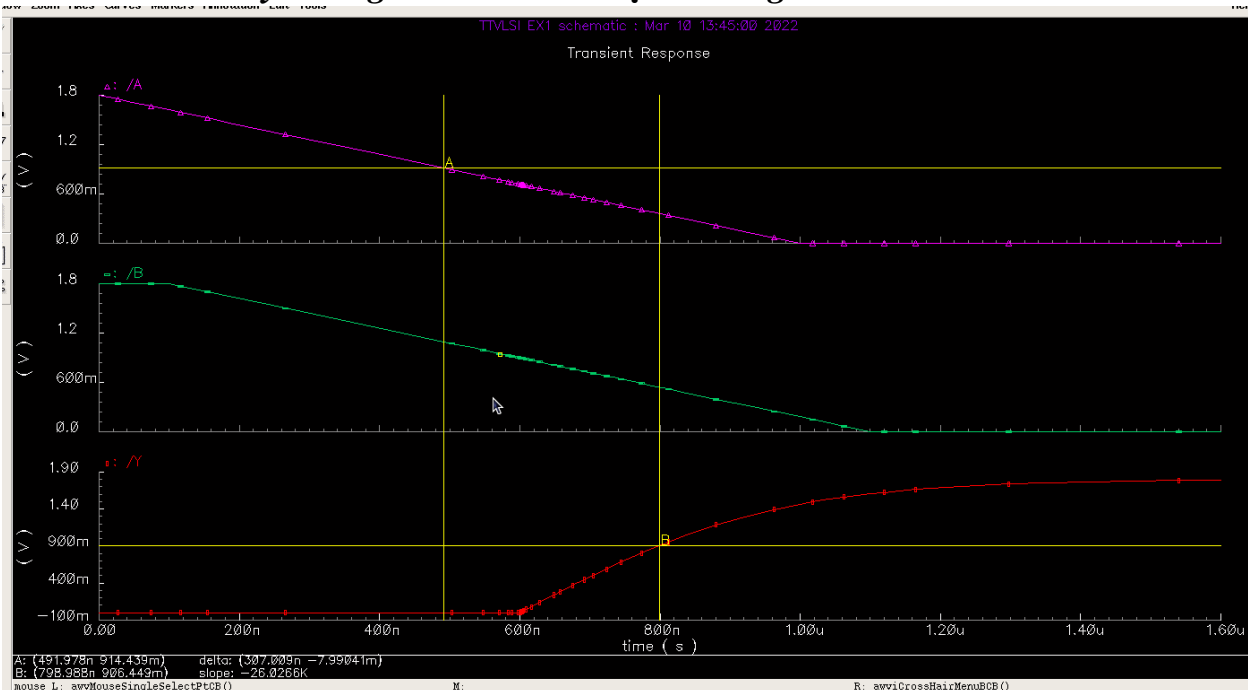
3.2.2. Delay ứng với cạnh lên của A.

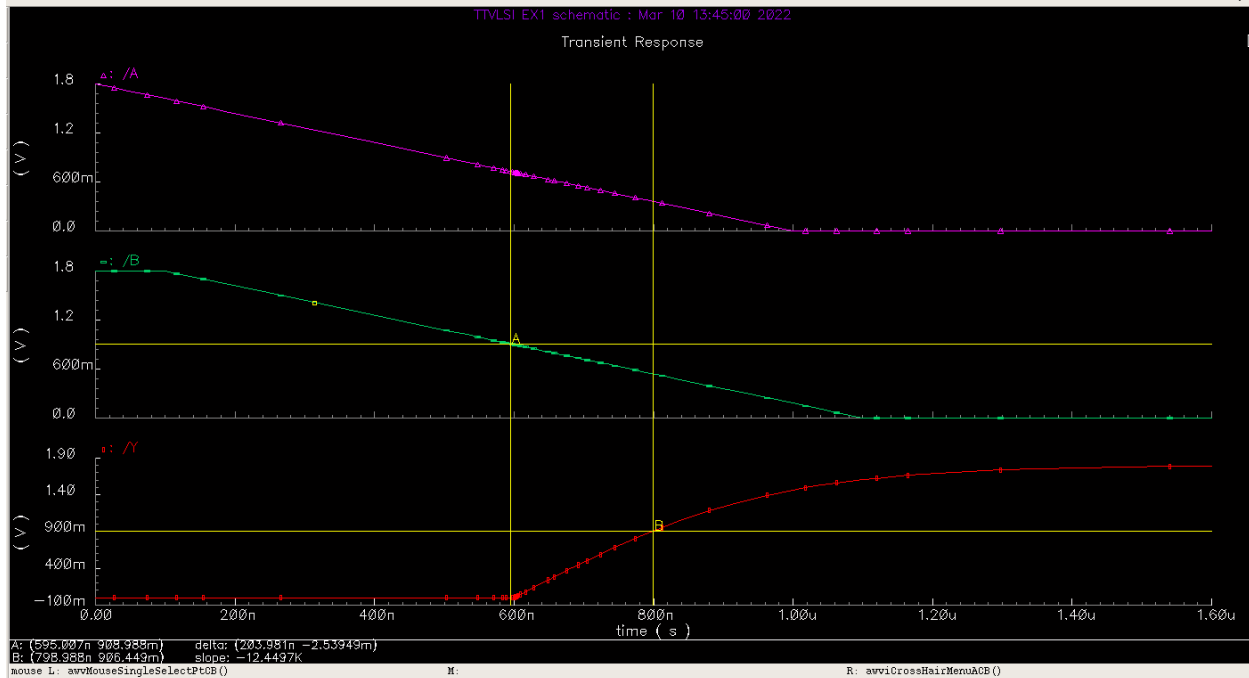


Hình 12: Mô phỏng delay TLH

Nhận xét: Tiến hành lấy 50% ngõ vào A và 50% thì thấy ngõ ra Y đáp ứng sớm trước khi ngõ vào A đạt 900mV, tức là khi ngõ vào A đạt khoảng 800mV thì ngõ ra Y đạt khoảng 900mV tương ứng với 50%.

3.2.3. Delay khi ngõ vào B chênh lệch với ngõ vào A 0.1us



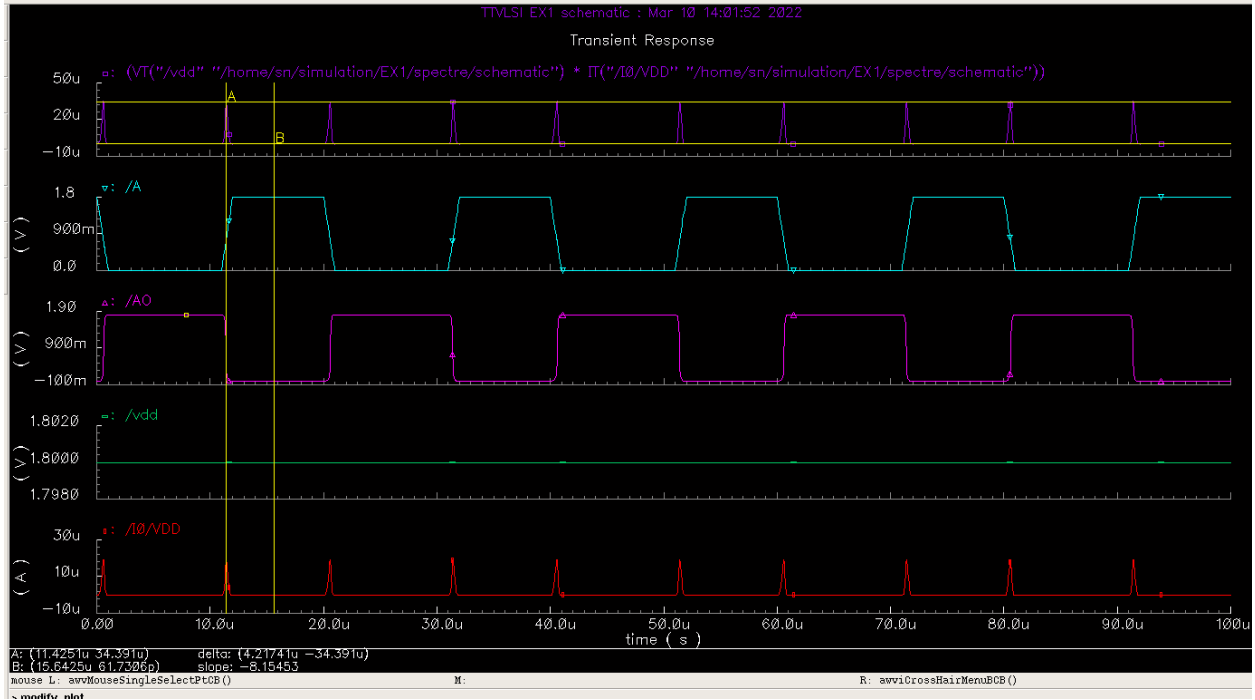


Hình 13: Delay khi ngõ vào B chênh lệch với ngõ vào A 0.1us

Nhận xét: Sau khi ngõ vào B (trễ hơn so với ngõ vào A) đạt 50% VDD thì ngõ ra Y chuyển từ mức thấp lên mức cao độ trễ của ngõ ra Y so với B rơi vào khoảng 203ms và ngõ ra Y so với ngõ vào A khoảng 307ms.

3.3. Mô phỏng công suất.

3.3.1. Công suất cổng NOT A

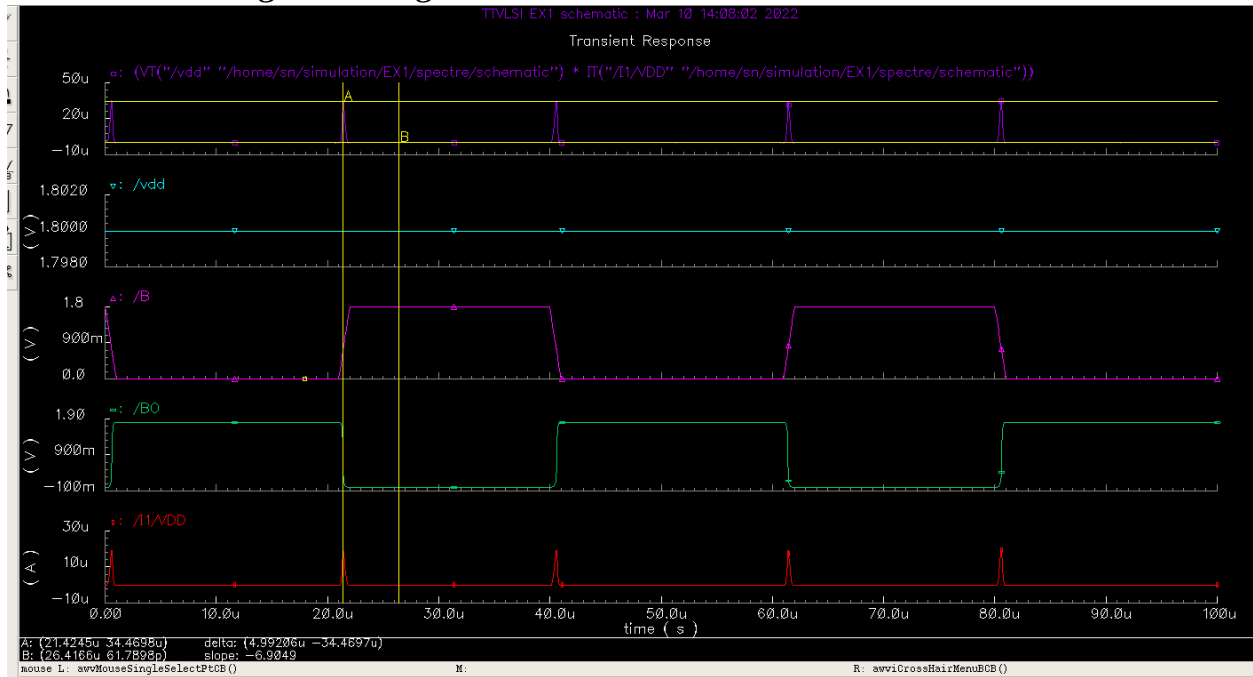


Hình 14: Công suất cổng NOT A

Nhận xét: tiến hành đo dòng cấp từ nguồn VDD vào cổng NOT A với đầu vào A ngõ ra AO dạng sóng công suất trên cùng được vẽ bằng cách lấy VDD nhân với dòng I_0/VDD từ đó ta suy ra được:

- Công suất động bằng 34.391uW.
- Công suất tĩnh bằng 61.7306pW.

3.3.2. Công suất cổng NOT B

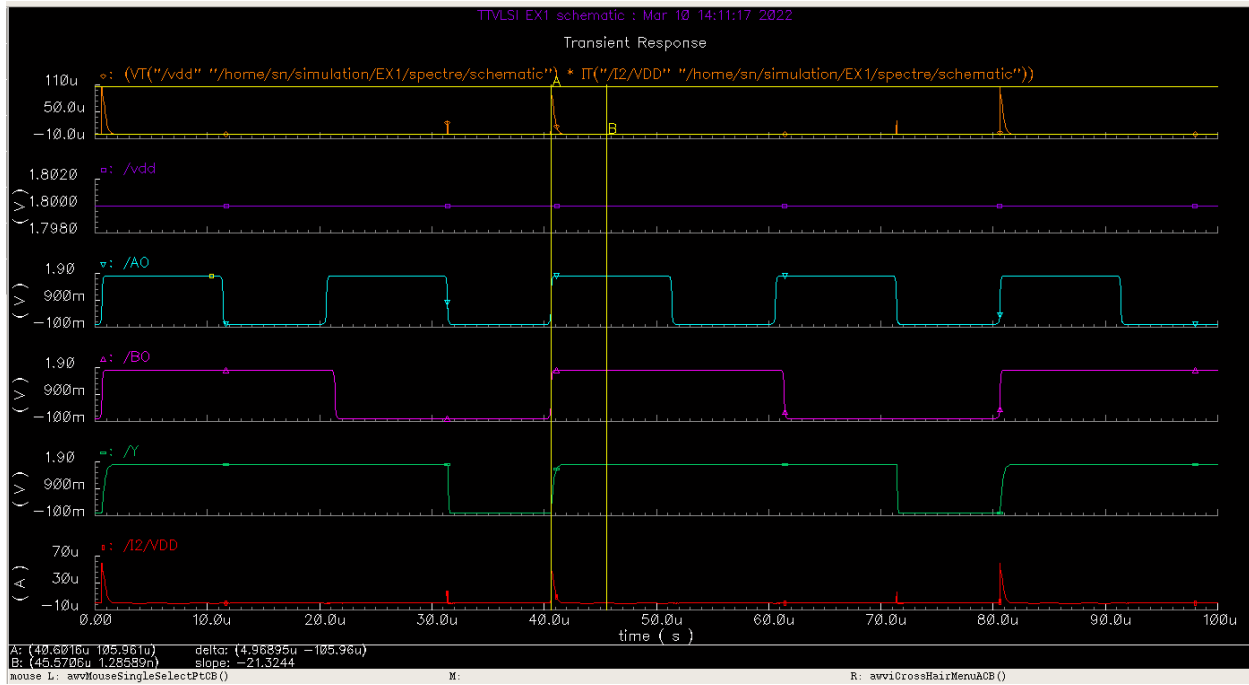


Hình 15: Công suất cổng NOT B

Nhận xét: tiến hành đo dòng cấp từ nguồn VDD vào cổng NOT B với đầu vào B ngõ ra BO dạng sóng công suất trên cùng được vẽ bằng cách lấy VDD nhân với dòng I1/VDD từ đó ta suy ra được:

- Công suất động bằng 34.4698uW.
- Công suất tĩnh bằng 61.7898pW.

3.3.3. Công suất cổng OR

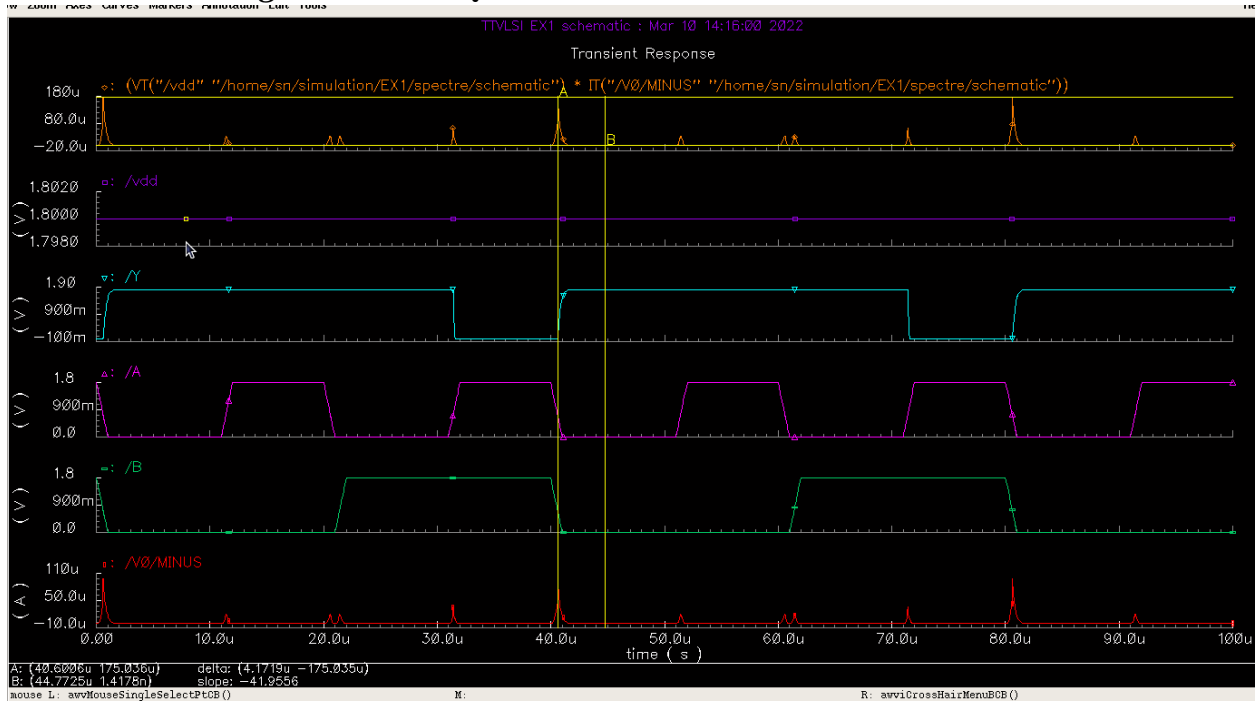


Hình 16: Công suất cổng OR

Nhận xét: tiến hành đo dòng cấp từ nguồn VDD vào cổng OR với đầu vào BO, AO ngõ ra Y dạng sóng công suất trên cùng được vẽ bằng cách lấy VDD nhân với dòng I2/VDD từ đó ta suy ra được:

- Công suất động bằng 105.961uW.
- Công suất tĩnh bằng 1.28589nW.

3.3.4. Công suất toàn mạch



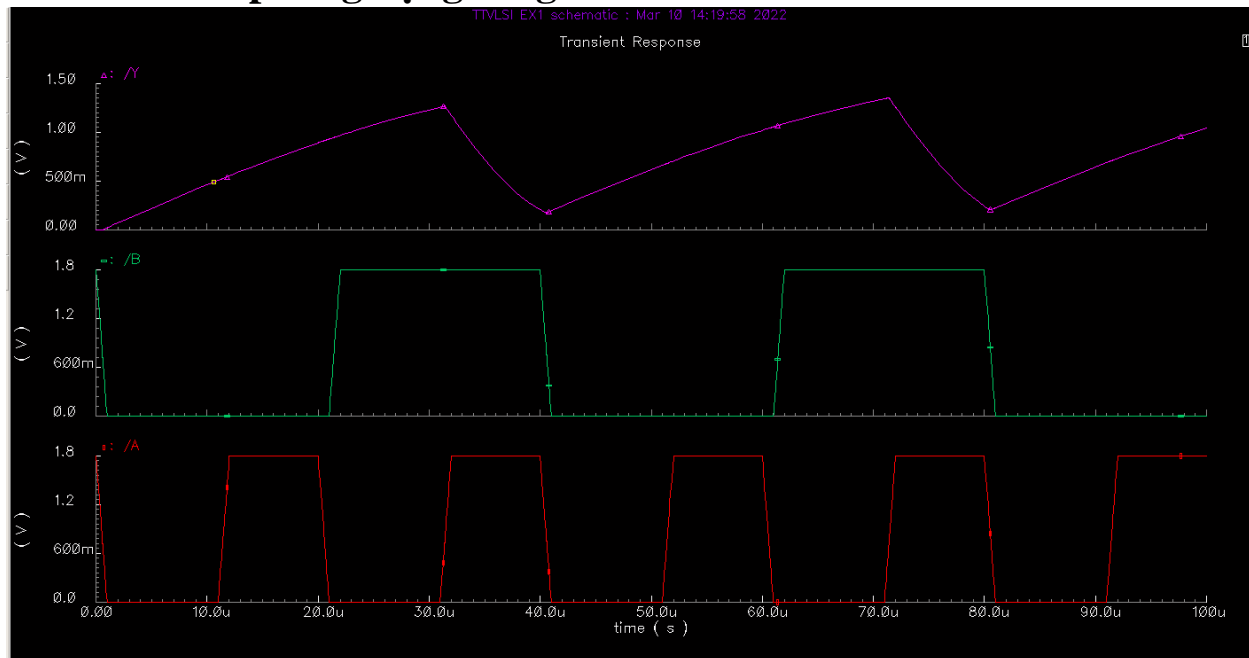
Hình 17: Công suất toàn mạch

Nhận xét: tiến hành đo dòng cấp từ nguồn VDD vào toàn mạch với đầu vào B, A ngõ ra Y dạng sóng công suất trên cùng được vẽ bằng cách lấy VDD nhân với dòng VO/MINUS (dòng nguồn VDD cấp cho toàn mạch) từ đó ta suy ra được:

- Công suất động cao nhất bằng 175.036uW.
- Công suất tĩnh bằng 1.4178pW.

4. Trường hợp tụ bằng 1nF

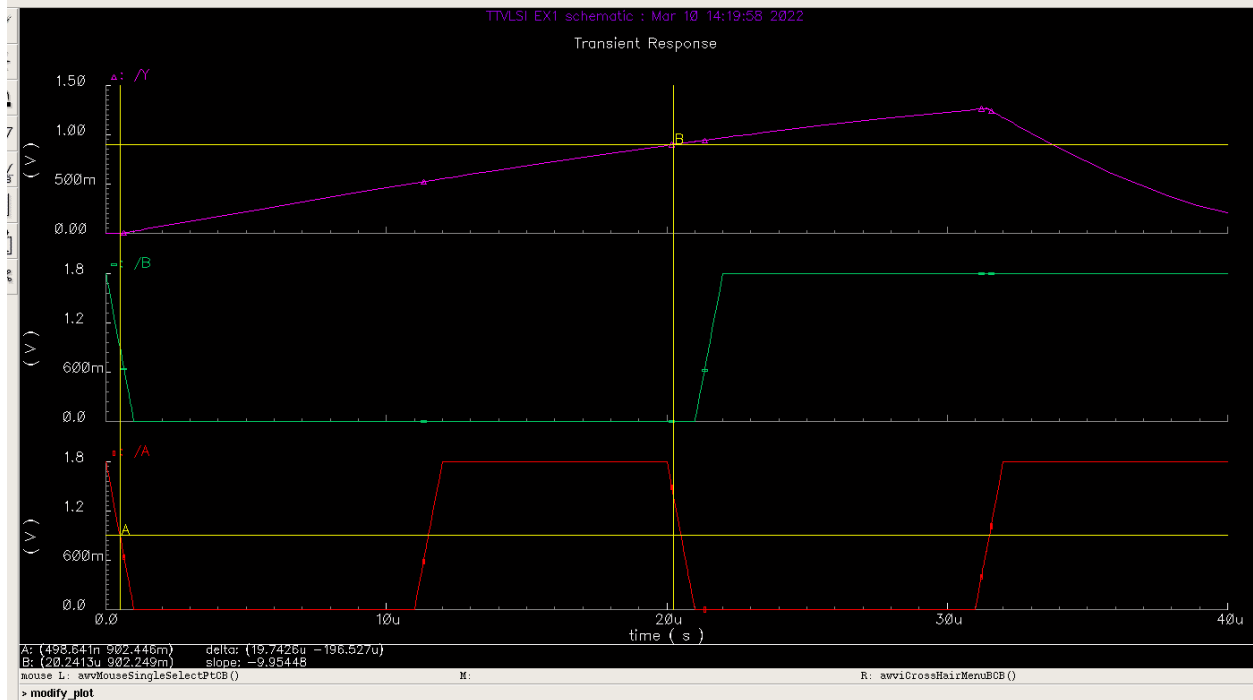
4.1. Mô phỏng dạng sóng



Hình 18: mô phỏng dạng sóng với tụ 1nF

Nhận xét: ở trường hợp tụ =1nF thì lớn hơn rất nhiều so với không có tụ và 10pF nên thời gian nạp xả của tụ sẽ lâu hơn rất nhiều khi đó mức logic của ngõ ra Y thay đổi mức 1 thì tụ nạp và mức 0 thì tụ xả vì thời gian nạp xả lâu nên dạng sóng bị delay và không cho ra mức logic như 2 trường hợp trên.

4.2. Mô phỏng delay.



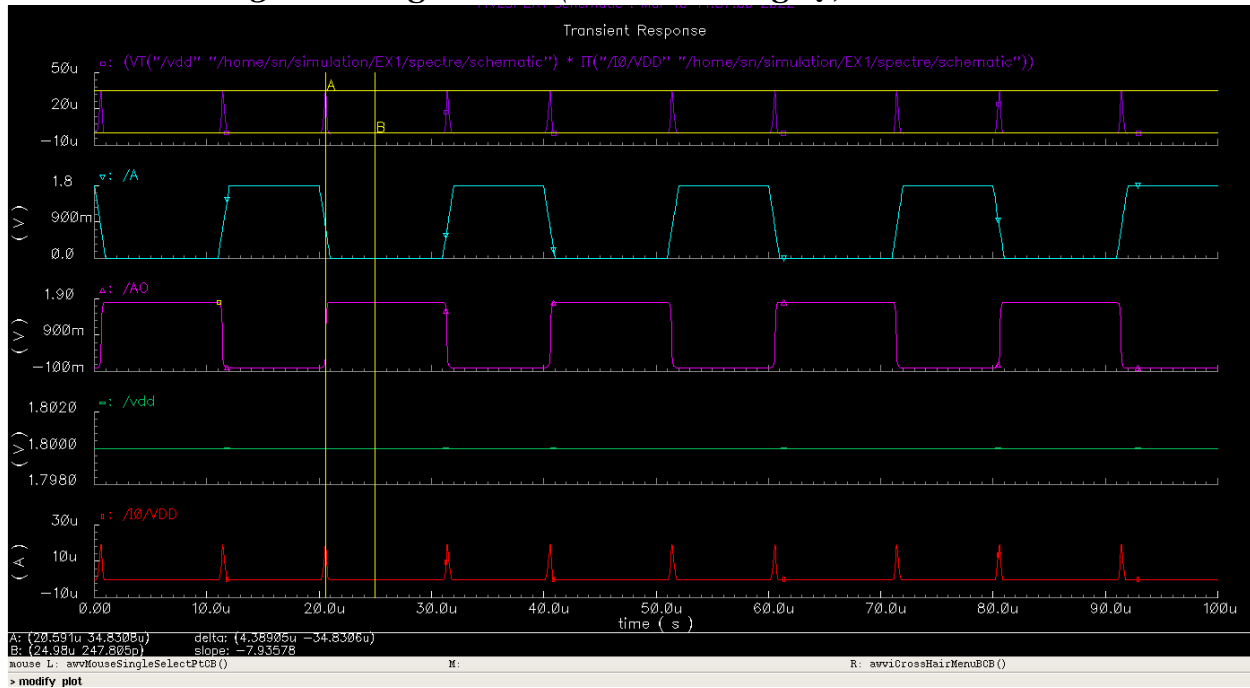
Hình 19: Mô phỏng delay

Nhận xét: tiến hành lấy 50% ngõ vào và ra thì khi ngõ ra đạt mức 0.9V thì thời gian trễ khá cao rồi vào khoảng 19.5us.

Vì độ delay khá cao do tụ quá lớn nên mức logic ngõ ra Y không đạt được mức cao nhất là 1.8V và đồ trễ lớn khiến mạch không biểu thị được mức logic chính xác.

4.3. Mô phỏng công suất

4.3.1. công suất cổng NOT A (NOT B tương tự)

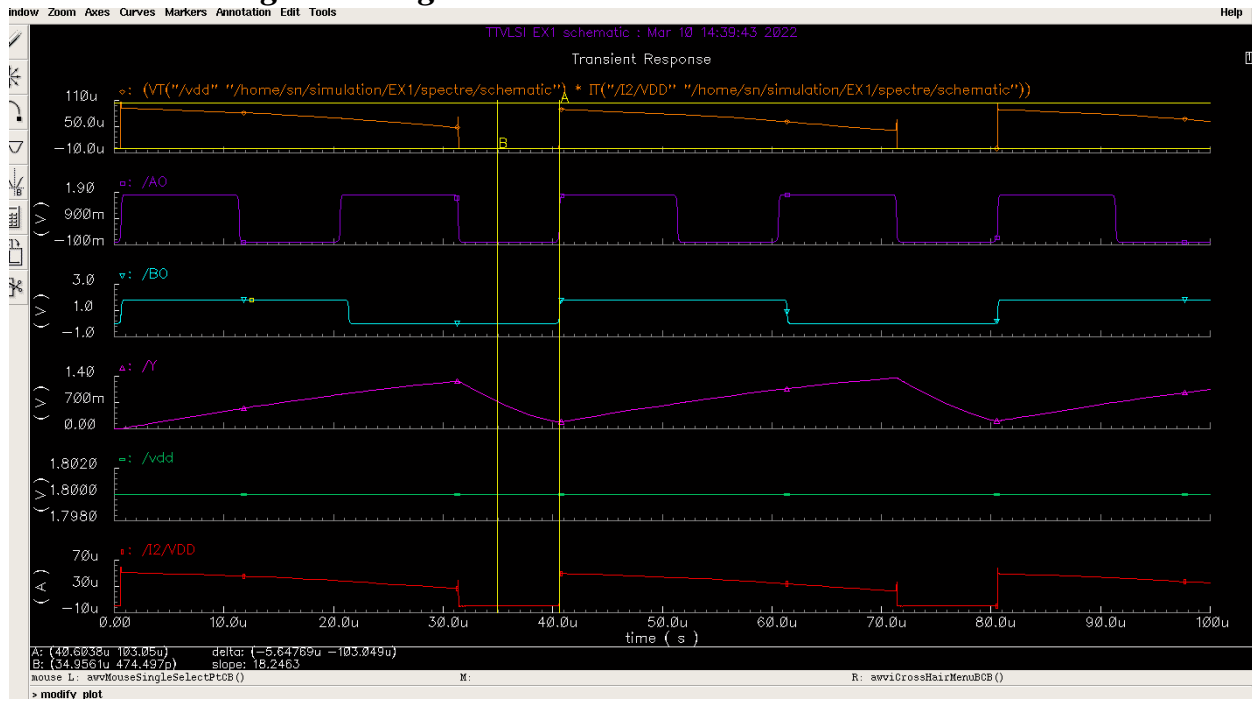


Hình 20 : Công suất cổng NOT

Nhận xét: tiến hành đo dòng cấp từ nguồn VDD vào cổng NOT A với đầu vào A ngõ ra AO dạng sóng công suất trên cùng được vẽ bằng cách lấy VDD nhân với dòng I0/VDD từ đó ta suy ra được:

- Công suất động bằng 34.830uW.
- Công suất tĩnh bằng 247.805pW.

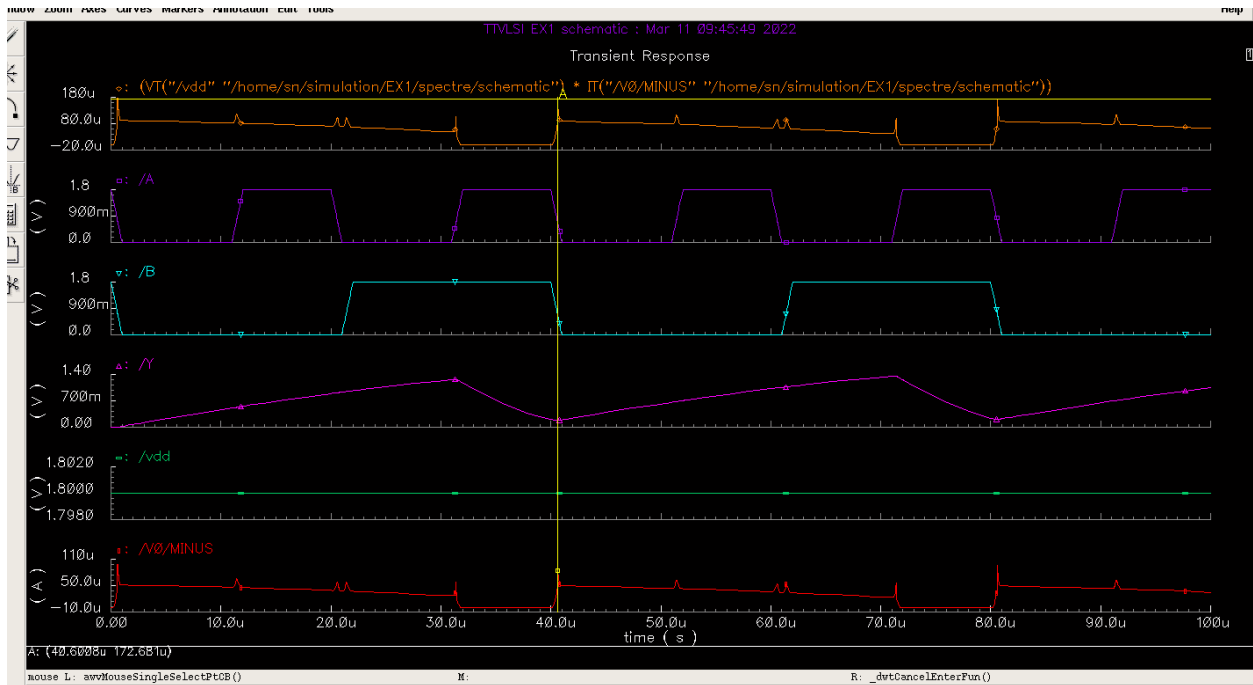
4.3.2. Công suất cổng OR.



Hình 21: Công suất cổng OR

Nhận xét: Vì ngõ ra không ổn định do tụ quá lớn khiến cho dòng I không ổn định (mức logic không biểu hiện được) mà công suất bằng dòng nhân áp nên biểu đồ công suất sẽ tương đương với biểu đồ dòng I

4.3.3. Công suất toàn mạch

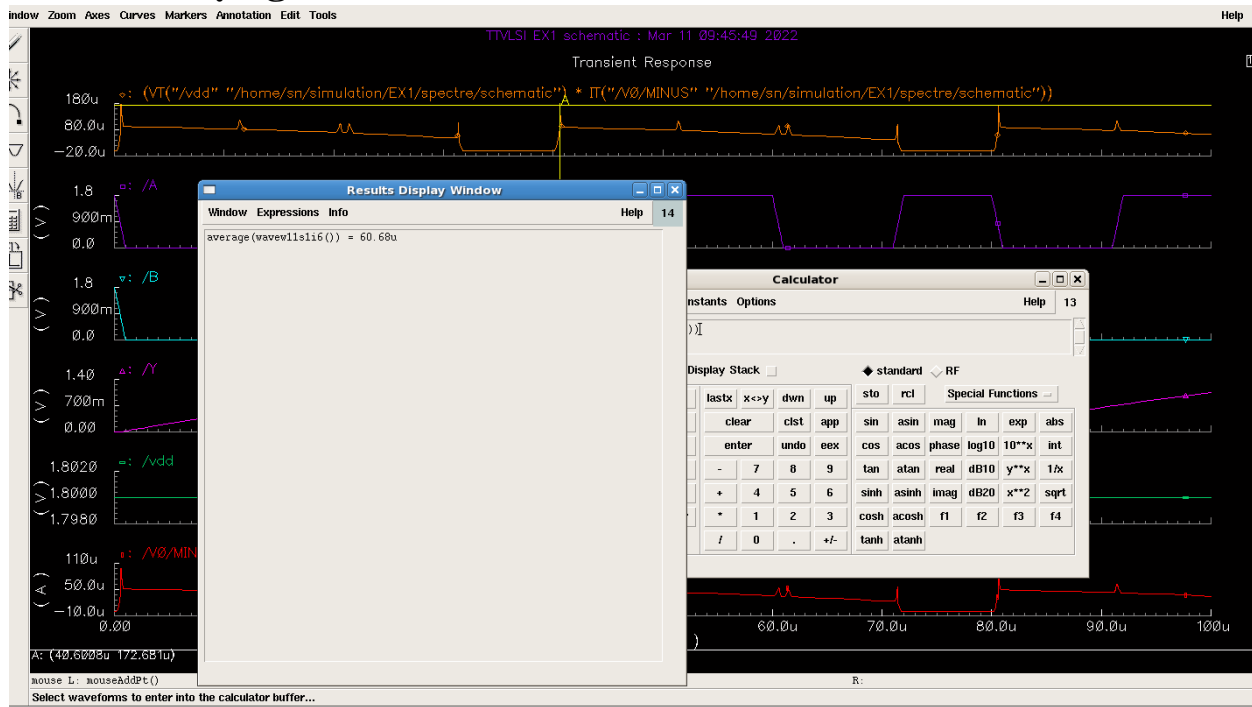


Hình 22: Công suất toàn mạch

Nhận xét: Vì ngõ ra kết nối với tụ quá lớn nên biểu đồ công suất toàn mạch cũng tương tự như cổng OR ở trên.

5. So sánh công suất tiêu thụ trung bình đối với các tụ ngõ ra khác nhau.

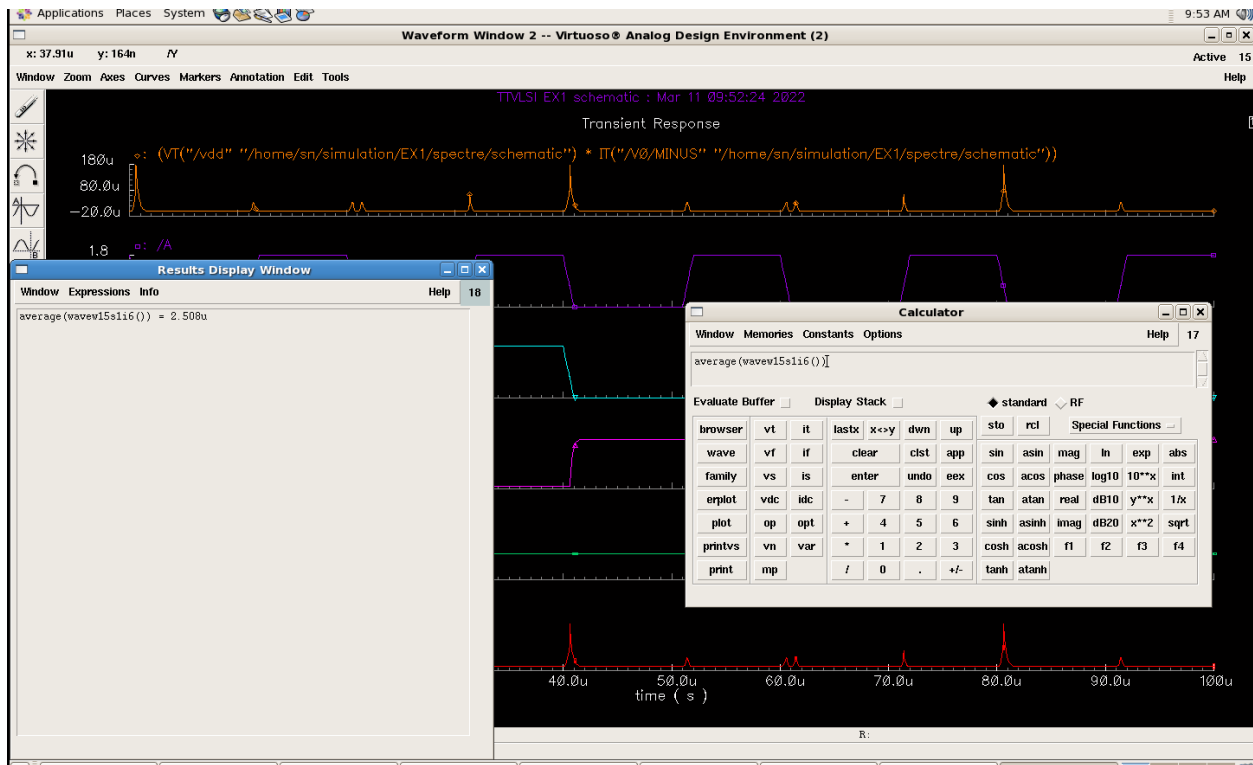
5.2. Tụ ngõ ra 1nF



Hình 23: Công suất trung bình với tụ 1nF

Nhận xét: giá trị công suất $P_{avg}=60.60\mu W$

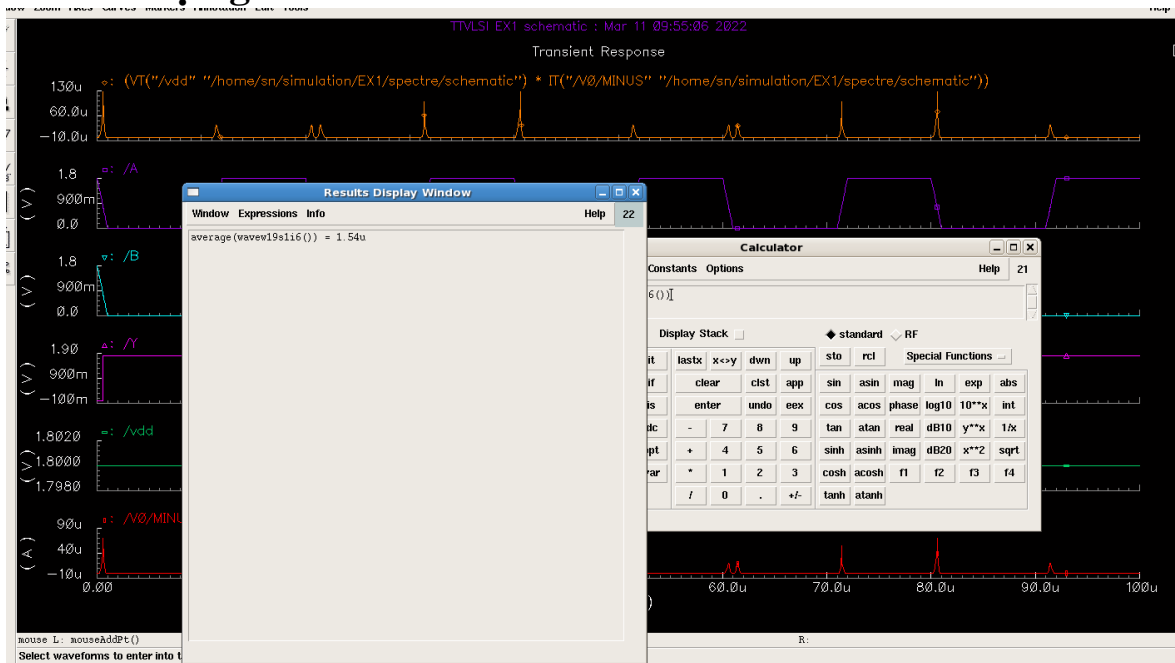
5.3. Tụ ngõ ra 10pF



Hình 24: Công suất trung bình với tụ 1nF

Nhận xét: giá trị công suất $P_{avg}=2.500uW$

5.3. Tụ ngõ ra 0F



Hình 24: Công suất trung bình với tụ 1nF

Nhận xét: giá trị công suất $P_{avg}=1.540\text{uW}$.

6. Tổng kết.

6.1. Về mặt dạng sóng ngõ ra.

Dựa vào các mục mô phỏng ở trên ta có thể kết luận dạng sóng ngõ ra Y phụ thuộc rất lớn vào thành phần tụ kí sinh ở ngõ ra, cụ thể là độ trễ sẽ chênh lệch lớn khi thành phần tụ kí sinh lớn dần đồng thời làm tăng thời gian trễ của mạch.

6.2. Về mặt công suất.

-Từ đó có thể rút ra kết luận công suất toàn mạch sẽ bị ảnh hưởng cụ thể là sẽ rất lớn khi mà thành phần tụ kí sinh ở ngõ ra , ngoài ra các công suất tức thời tạo ra tại thời điểm chuyển mạch và công suất tĩnh khi mạch không có sự thay đổi logic cũng tăng khi thành phần kí sinh tụ ngõ ra tăng.

