**BỘ GIÁO DỤC VÀ ĐÀO TẠO**

**TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT**

**THÀNH PHỐ HỒ CHÍ MINH**

A picture containing text, clipart

Description automatically generated

**BÁO CÁO TT VLSI-CT7-012**

**GVHD: Lê Minh Thành.**

**Sinh viên thực hiện: Nguyễn Duy Huân**

**MSSV: 19119182**

**Mục lục**

[Phần 1: Shift Register SIPO 4 bit 2](#_Toc103004462)

[1.1. Sơ đồ nguyên lý 2](#_Toc103004463)

[1.2.Sơ đồ mô phỏng 3](#_Toc103004464)

[1.3. Mô phỏng logic 4](#_Toc103004465)

[1.4.Đánh giá công suất 5](#_Toc103004466)

[Phần 2: Counter 4bit Up and Down 6](#_Toc103004467)

[2.1.Sơ đồ nguyên lí 6](#_Toc103004468)

[2.3.Mô phỏng mức logic 7](#_Toc103004469)

[2.4.Đánh giá công suất 7](#_Toc103004470)

[Phần 3: Layout cổng NOT 9](#_Toc103004471)

# Phần 1: Shift Register SIPO 4 bit

## 1.1. Sơ đồ nguyên lý

Diagram

Description automatically generated

Hình 1.1: Sơ đồ nguyên lý

Sơ đồ nguyên lý mạch shift register 4 bit bao gồm 2 tầng DFF được điều khiển bởi 2 xung RCLK và SRCLK, tín hiệu rst mức thấp.

## 1.2.Sơ đồ mô phỏng

A screenshot of a computer screen

Description automatically generated with medium confidence

Hình 1.2: Sơ đồ mô phỏng

Nguồn VDD cấp 1V, xung SRCLK và RCLK có chu kì xung là 1us và độ rộng xung 50% ngõ vào Ser cho 4 bit 1000 và quan sát ngõ ra sau 4 chu kì xung RCLK.

## 1.3. Mô phỏng logic

Graphical user interface

Description automatically generated

Graphical user interface

Description automatically generated with medium confidence

Hình 1.3: Mô phỏng logic

Khi xung RST tác động mức thấp mạch không hoạt động, tất cả ngõ ra Q =0. Khi RST tác động mức cao mạch hoạt động tương ứng với sự thay đổi của ngõ vào SER = 1000 thì sau 4 chu kì xung RCLK ngõ ra cho ra kết quả 1000 với Q0 là bit thấp nhất và Q3 là bit cao nhất. Có thể kết luật mạch hoạt động đúng mức logic.

## 1.4.Đánh giá công suất

Graphical user interface

Description automatically generated

Hình 1.4: Đánh giá công suất

Mạch đạt công suất max tại thời điểm RST tác động rơi vào khoảng 78uW, các trường hợp khác tầm 40 – 60 uW, công suất tĩnh rơi vào khoảng 500nW.

Graphical user interface, application, Word

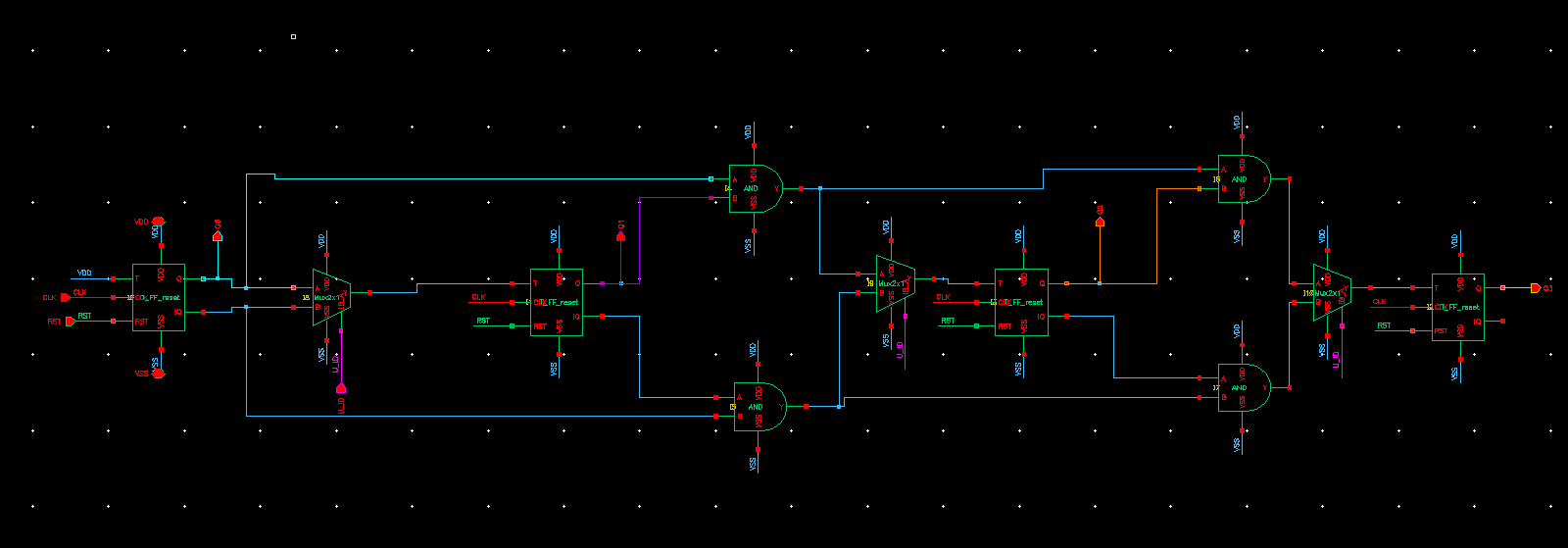
Description automatically generated

Hình 1.5: Công suất trung bình

Pavg = (803.6\*e – 9) W

# Phần 2: Counter 4bit Up and Down

## 2.1.Sơ đồ nguyên lí



Hình 2.1: Sơ đồ nguyên lý

Sơ đồ nguyên lý mạch counter 4bit sử dụng TFF với 2 chức năng đếm lên hoặc đếm xuống được lựa chọn bởi bộ Mux2x, xung reset tích cực mức cao, xung clk đồng bộ.

2.2.Sơ đồ mô phỏng  
A screenshot of a video game

Description automatically generated

Hình 2.2:Sơ đồ mô phỏng

Tiến hành cấp xung CLK có chu kì xung nhịp 1us, độ rộng xung 50%. Tín hiệu xung reset mức cao, tín hiệu lựa chọn chế độ đếm mức cao là đếm lên, mức thấp là đếm xuống.

## 2.3.Mô phỏng mức logic

Timeline

Description automatically generated

Hình 2.3: Mô phỏng mức logic

Từ thời điểm V1 tới V2 xung U\_!D mức cao mạch đếm lên từ 0000->1111 với Q0 là bit thấp nhất. Từ thời điểm V3 tới V4 xung U\_!D mức thấp mạch đếm xuống từ 1111->0000. Tại thời điểm V5 có sự tác động xung RST mạch reset các ngõ ra về trạng thái 0000.

## 2.4.Đánh giá công suất

Chart

Description automatically generated with medium confidence

Hình 2.4: Đánh giá công suất

Tại các thời điểm ngõ ra chuyển từ 1111->0000 mạch đạt công suất khoảng 269uW, tại thời điểm 1111->0000 mạch đạt công suất khoảng 267uW. Khi có sự tác động xung RST mạch đạt công suất cao nhất khoảng 283uW. Công suất tĩnh rơi vào khoảng 598nW.

Graphical user interface, text, application

Description automatically generated

Hình 2.5: Công suất trung bình

Pavg= (1.071\*e – 6) W.

# Phần 3: Layout cổng NOT

**Bước 1:** Ở sơ đồ nguyên lý chọn vào launch - > layout XL, sẽ hiện ra cửa sổ như hình 3.1 sau đó chọn vào mục create New và Automatic sau đó nhấn ok.

Graphical user interface, text

Description automatically generated

Hình 3.1

Sau đó sẽ hiện lên hộp thoại chọn nơi lưu layout như hình 3.2.

Graphical user interface, website

Description automatically generated

Hình 3.2

**Bước 2:** Cửa sổ layout hiện ra như hình 3.3.

Graphical user interface, application

Description automatically generated

Hình 3.3

**Bước 3:** Chọn biểu tượng A picture containing graphical user interface

Description automatically generated dưới góc trái cửa sổ layout để lấy layout và các chân pin VDD, VSS, In, Out của sơ đồ nguyên lý cổng NOT ra ngoài.

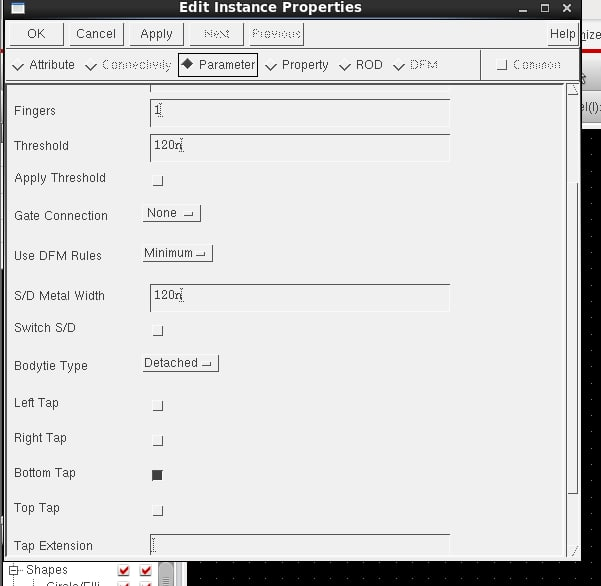
**Bước 4:** Tiến hành vẽ 2 đường VDD và VSS với độ rộng đường vẽ khoảng 0.5 như hình 3.4.

Chart, treemap chart

Description automatically generated

Hình 3.4

**Bước 5:** Để cực body được hiển thị ra click vào Nmos và Pmos sau đó vào Edit instance Properties, trong mục body type chon Detached.



Hình 3.5

**Bước 6:** Tiến hành kết nối layout như sơ đồ nguyên lý.

Diagram

Description automatically generated

Hình 3.6: Sơ đồ nguyên lý

Graphical user interface

Description automatically generated

Hình 3.7: Layout NOT

**Bước 7:** Tiến hành check DRC và LVS nếu báo lỗi thì sửa lỗi còn nếu không báo lỗi gì thì layout coi như hoàn tất.

Graphical user interface

Description automatically generated

Hình 3.8: Check DRC

Graphical user interface, application, Teams

Description automatically generated

Hình 3.9: Check LVS