

# CH2 组合逻辑设计

## 一、引言

### 1. 数字逻辑电路分类

- 组合逻辑电路：输出仅与输入有关（无记忆）
- 时序逻辑电路：输出由输入和当前状态共同决定（有记忆）

### 2. 组合逻辑电路

- 每个电路模块是一个组合逻辑电路
- 每个电路结点
  - 电路输入
  - 连接电路模块的输出端
- 电路中不包含回路

## 二、布尔代数

### 1. 记号

$$a \wedge b = a \cdot b = ab$$

$$a \vee b = a + b$$

$$\neg a = \bar{a}$$

### 2. 对偶规则

$$\cdot \rightarrow +$$

$$+ \rightarrow \cdot$$

$$0 \rightarrow 1$$

$$1 \rightarrow 0$$

$$F = A\bar{B} + C\bar{D}$$

$$F' = (A + \bar{B})(C + \bar{D})$$

$$F_1 = F_2 \iff F'_1 = F'_2$$

### 3. 蕴含项/最小项/最大项

- 蕴含项：项的积
- 最小项：包含全部输入变量的乘积项
- 最大项：包含全部输入变量的求和项

**最小项：**包含所有因子的乘积项。

使用 $m_i$ 表示，下标 $i$ 为使该最小项为1的变量取值所对应的等效十进制数。

$$\bar{A}BC = m_3$$

仅有一个最小项能取1。

相邻的最小项可以合并。  $AB\overline{C} + ABC = AB$

**最大项**：包含所有因子的求和项。

使用  $M_i$  表示，下标  $i$  为使该最大项为0的变量取值所对应的等效十进制数。

$$\overline{A} + B + C = M_4$$

仅有一个最大项能取0。

相邻的最大项可以合并。

$$(A + B + \overline{C})(A + B + C) = A + B$$

**最大项与最小项的关系**：

编号下标相同的最小项和最大项互为反函数。

$$M_i = \overline{m_i} \quad \overline{M_i} = m_i$$

#### 4. 标准与或式/标准或与式

$$F(A, B, C) = \sum(m_2, m_4, m_6) = \sum(2, 4, 6) = \prod(M_0, M_1, M_3, M_5, M_7) = \prod(0, 1, 3, 5, 7)$$

#### 5. 卡诺图

**格雷码**：

正常编码：0, 1, 2, 3, 4, .....

格雷码：0, 1, 3, 2, 6, 7, 5, 4, .....

设正常编码为  $B_{n-1}B_{n-2}\cdots B_1B_0$ ，对应的格雷码为  $G_{n-1}G_{n-2}\cdots G_1G_0$

$$\text{则 } G_i = \begin{cases} B_{n-1} & i = n - 1 \\ B_i \oplus B_{i+1} & i < n - 1 \end{cases}$$

**合并原理**：最大项/最小项的合并

**主蕴含项**：扩展到最大的蕴含项

**奇异“1”单元**：卡诺图中仅能被单一主蕴含项覆盖的方格。

**质主蕴含项**：包含着一或多个奇异“1”单元的主蕴含项

**步骤**：

1. 由表达式填卡诺图
2. 圈出孤立的标1方格
3. 找出包含该方格的质主蕴含项
4. 将各个对应的乘积项相加，写出最简与或式

**注意事项**：

1. 每个标1的方格必须至少被圈一次
2. 每个圈中包含的相邻小方格，必须为2的整数幂
3. 为了得到尽可能大的圈，圈与圈之间可以重叠
4. 每个圈内至少有1个标1方格未被其他圈覆盖

**无关项**：可圈可不圈

## 三、多级组合逻辑

### 1. 推气泡

原理：德摩根定理

向后推：电路符号发生变化，将气泡加在输入端

向前推：电路符号发生变化，将气泡加在输出端

### 2. X和Z

**竞争**：电路结点同时被0和1驱动，电压值介于 $0 \sim V_{DD}$ 之间， $Y = X$

**无关项**：用符号 $X$ 表示不需要考虑的输入

**浮空值**： $Z$

浮空又称悬空、高阻态、高Z态、开路、断路。

不等于逻辑0。

无法使用电压表判断。

输入浮空值，输出不确定。

浮空不意味着电路出错

常常由于未向输入接入电压

可用来防止结点处于竞争状态

**三态缓冲器**：（缓冲器+使能端）

使能端为0， $Y = Z$

使能端为1， $Y = A$ （输入）

### 3. 组合逻辑设计思路

1. 对实际逻辑问题进行抽象，定义输入和输出逻辑
2. 由实际逻辑问题列出真值表
3. 由真值表写出表达式
4. 化简表达式
5. 绘制原理图

**7段数码管驱动电路**：共阴极时高电平点亮，共阳极时低电平点亮。

## 四、组合逻辑中的时序问题

### 1. 传播延迟和最小延迟

传播延迟 $t_{pd}$ ：输入直到一个或多个输出改变为最终值所经历的最长时间延迟。

最小延迟 $t_{cd}$ ：输入发生变化直到任何一个输出开始改变的最短时间。

关键路径：信号传输最慢的一条路径

最短路径：信号通过最快的一条路径

2. "毛刺"

一个输入改变引起输出的多次变化。

判断毛刺：判断到达输出的多条传输速度不同的路径下由输入改变引起的最终值是否相同，若不同，产生毛刺。

消除毛刺：增加质主蕴含项。

五、组合逻辑模块

1. 编码器

$2^n \rightarrow n$

优先级编码器：（输出使能端用于判断是否有信号输入）

X[3:0]	A[1:0]	EO
0000	00	1
0001	00	0
001x	01	0
01xx	10	0
1xxx	11	0

2. 译码器

$n \rightarrow 2^n$

$f(x) = 2^x$

输出是独热的。

译码器实现同或： $Y = A_1A_0 + \overline{A_1A_0} = \sum(0,3) = \overline{A_1 \oplus A_2}$

3. 多路选择器

$n$ 位信号从 $2^n$ 种输入中选择。

实现：N个三态门或门电路

可看作查找表。

4. 算术电路

半加法器：两个输入 $A$ 和 $B$ ，两个输出 $S$ 和 $C_{out}$ 。

$S = A \oplus B \quad C_{out} = A \wedge B$

全加法器：三个输入 $A$ 和 $B$ 和 $C_{in}$ ，两个输出 $S$ 和 $C_{out}$

$S = A \oplus B \oplus C_{in}$

$C_{out} = AB + (A \oplus B) \wedge C_{in}$

多位加法器：进位传播加法器。

行波进位加法器 (slow) (cheap)

先行进位加法器 (fast) (expensive)

前缀加法器 (faster) (more expensive)

### 行波进位加法器

将N个全加器串联，每一级的 $C_{out}$ 就是下一级的 $C_{in}$ ，则所有进位构成的通路称为**进位链**。

### 先行进位加法器

把加法器分解成若干块，当每块一有进位时就快速确定此块的输出进位。

若 $A_i B_i = 1$ ，直接将进位传至下一个加法器，即 $G_i = A_i B_i$

若有进位输入，且 $A_i \oplus B_i = 1$ ，则将进位传至下一个加法器，即 $P_i = A_i \oplus B_i$

第i为产生进位输出的表达式为： $C_i = G_i + P_i C_{i-1}$

可以将i推广为块标号，块之间可并行，块内也可并行，同样遵循上面的做法。

**减法器：** $A - B = A + \sim B + 1$

只需将B所有位取反传入，并将 $C_{in}$ 设为1即可。

**比较器：**判断两个N位二进制数A和B的大小关系。

相等比较器：判断是否相等

数值比较器：判断大小关系

**算术逻辑单元：**将多种算术和逻辑运算组合到一个单元模块中。

**移位器：**

逻辑移位器：逻辑左移，逻辑右移

算术移位器：算术左移，算术右移

循环移位器：循环移动数据，将最后一位移到第一位上。

**乘法器：**移位器+加法器