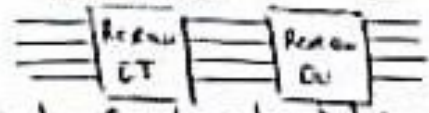


- PLD: Programmable Logic Device
- CPLD: Complex Programmable Logic Device

PAL: Programmable Array Logic
 GAL: Generic Array Logic
 FPGA: Field Programmable Gate Array

OTP: One Time Programming Architecture



ASIC: Application Specific Integrated Circuits

Composants	ET	OU	Logique	Technologie	
PAL	P	F	Non	OTP	TTL
PLA	P	P			
GAL	P	F	Uniqu	Rep	CMOS
PLD	F	P	Non		
FPGA					
CPLD				Rep	CMOS

Type	Entrées	Sorties	Alimentation
Simple	-	++	+
Double	-	+	--
Triple	+	-	+
Quadruple	+	non	++

Nomenclature des PAL:



constitué de plusieurs GAL ou PLA.

Composé de PAL mais on peut les programmer d'une manière séquentielle ou combinatoire (cellule de sortie OR/AND).

- variable V (VARIABLE)
- à registre R. (séquentielle)
- à sortie L/H (combinatoire)

programmable par claquage de fusible

Le type de logique détermine
 de la porte ET = type de circuit
 par le schéma.

- fonctionnel schéma → avec convention
- fonctionnel schéma → pas de convention

Tout PAL est constitué de:

- entrées (I₁ à I_n) (5 en 20)
- sorties (O₁ à O_n) (10 à 20) Q₁ à Q_n
- horloge (CLK)
- entrée de validation (OE ou Enable)
- entrée de remise à zéro (RESET)

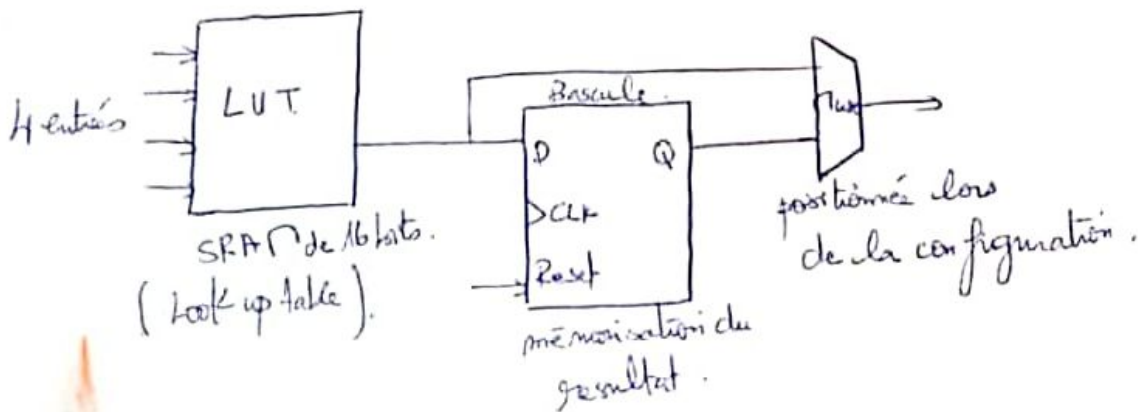
différence claquage

OLNC : Output logic macrocell. ~~permettent~~ Ces structures de sortie sont programmables et permettent d'encoder n'importe quelle autre structure de sortie.

Différentes structures d'une OLNC :

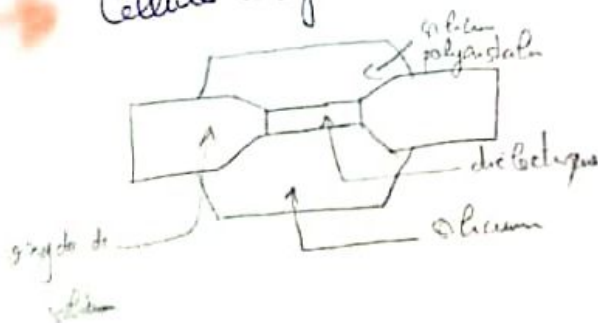
- ① registre active bas.
- ② registre active haut.
- ③ combinatoire E/S active bas.
- ④ combinatoire E/S active haut.

FIGA de type SRAM.



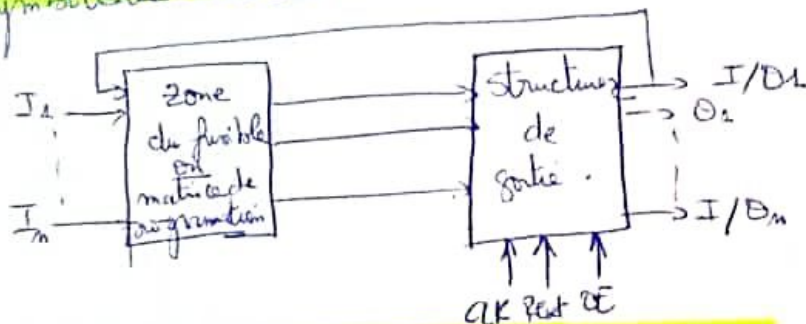
Programmable une 1 fois	Reprogrammable.
PAL PROM.	EEPROM (CPLD, GAL, PLA) UV PROM (CPLD, GAL, PLA) Flash EEPROM.

FIGA Antifusible
Cellule antifusibles :



- **EEPROM**: mémoire morte programmable et effaçable électriquement.
- **Fichiers Jedaec**: un ensemble de données binaires indiquant au programmeur les fusibles à griller.
- **Famille FPGA**: c'est un ensemble de cellules régulièrement disposées dans une matrice xy appelées macrocellules, chaque macrocellule contient un élément de logiques combinatoires et séquentielles programmables.
- **Famille ASIC**: (Application specific Integrated Circuit); ensemble des cellules disposées dans une matrice (xy), chaque cellule contient des ports logiques (plus souvent NAND).
- Antifusible plus dense que SRAM.
 - SRAM reprogrammable, Antifusible (1^{re} seule fois OTP).

→ Symbolisation d'un PAL



→ Les unités de conception d'un langage VHDL :

- l'entité : une externe de type boîte noire.
- l'architecture.
- la configuration.
- la déclaration de paquetage.
- le corps de paquetage.

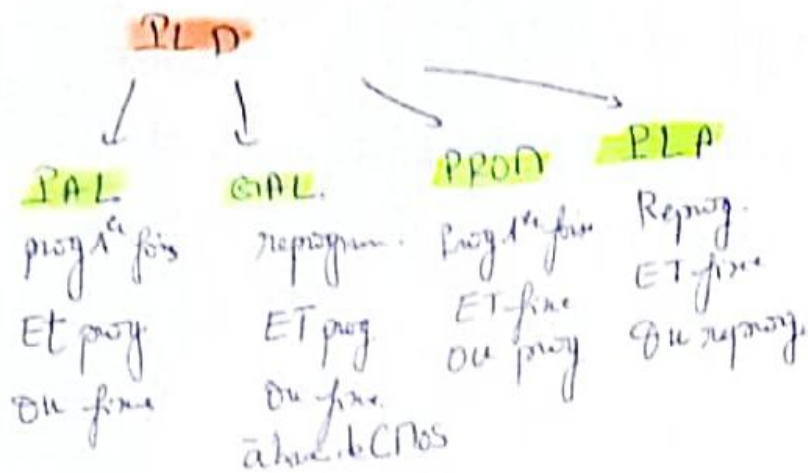
→ symbolisation d'un PLD normalisée :



(2)

- Avantage de PLD**
- coût et temps de développement
 - prototypage et temps de simulation accéléral
 - prise de risque et réduction

#SLP:



CPLD

reprogrammable

PLDs complexes

routes liées avec une

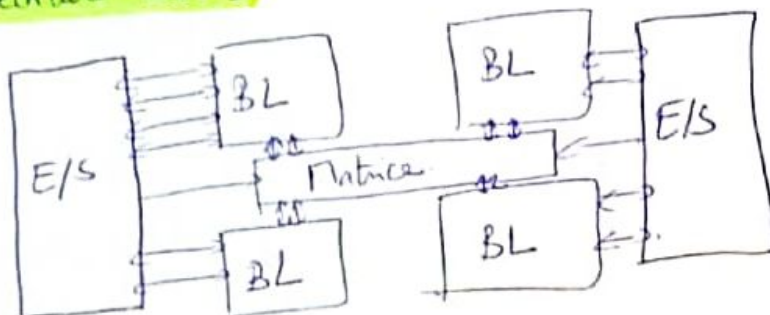
matrice d'interconnexion

FPGA

- Antifusible
- prog une ou
- fois
- à base de
- masse

- SRAM
- reprog
- à base de
- masse

Architecture CPLD:



Comparaison:

Type	EEPROM	Antifusible	SRAM
Rapidité	-	++	+
Densité	-	+	-
Facilité	+	-	++
Reprog	+	-(non)	+

Rôle du fusible de sécurité: éviter le récapage illégitime du travail d'un programmeur, son destruction rend impossible la relecture de configurations de programmation.

(1)

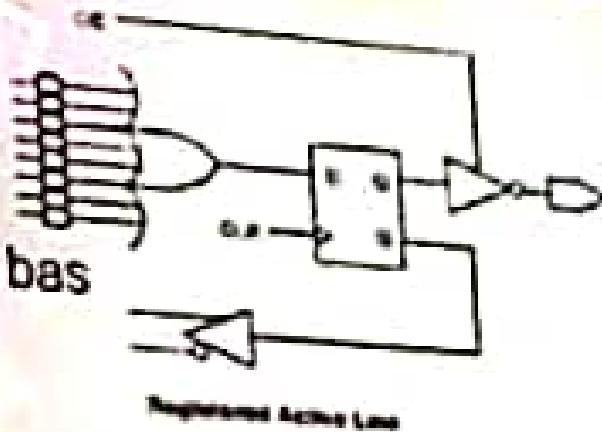
PLAL { ET prog
ou fine.

PLDNL { ET fine.
ou prog.

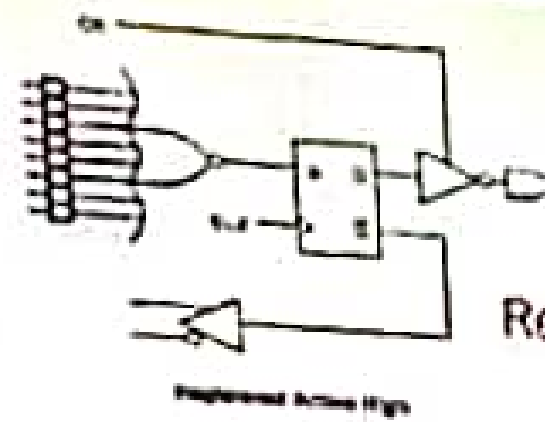
PLA { ET prog.
ou prog.

GLAL { ET : prog
ou : fine.

Registre active bas



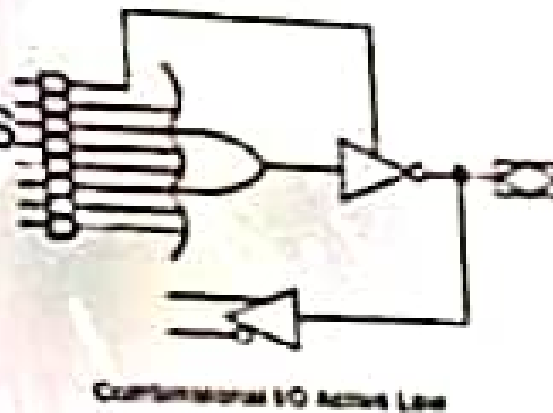
Register Active Low



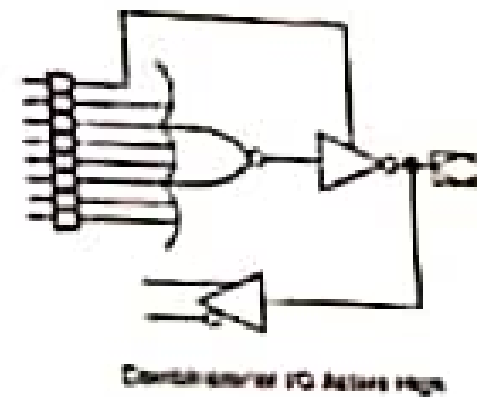
Registre active haut

Register Active High

Combinatoire E/S active bas



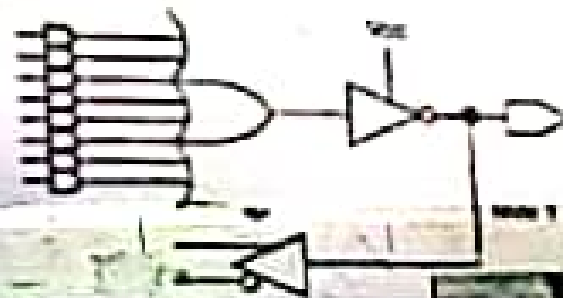
Combinatorial I/O Active Low



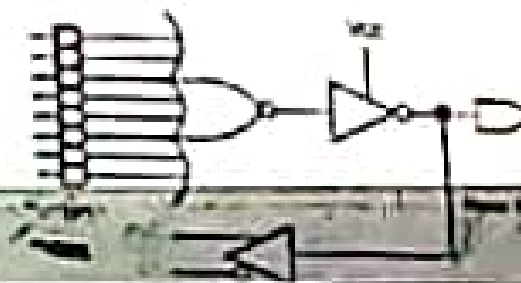
Combinatorial I/O Active High

Combinatoire E/S active haut

Combinatoire sortie active bas



Combinatorial Output Active Low



Combinatorial Output Active High

Combinatoire sortie active haut