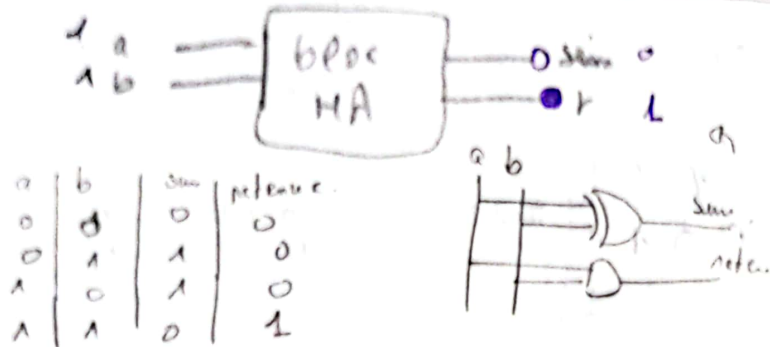


# Unité Arithmétique

## A/ Additionneur

### 1. Don additionneur (Half adder) HA



NB Additionneur  
4 bits: 74158

$$S = \bar{a}b + a\bar{b} = a \oplus b$$

$$r = ab$$

### 2) Additionneur complet (FA)

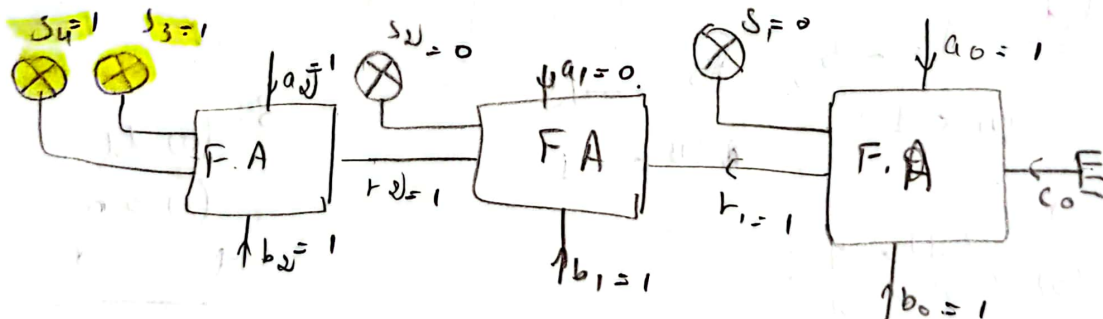
a	b	c	r	sum
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	1	0
1	1	1	1	1

$\Rightarrow$  Tableau de Karnaugh pour simplifier

$$\bar{a}\bar{b} + ab = \overline{a \oplus b}$$

$$c(\bar{a} \oplus \bar{b}) + \bar{c}(a \oplus b) = C \oplus (a \oplus b)$$

$$\begin{array}{r} r_1, r_0 = c_0 \\ a_1, a_0 \\ b_1, b_0 \\ \hline s_4, s_3, s_2, s_1 \end{array}$$



(1)

# Synthèse

Représentation en complément à 2 des nombres  
 le signe < 0 ou > 0 par bit de signe (BS)

si le bit décimal est > 0  $\rightarrow (BS) = 0$ .

si le bit décimal est < 0  $\rightarrow (BS) = 1$ .

13

$$\begin{array}{r} 8 \ 4 \ 2 \ 1 \ (13) \\ 0 \ 1 \ 1 \ 0 \ 1 \end{array} \quad \begin{array}{r} (0) \ 1 \ 1 \ 0 \ 1 \\ (1) \ 0 \ 0 \ 1 \ 0 \\ + \quad \quad \quad (1) \\ \hline (1) \ 0 \ 0 \ 1 \ 1 \rightarrow -13 \end{array}$$

comp a'2.

16 8 4 2 1

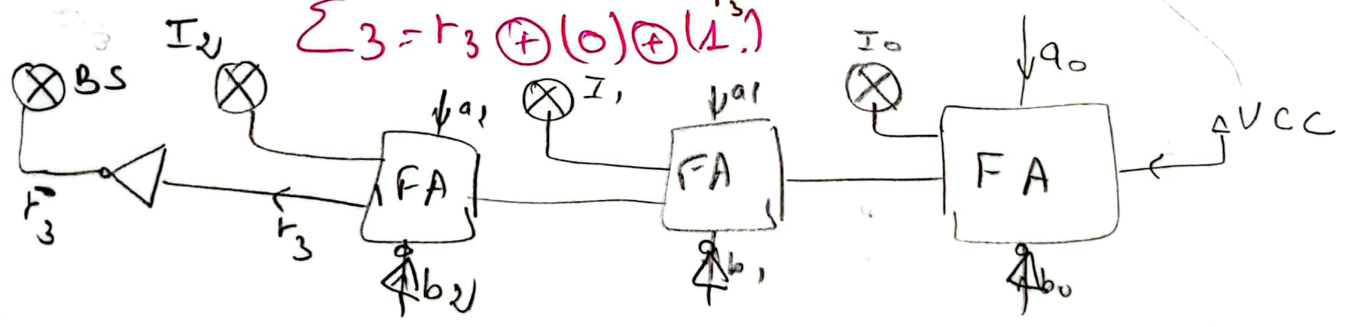
$$\begin{array}{r} (1) \ 0 \ 0 \ 1 \ 1 \\ -16 + 2 + 1 = -13 \checkmark \\ \text{vérifier.} \end{array}$$

Cas général:

$A - B = A + \bar{B} + 1$

$$\begin{array}{r} r_3 \ r_2 \ r_1 \ r_0 \\ (0) \ a_2 \ a_1 \ a_0 \\ (1) \ \bar{b}_2 \ \bar{b}_1 \ \bar{b}_0 \\ \quad \quad \quad 1 \end{array}$$

(synthèse)  $\sum_3 = r_3 \oplus (0) \oplus (1)$



Exple  $A = -3, B = -15$

$$\begin{array}{r} (1) \ 0 \ 1 \\ (1) \ 0 \ 0 \ 0 \ 1 \end{array}$$

?

$$\begin{array}{r} (1) \ 0 \ 1 \\ (0) \ 1 \ 1 \ 1 \ 1 \end{array}$$

=

$$\begin{array}{r} 1 \ 1 \ 1 \ 1 \\ (1) \ 1 \ 1 \ 1 \ 1 \\ (0) \ 1 \ 1 \ 1 \ 1 \\ \hline (0) \ 1 \ 1 \ 0 \ 0 \leftarrow (12) \end{array}$$

-3 to 5

3:

$$\begin{array}{r} (0) \ 1 \ 1 \\ (1) \ 0 \ 0 \\ + \quad \quad 1 \\ \hline (1) \ 0 \ 1 \end{array}$$

15:

$$\begin{array}{r} (0) \ 1 \ 1 \ 1 \ 1 \\ (1) \ 0 \ 0 \ 0 \ 0 \\ + \quad \quad \quad 1 \\ \hline (1) \ 0 \ 0 \ 0 \ 1 \end{array}$$

-15  $\rightarrow (1) \ 0 \ 0 \ 0 \ 1$

# Le Décodeur Binaire ( $m \rightarrow 2^n$ )

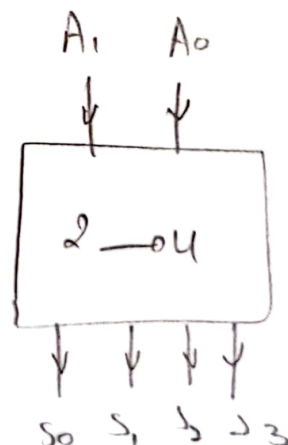
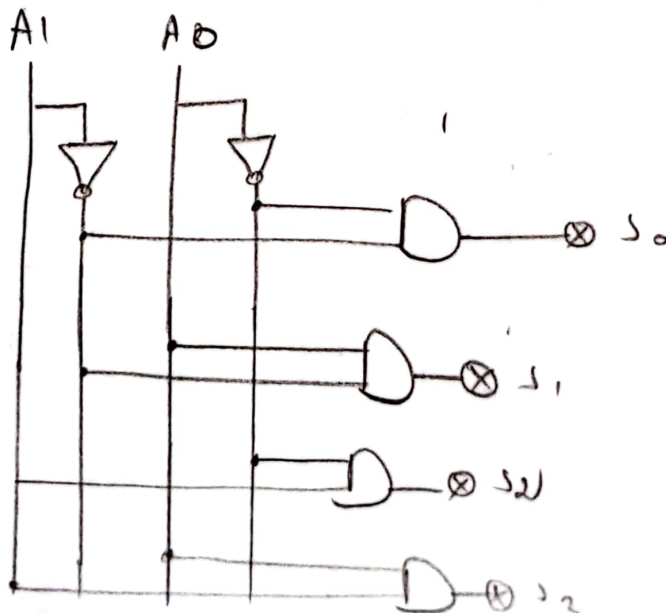
est un circuit ayant  $m$  entrées adresse et  $2^n$  sortie  
 où la seule s est active et celle dont le rang est appliqué  
 sur les e adresse, le niveau actif des s peut être  
 soit '1' il est indiqué par le constructeur

1) Décodeur ( $2 \rightarrow 4$ ) ayant des sorties active  
Sur 1

dispose ( 2 entrées adresse  $A_1, A_0$   
 4 s adresse active '1'

		MSB LSB			
		$S_0, S_1, S_2, S_3$			
$A_1, A_0$		$S_0$	$S_1$	$S_2$	$S_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

$$\begin{aligned} S_0 &= \bar{A}_1 \bar{A}_0 \\ S_1 &= \bar{A}_1 A_0 \\ S_2 &= A_1 \bar{A}_0 \\ S_3 &= A_1 A_0 \end{aligned}$$



(2)

# Compteur Numérique

## \* Comparateur de 3 bit

a) Fonction égalité  $E(A=B)$

$$A = a_2 a_1 a_0 \quad B = b_2 b_1 b_0$$

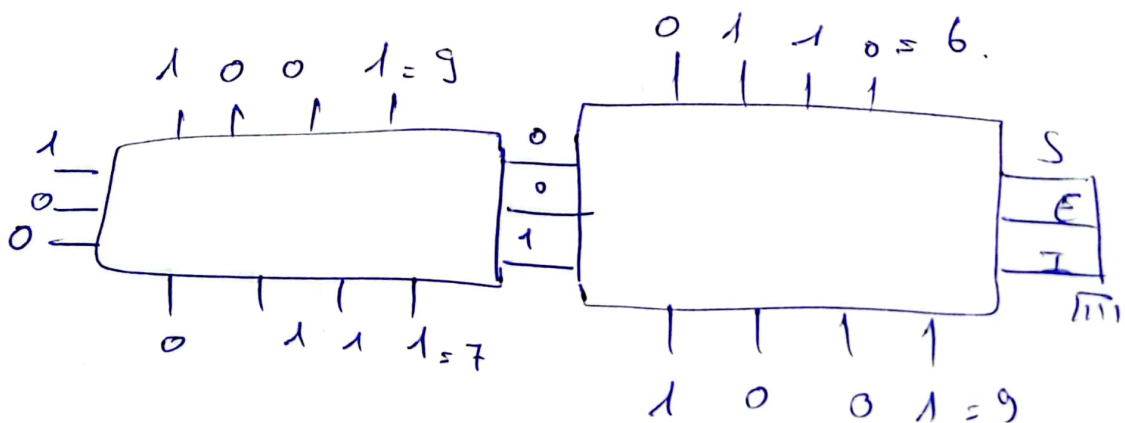
$$A=B \text{ si } (a_2=b_2) \text{ ET } (a_1=b_1) \text{ ET } (a_0=b_0)$$

$$E = (a_2 \oplus b_2) \cdot (a_1 \oplus b_1) \cdot (a_0 \oplus b_0)$$

b) Fonction supériorité  $S(A > B)$

$$A > B \text{ si } (a_2 > b_2) \text{ ET } ((a_2=b_2) \text{ ET } (a_1 > b_1) \text{ ET } ((a_2=b_2) \text{ ET } (a_1=b_1) \text{ ET } (a_0 > b_0))$$

$$A > B = (a_2 \bar{b}_2) + (a_2 \oplus b_2) \cdot (a_1 \bar{b}_1) + (a_2 \oplus b_2) \cdot (a_1 \oplus b_1) \cdot (a_0 \bar{b}_0)$$

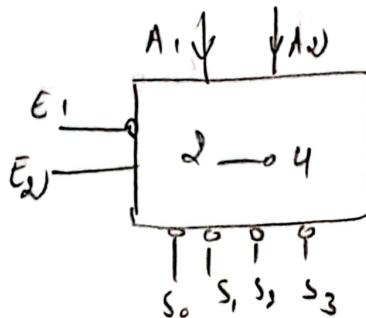




# 1) Décodeur avec $\bar{E}$ de Validation (Enable)

Décodeur 2 → 4 bits.

- 2 entrées adresse  $A_1, A_0$
- 4 sorties actives au '0'  $S_0, S_1, S_2, S_3$
- 2 entrées de Validation



$E_1, E_2$	décodeur
0 1	Valider
1 0	désactiver
0 0	
1 1	$S_i = 1$

$\bar{E}_{N1} =$  active sur '0'

$\bar{E}_{N2} =$  active sur '1'

$E_1, E_2$	$A_1, A_0$	$S_0, S_1, S_2, S_3$
0 1	0 0	0 1 1 1
	0 1	1 0 1 1
	1 0	1 1 0 1
	1 1	1 1 1 0
0 0	X X	1 1 1 1
1 0	X X	
1 1	X X	

actives Lo      désactive

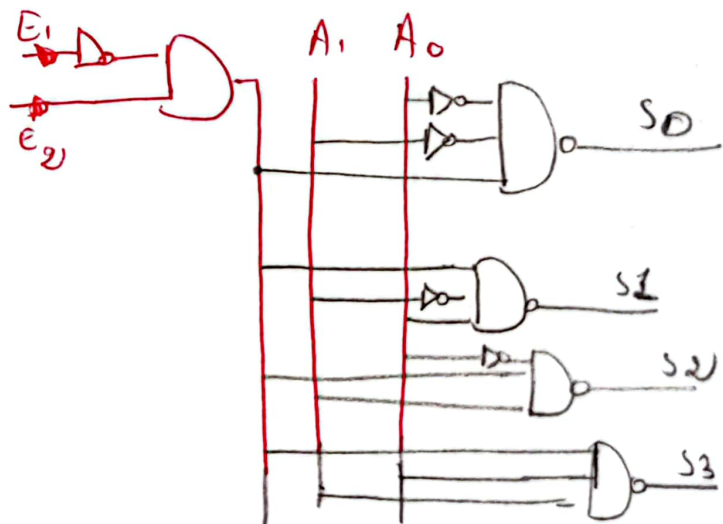
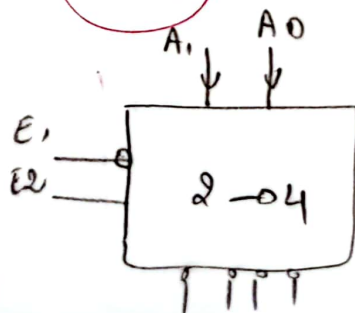
$$S_0 = \bar{E}_1, \bar{E}_2, \bar{A}_1, \bar{A}_0$$

$$S_1 = \bar{E}_1, \bar{E}_2, \bar{A}_1, A_0$$

نقاط

$$S_2 = \bar{E}_1, \bar{E}_2, A_1, \bar{A}_0$$

$$S_3 = \bar{E}_1, \bar{E}_2, A_1, A_0$$



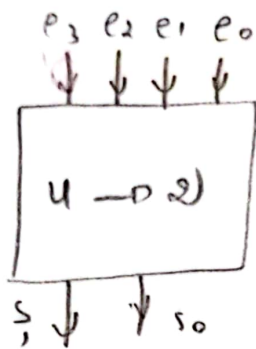
(31)

# Le codeur binaire ( $2^m \rightarrow m$ )

{742548}

1) Def un codeur binaire dispose  $2^m$  entrées dont dont une est une seule entrée active (le niveau active sur '0' ou '1') et m sortie

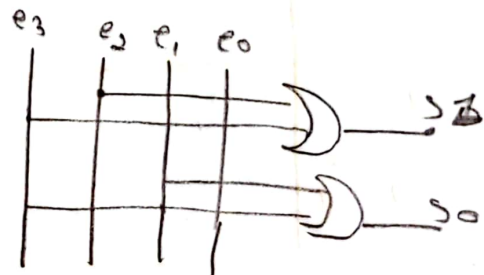
2) Codeur ( $4 \rightarrow 2$ ) ayant des entrées active sur '1'



$e_3 e_2 e_1 e_0$	$s_1 s_0$
0 0 0 1	0 0
0 0 1 0	0 1
0 1 0 0	1 0
1 0 0 0	1 1

$$s_1 = e_2 + e_3$$

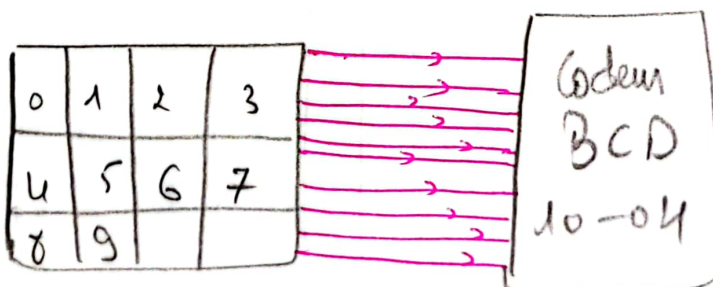
$$s_0 = e_1 + e_3$$



3 - Code BCD  $0 \rightarrow 9$  e active '1'  
( $10 \rightarrow 4$ )

Ci après le change.

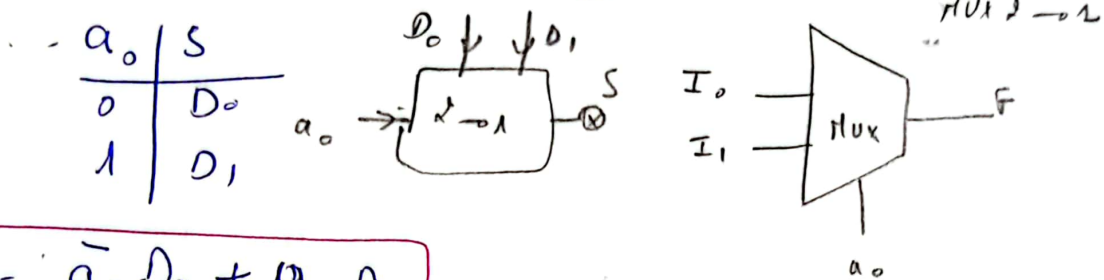
On veut réaliser un clavier de 10 touches de chiffres 0 1 2 3 4 5 6 7 8 9  
Chaque fois qu'on appuie sur 1 touche, on génère le code BCD



# Les Multiplexeurs ( $2^m \rightarrow 1$ )

1/ Définition: Le MPX ( $2^m \rightarrow 1$ ) est un circuit de  $2^m$  entrées d'information et de  $m$  entrées d'adresse et une seule sortie.

2/ MPX  $2 \rightarrow 1$  étude et synthèse.



$$S = \bar{a}_0 D_0 + a_0 D_1$$

$S: a_0 = 0$   
 $S = 0 D_0 + 0 D_1 = D_0$

$S: a_0 = 1$

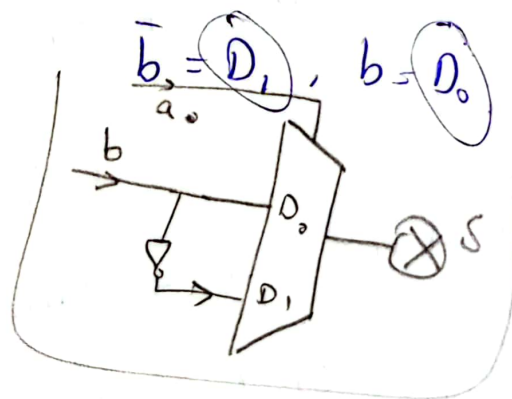
$S = D_1$

Ex 1 Réaliser  $f_1 = a \oplus b$ ,  $a \odot b = f_2$  avec MPX  $2 \rightarrow 1$

$$f_1 = a \oplus b = \bar{a}b + a\bar{b}, \quad S = \bar{A}_0 D_0 + A_0 D_1$$

$$f_1 = \bar{a}D_1 + aD_0$$

$$= a\bar{b} + \bar{a}b$$



$f_1$

$$f_2 = \overline{a \oplus b} = \bar{a}\bar{b} + ab \quad \text{para } b = A_d$$

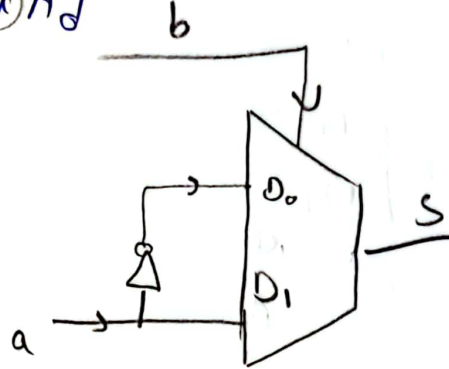
$$f_2 = A_d D_1 + \bar{A}_d D_0$$

$$= \bar{a}\bar{b} + ab$$

$$= \bar{a}\bar{A}_d + aA_d$$

$$D_0 = \bar{a}$$

$$D_1 = a$$



Ex 2

$$f_3 = a \oplus b \oplus c \quad \left\{ \begin{array}{l} \text{MUX } 8 \rightarrow 1 \\ 2 \text{ MUX } 2 \rightarrow 1 \end{array} \right.$$

$$a \oplus b \oplus c = x \oplus c = x\bar{c} + \bar{x}c$$

$$= (a\bar{b} + \bar{a}b)\bar{c} + \overline{(a\bar{b} + \bar{a}b)}c$$

$(\bar{a}\bar{b} + ab)$

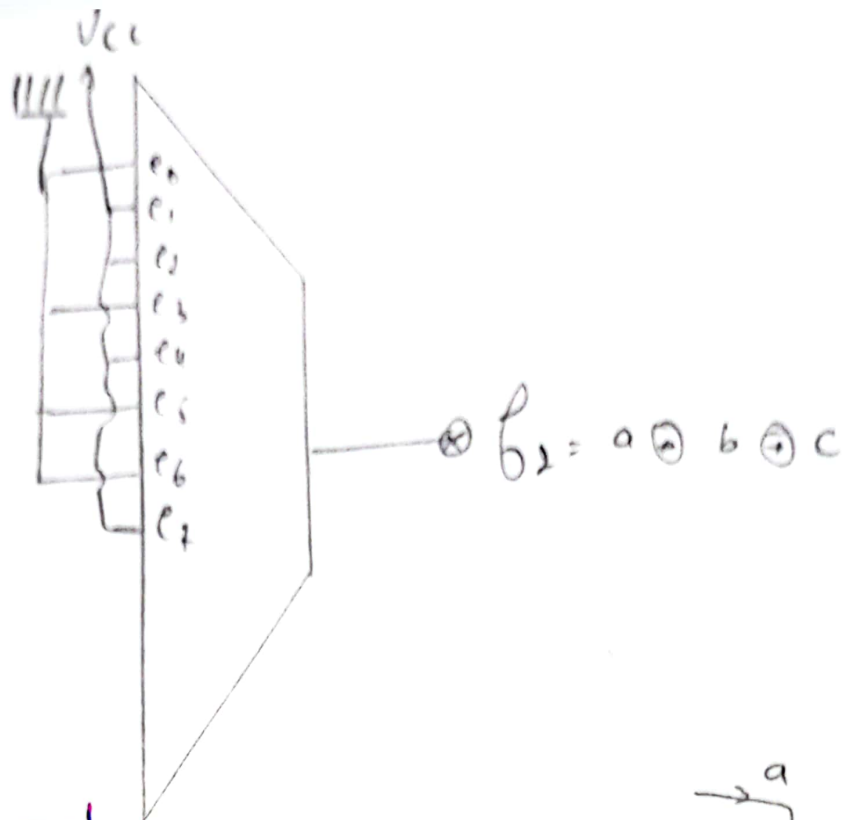
$$= a\bar{b}\bar{c} + \bar{a}b\bar{c} + \bar{a}\bar{b}c + abc \quad (1)$$

$$\text{MUX}_{8 \rightarrow 1} = \bar{a}\bar{b}\bar{c}e_0 + \bar{a}\bar{b}ce_1 + \bar{a}b\bar{c}e_2 + \bar{a}bce_3 + a\bar{b}\bar{c}e_4 + a\bar{b}ce_5 + ab\bar{c}e_6 + abc e_7$$

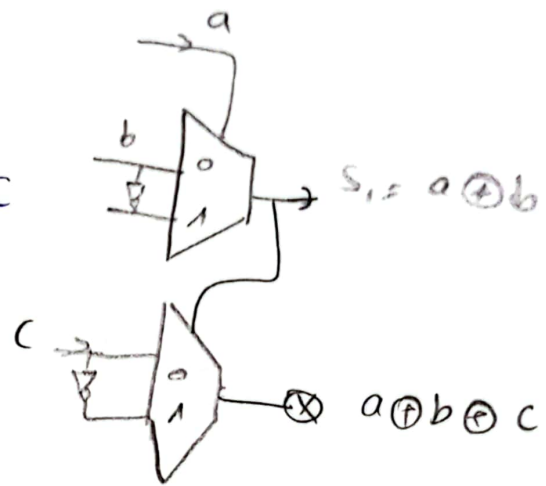
para que (1) = (2)  $\Rightarrow e_0 = 0, e_1 = 1, e_2 = 1, e_3 = 0$

$$e_4 = 1, e_5 = 0, e_6 = 0, e_7 = 1$$

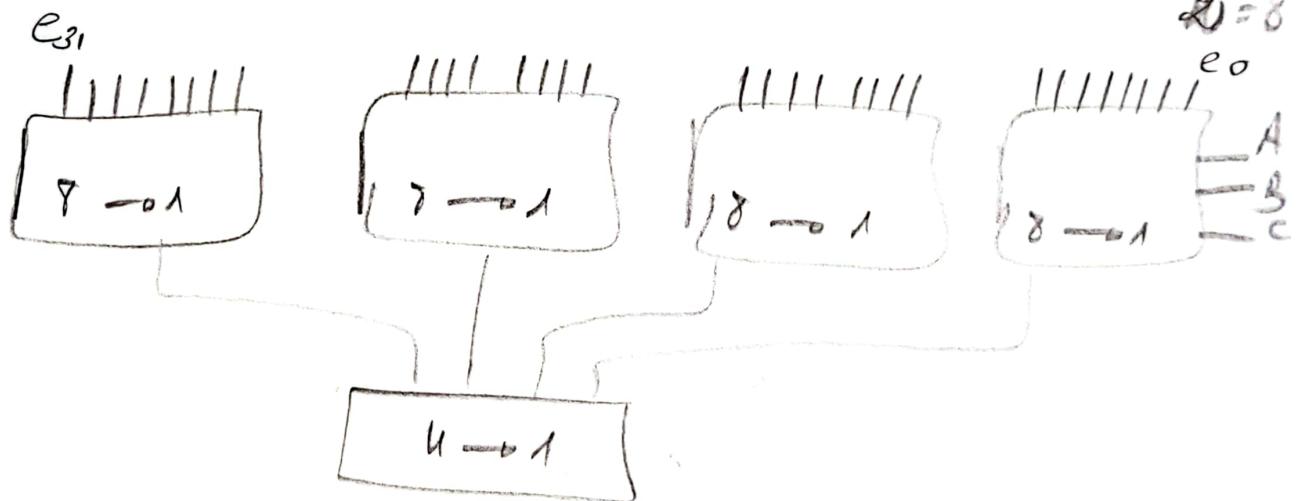




(2 → 1)  
 $\Rightarrow a \oplus b \oplus c = (a \oplus b) \oplus c$



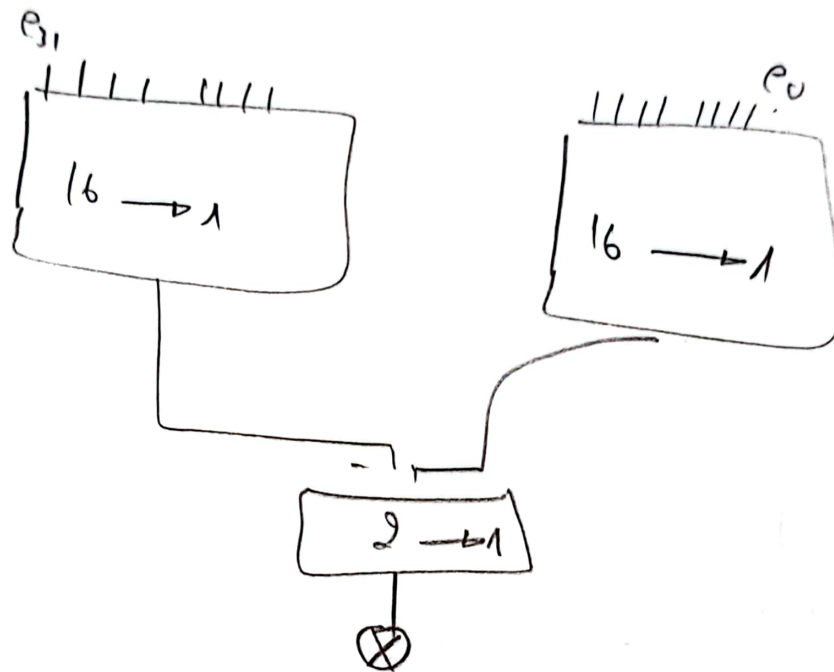
MUX 32 × 1



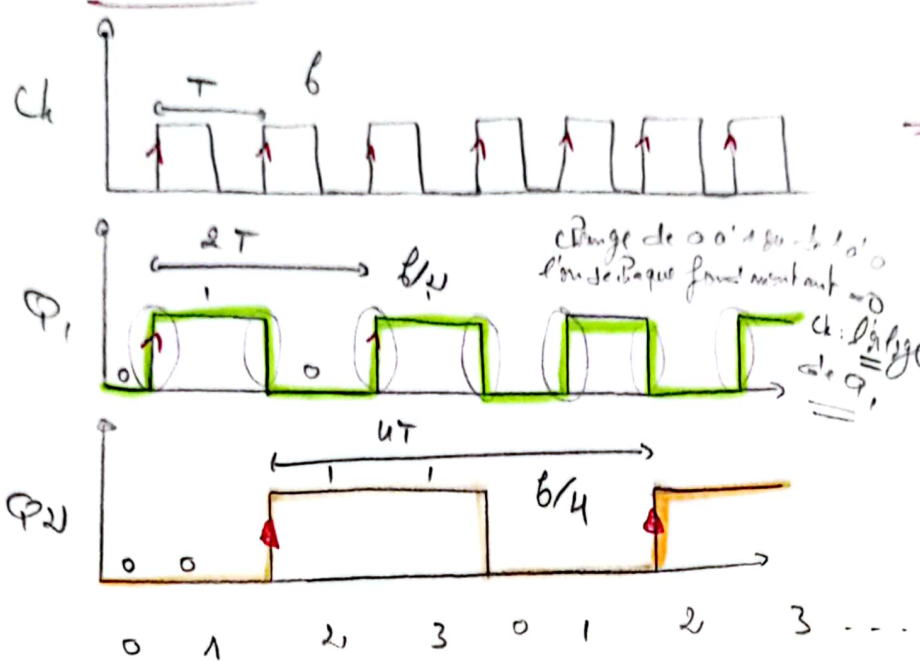
$\otimes \bar{E} \bar{D} S_0 + \bar{E} D S_1 + E \bar{D} S_2 + E D S_3$

MUX 32  $\rightarrow$  1

operation 2, 16  $\rightarrow$  1



# Bascule :



⇒ D.V. de fréquence est aussi un compteur

(NB si on compte seule  $\bar{Q}$  de Bascule joue le rôle d'un de compteur)

- Compteur à front montant  $\Rightarrow \bar{Q} \rightarrow Clk$
- Compteur à front descendant  $\Rightarrow Q \rightarrow Clk$
- Décompteur à front montant  $\Rightarrow Q \rightarrow Clk$
- Décompteur à front descendant  $\Rightarrow \bar{Q} \rightarrow Clk$

## Registre vs Compteur

Le compteur passe toujours par certains états spécifiques (pas des états aléatoires) avec l'arrivée de l'impulsion d'horloge. Mais contrairement au compteur, le registre ne passe pas par la séquence d'états spécifiée, sauf dans certains registres à usage spécial.

- Registre SISO : (Entrée  $I_n$  - Sortie  $O_n$ ) : entrée  $E$ , sortie  $Q_3$  (Front de  $Q_3$ )
- Registre PISO : en utilise de multiplexeur.
- Registre à décalage vers la droite  $\Rightarrow$  (registre) Registre SISO

