

EX 2 :

1) Compteur asynchrone modulo 20 avec JK a front descendant

- cycle de comptage de 0 à 20

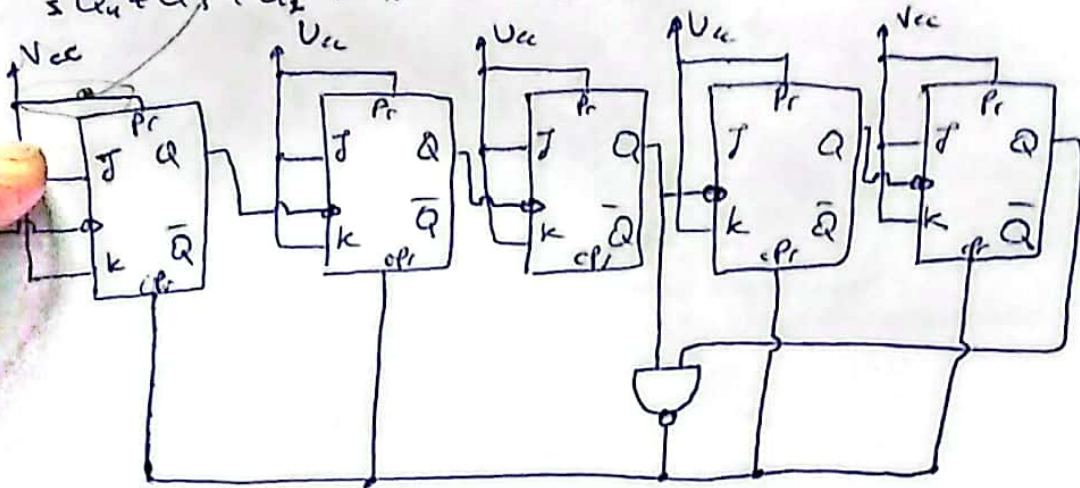
- nbre de bascules, $2^4 < 20 \leq 2^5$

⇒ 5 bascules JK

- valeur de forçage : $(20)_{10} \rightarrow (10100)_2$
 Q_4, Q_3, Q_2, Q_1, Q_0

$$\overline{clr} = Q_4 \overline{Q_3} Q_2 \overline{Q_1} \overline{Q_0}$$

$$= \overline{Q_4} + Q_3 + \overline{Q_2} + Q_1 + Q_0 = \overline{Q_4} \cdot \overline{Q_3}$$



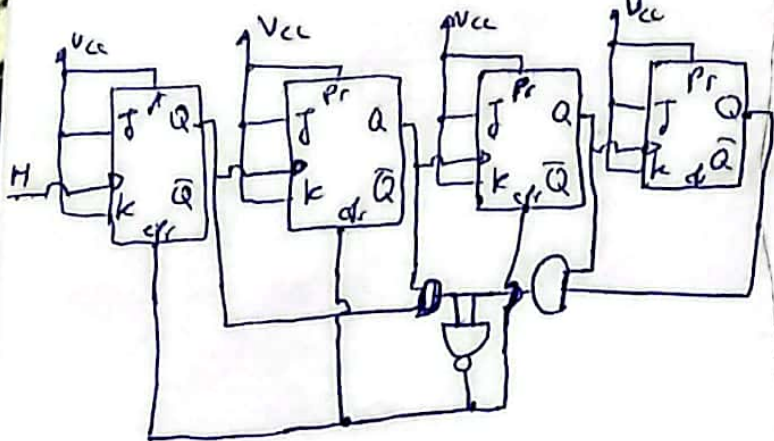
2) Décompteur asynchrone modulo 9 avec JK à front montant

- cycle de comptage de 8 à 0

- nbre de bascules : $2^3 < 9 \leq 2^4 \Rightarrow 4$ bascules

- valeurs de forçage : 1000 → P

0000 → 0
 1111 → 1, P, F



EX 3 :

1) Tableau 1 : modulo 10

Tableau 2 : modulo 5

2) compteur 20

- cycle de comptage de 0 à 9

- nbre de bascules : $2^3 < 10 \leq 2^4$

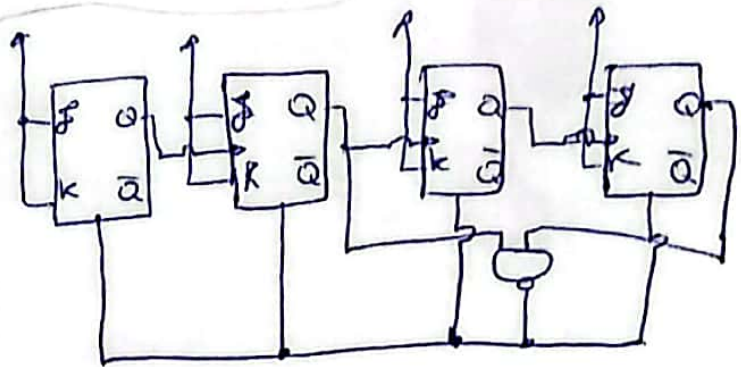
⇒ 4 bascules

- valeur de forçage : $(10)_{10} \rightarrow (1010)_2$
 Q_3, Q_2, Q_1, Q_0

$$\overline{clr} = \overline{Q_3} \cdot Q_2$$

Compteur (+ -)

décompteur (+ +)



• compteur 20

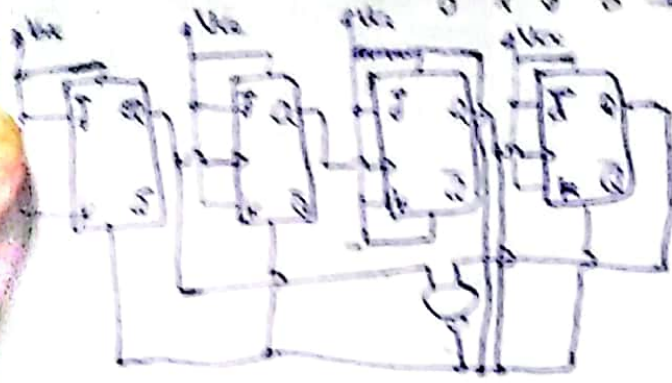
- cycle de comptage de 4 à 8

- nbre de bascules : 4 bascules

- valeur de forçage :

	1	1	1	1	→ P
	1	1	1	1	
	1	0	0	1	→ 9
cycle	1	0	0	0	→ 8
de	1	1	1	1	
comptage	0	1	0	0	→ 4
	0	0	0	0	→ 0

valoir de 4 entrées: Q_3, Q_2, Q_1, Q_0
(1.2)



3) - compt de 0 à 10

- fourager: $(1, 0, 1, 1) : 0$



$$D_0 = \overline{Q_1} \overline{Q_2} \overline{Q_3} =$$

ou $\overline{Q_1} \overline{Q_2} \overline{Q_3} = 1$

4) Tableau de Karnaugh de 0 à 9
- Table de vérité pour

Q3	Q2	Q1	Q0	Q3'	Q2'	Q1'	Q0'	Q3
0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	1	2
2	0	1	0	0	0	1	0	3
3	0	1	1	0	0	1	1	4
4	1	0	0	0	1	0	0	5
5	1	0	1	0	1	0	1	6
6	1	1	0	0	1	1	0	7
7	1	1	1	0	1	1	1	8
8	0	0	0	1	0	0	0	9
9	0	0	1	1	0	0	1	0

les eq des 4 entrées

Q_3/Q_2	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	X	X	X	X
10	1	0	X	X

D_3

$$D_1 = Q_2 Q_1 Q_0 + Q_2 \overline{Q_0}$$

Q_3/Q_2	00	01	11	10
00	0	0	1	0
01	1	1	0	1
11	X	X	X	X
10	0	0	X	X

D_2

$$D_2 = Q_2 \overline{Q_0} + Q_2 \overline{Q_1} + Q_1 Q_0$$

	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	X	X	X	X
10	0	0	X	X

D_1

$$D_0 = Q_1 \overline{Q_0} + Q_1 \overline{Q_2} \overline{Q_3}$$

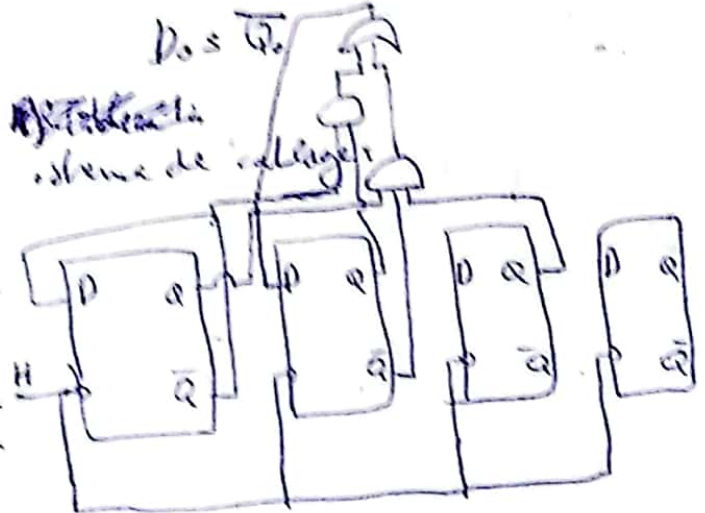
	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	X	X	X	X
10	1	0	0	X

D_0

$$D_0 = \overline{Q_0}$$

Tableau de vérité

des 4 entrées



Déc	Séquences précédentes				Séquences suivantes				Déc	J_2	K_2	J_1	K_1	J_0	K_0
4	0	0	0	0	0	1	0	1	5	0	X	X	0	X	1
5	0	0	0	1	0	1	1	0	6	0	X	X	1	X	1
6	0	0	1	0	0	1	1	1	7	0	X	X	0	X	1
7	0	0	1	1	1	0	0	0	8	1	X	X	1	X	1
8	0	0	0	0	0	1	0	0	4	X	1	1	X	0	X

Q	Q'	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

	00	01	11	10
00	X	X	X	X
01	0	1	1	0
11	X	X	X	X
10	X	X	X	X

$Q_1 Q_0$	00	01	11	10
00	1	X	X	X
01	0	0	1	0
11	X	X	X	X
10	X	1	X	X

$J_3 = Q_1 Q_0, K_3 = 1, J_2 = 1, K_2 = Q_0$

$Q_1 Q_0$	00	01	11	10
00	X	X	X	X
01	1	X	X	1
11	X	X	X	X
10	0	X	X	X

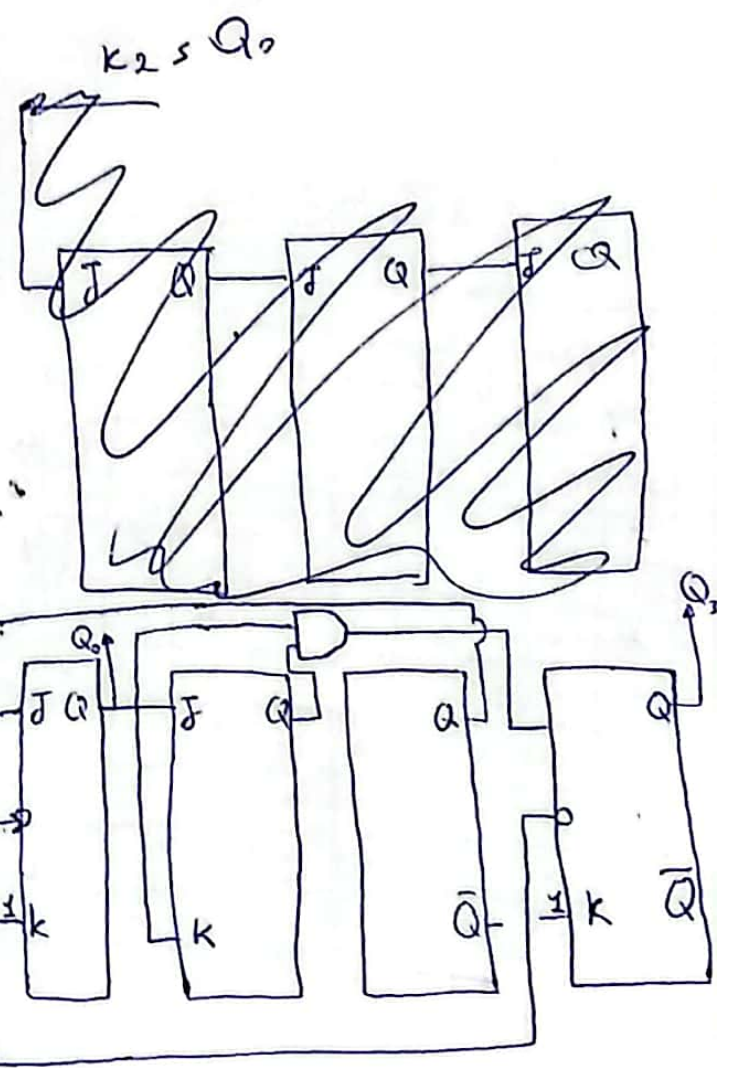
$J_0 = Q_2, K_0 = 1$

	0	1		
X	X	X	X	X
0	1	X	X	X
X	X	X	X	X
0	X	X	X	X

$J_1 = Q_0$

X	X	X	X	X
X	X	1	X	0
X	X	X	X	X
X	X	X	X	X

$K_1 = Q_0$

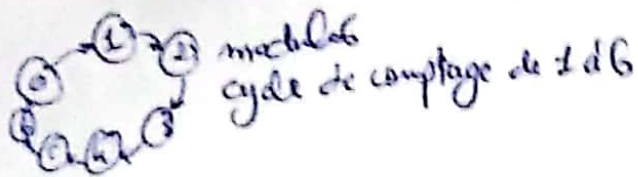


1) Des boutons équiv à des bascules T

2) compteur asynchrone

3) bascage

	C	B	A	
0	0	0	1	→ 1
1	1	1	1	→ 7



EXC:

1) Capteur synchrone

$$\begin{array}{l|l|l}
 J_A = 1 & J_B = Q_A & J_C = Q_A \oplus Q_B \\
 K_A = 1 & K_B = Q_A & K_C = Q_A \oplus Q_B
 \end{array}$$

$= Q_A \bar{Q}_B + \bar{Q}_A Q_B$

voir tableau TD

3) Cycle de comptage: 0, 1, 6, 5



$$J_0 = 1 \quad J_1 = \bar{Q}_1 Q_0 (Q_2 + Q_3) \quad J_2 = Q_1 Q_0$$

$$K_0 = 1 \quad K_1 = \bar{Q}_0 Q_1$$

$$K_2 = Q_2 \bar{Q}_1 \bar{Q}_0$$

$$J_3 = \bar{Q}_2 \bar{Q}_1 \bar{Q}_0$$

$$K_3 = \bar{Q}_3 \bar{Q}_2 \bar{Q}_1$$

K_1	J_1	K_0
0	1	1
1	1	1
0	1	1
1	1	1

Electronique Numérique

Série TD N°6 Mémoires

Exercice 1

Le plan mémoire de la figure 1 formé de quatre mémoires M1, M2, M3 et M4 est contrôlé par un système de 10 bits d'adresses :

- 1-1- Quel est le nombre de lignes d'adresse de chaque mémoire.
- 1-2- Quel est le nombre de lignes de données de chaque mémoire.
- 1-3- Quelle est la capacité de ce plan mémoire.
- 1-4- Que doivent être les états logiques des entrées d'adresse A8 et A9 pour valider successivement les mémoires M1, M2, M3 et M4. Compléter alors le tableau.

Mémoire validée	Entrées d'adresse	
	A9	A8
M1		
M2		
M3		
M4		

Tableau 1

- 1-5- Si l'adresse de début de la mémoire M1 (premier mot) est 000H, quelle serait en Hexa l'adresse de la fin de cette mémoire (dernier mot).
- 1-6- Sachant que les mémoires M2, M3 et M4 sont implantées successivement juste après la mémoire M1, donner pour chacune de ces mémoires les adresses de début et de fin.
- 1-7- Laquelle des mémoires est validée lorsque le système de contrôle envoie les adresses suivantes :
a- 0FFH b- 30DH c- 219H d- 3FFH

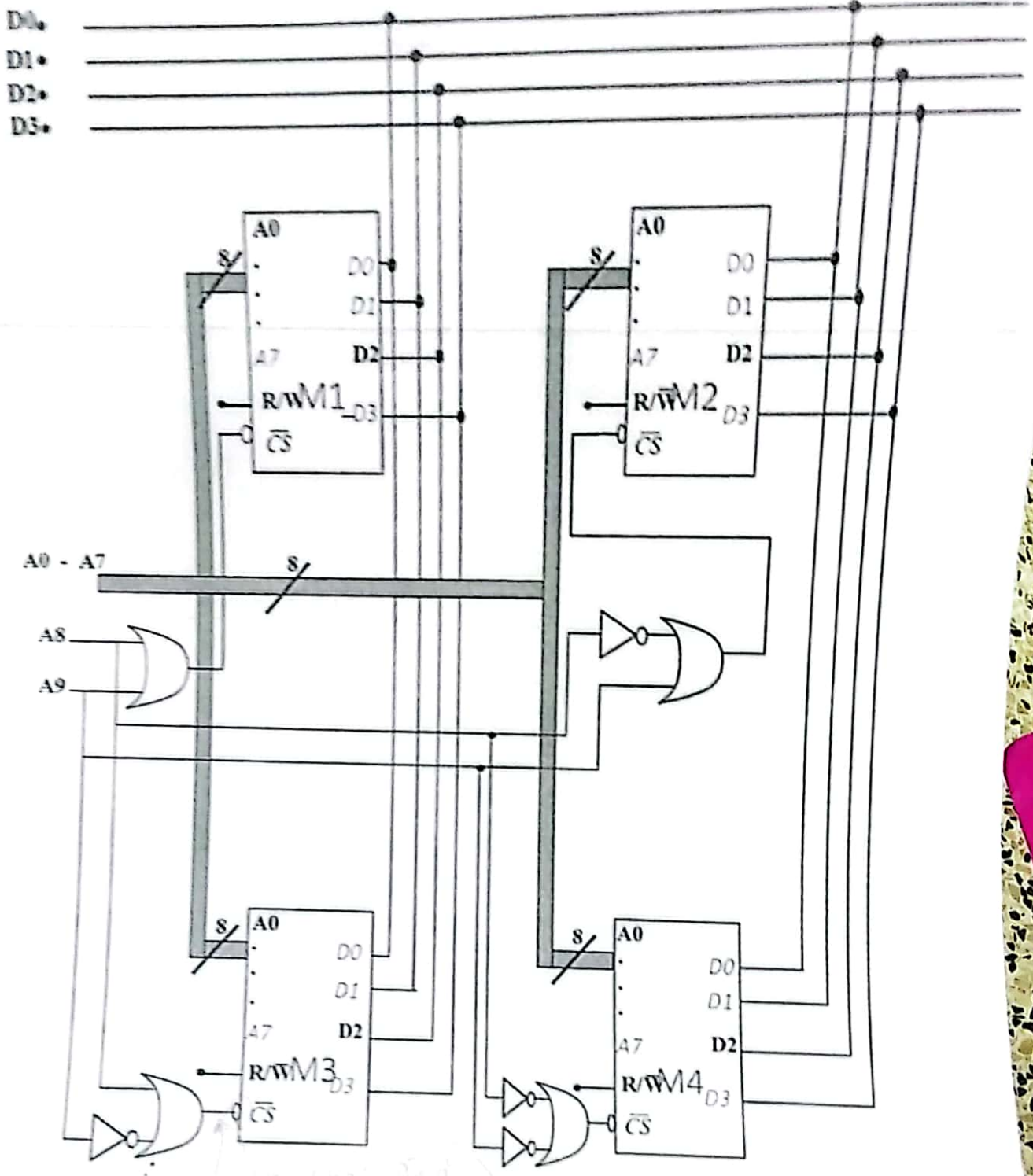


Figure 1

Exercice 2

Soit la mémoire M de la figure 2 :

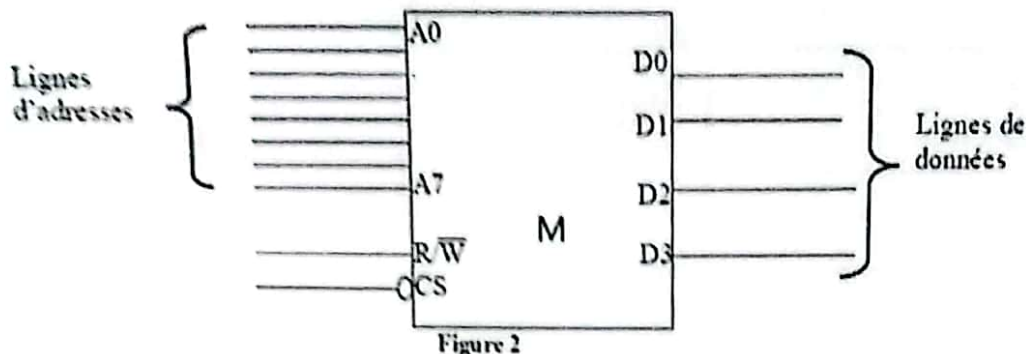


Figure 2

- 1- Quel est le nombre maximum de mots qu'on peut y stocker ?
- 2- On voudrait mémoriser 200 mots de 8 bits chacun. Proposer un montage pouvant résoudre ce problème. Utiliser autant de mémoires de ce type qu'il le faut.
- 3- On désire stocker 400 mots de 4 bits chacun. Réaliser le montage correspondant avec le même type de mémoire.
- 4- A partir de cette mémoire, on veut obtenir un plan mémoire 512x8?
 - 4.a- Combien de circuits de mémoire de ce type faudra-t-il ?
 - 4.b- Comment les associer ensemble ?

Exercice 3

On veut fabriquer un plan mémoire comprenant 10 Ko de PROM à partir de l'adresse D800H et 6Ko de RAM à partir de l'adresse 4000H. Ce plan mémoire est géré par un microprocesseur délivrant 16 bits d'adresse.

Sachant que les mémoires PROM et RAM utilisées contiennent toutes 2Ko par boîtier :

- Déterminer les adresses de fin des mémoires RAM et PROM utilisées.
- Proposer un schéma utilisant le décodeur 74138 pour la sélection des différentes mémoires.

Exercice 4

1. On souhaite réaliser une interface d'entrée/sortie : il faut pouvoir adresser 2044 mots (cases) de 1 octet sur la carte interface. Le bus d'adresse est de 16 bits et le bus de données de 8 bits, peut-on adresser toutes les cases mémoires ? Expliquer.

2. On considère le montage suivant utilisé par un microprocesseur 6809 à 16 bits d'adresses. Déterminer l'étendue (adresse de début, adresse de fin) et la taille des mémoires M1, M2, M3 et M4.

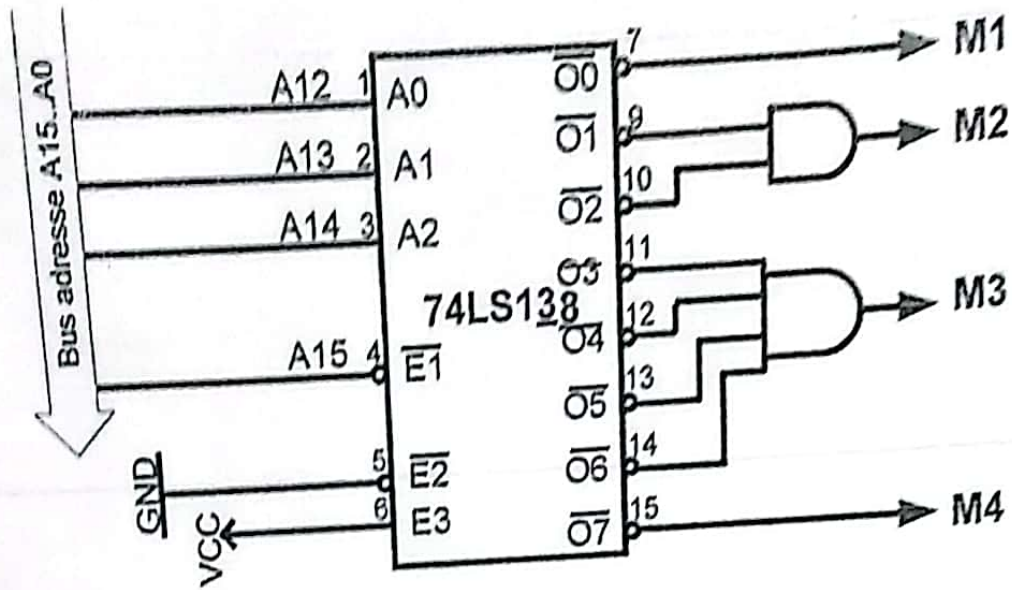


Figure3

EX :

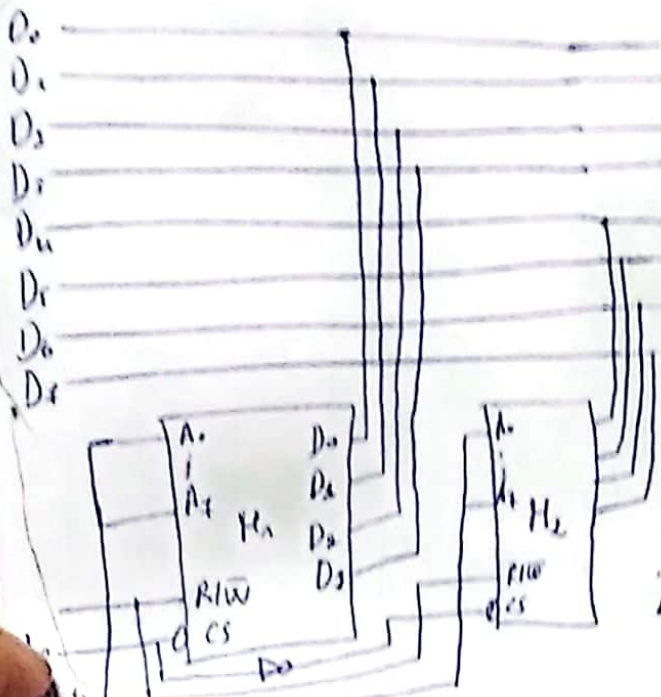
1) nbre max de mots qu'on peut stocker
avec 8 lignes d'adresses avec :

2⁸ mots de 4 bits chacun

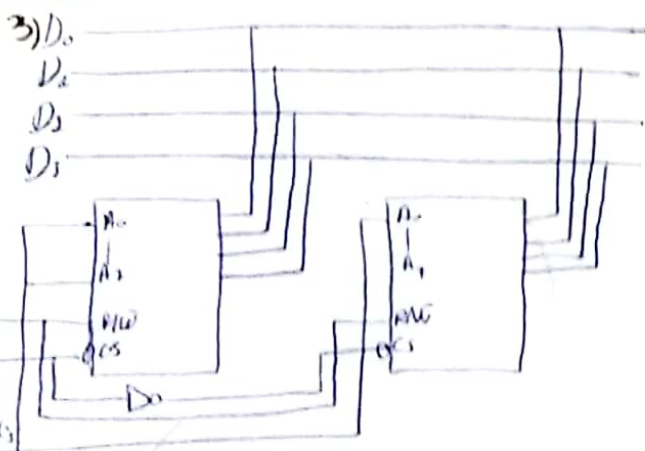
Soit 256 mots de 4 bits chacun

2) Il s'agit d'une extension de la longueur
des mots, on doit utiliser 2 mémoires de ce type
fonctionnant au même temps

Soit la configuration suivante



256x4



256x4

200 mots x 8 bits

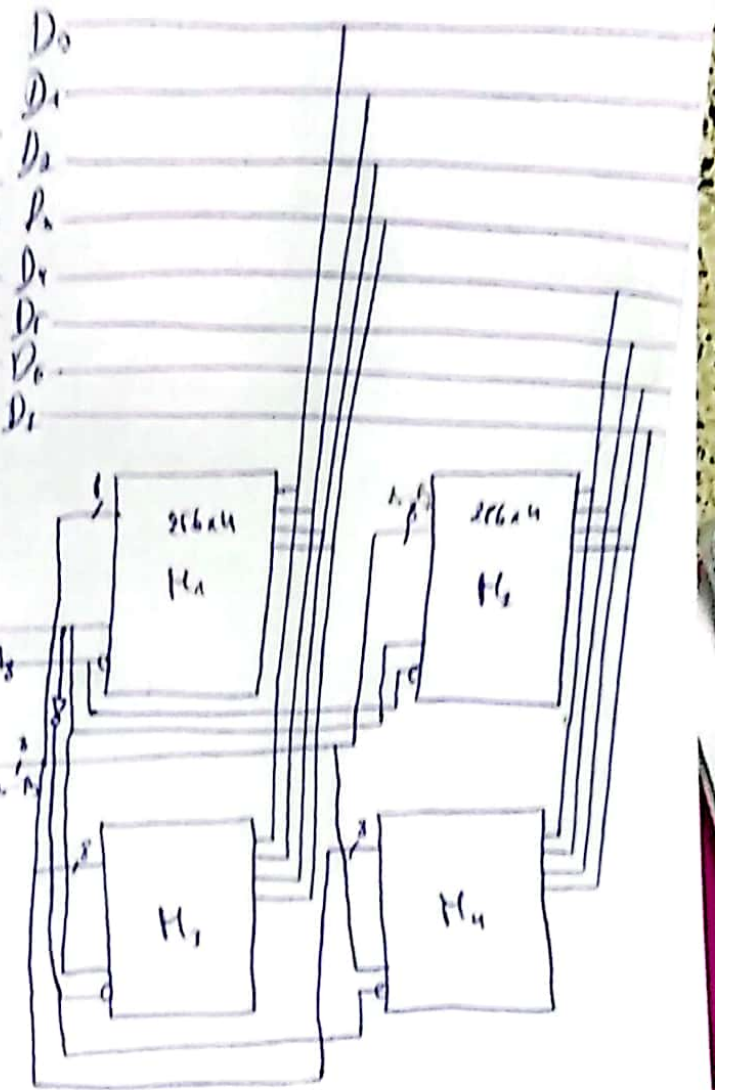
512 x 4 bits

400 mots

pour former une mémoire 512x8
utiliser 2 mémoires, H1 et utiliser H2
probablement (16 bits)

Soit la configuration suivante :

1) pour former une mémoire 512x8
nous devons avoir une extension en nbre de
lignes d'adresse et en nbre de lignes de
données



H1, H2 = 256x4
H3, H4 = 256x4
soit 12 x 8 bits

