

Exercice 1

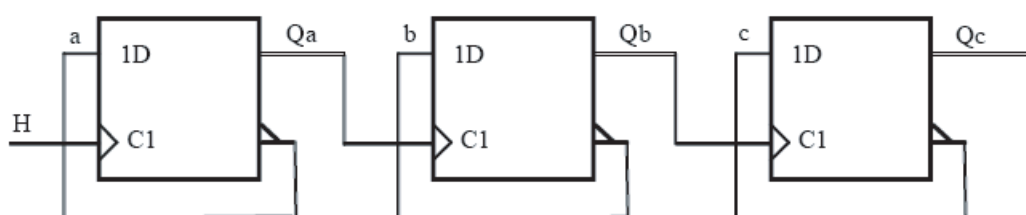


FIGURE 1 –

1. Le fonctionnement de ces bascules est-il synchrone ou asynchrone? Argumenter votre réponse.
2. Tracer les chronogrammes des sorties Q_a , Q_b et Q_c (à l'état initial, $Q_a = Q_b = Q_c = 0$).
3. Convertir en décimal les trois bits binaires Q_a , Q_b et Q_c en prenant Q_a pour bit de poids faible.
4. Quelle est la fonction réalisée?
5. Donner le modulo du compteur.
Soit la figure suivante :

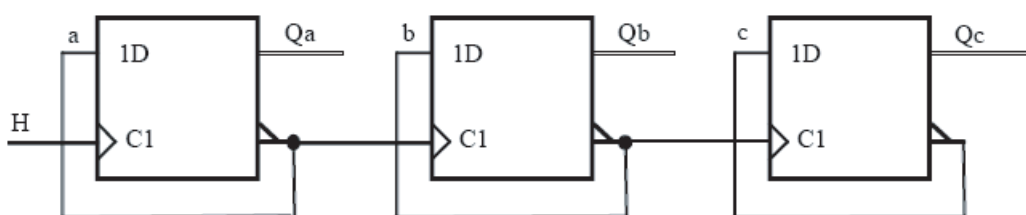


FIGURE 2 –

6. Tracer les chronogrammes des sorties Q_a , Q_b et Q_c (à l'état initial, $Q_a = Q_b = Q_c = 0$).
7. Convertir en décimal les trois bits binaires Q_a , Q_b et Q_c en prenant Q_a pour bit de poids faible.
8. Quelle est la fonction réalisée? Comparer ce schéma structurel avec celui de la figure précédente et conclure sur l'incidence de la fonction réalisée.

9. Donner le modulo du compteur.

Exercice 2

Soit la figure suivante :

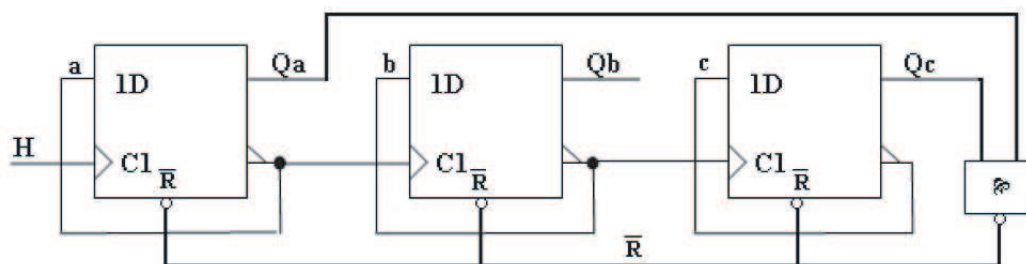


FIGURE 3 –

1. Donner la table de vérité de l'opérateur logique ($/R = f(Q_a, Q_c)$)
2. Quel est le rôle de l'entrée $/R$? À quel niveau est-elle active?
3. Tracer les chronogrammes des sorties Q_a, Q_b, Q_c et $/R$ (à l'état initial, $Q_a = Q_b = Q_c = 0$).
4. Convertir en décimal les trois bits binaires Q_c, Q_b et Q_a en prenant Q_a pour bit de poids faible.
5. Quelle est la fonction réalisée?

Exercice 3

1. Donner la table des transitions d'une bascule JK.
Dans un premier temps, on désire réaliser un compteur synchrone modulo 7 à l'aide de bascules JK synchronisées sur front montant.
2. De combien de bascules JK on aura besoin pour réaliser ce compteur.
3. À l'aide de la table des transitions, remplir le tableau des états futurs de ce compteur.
4. Donner les équations des entrées des différentes bascules.
5. Donner le schéma de câblage correspondant.
On désire maintenant réaliser un compteur synchrone, modulo 8 en code Gray, à l'aide de bascules JK synchronisées sur front descendant.
6. Remplir le tableau des états futurs de ce compteur.
7. Donner les équations des entrées J_i, K_i correspondantes.

Exercie 4

1. Remplir le chronogramme relatif au montage suivant :

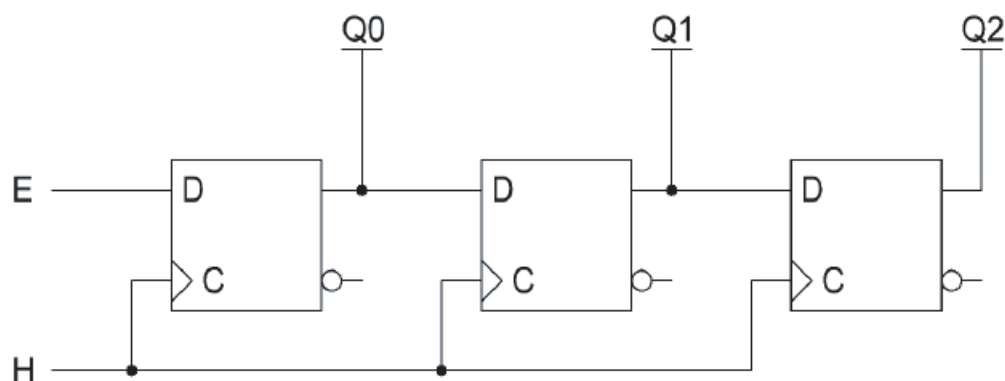


FIGURE 4 –

2. Que fait ce montage ?

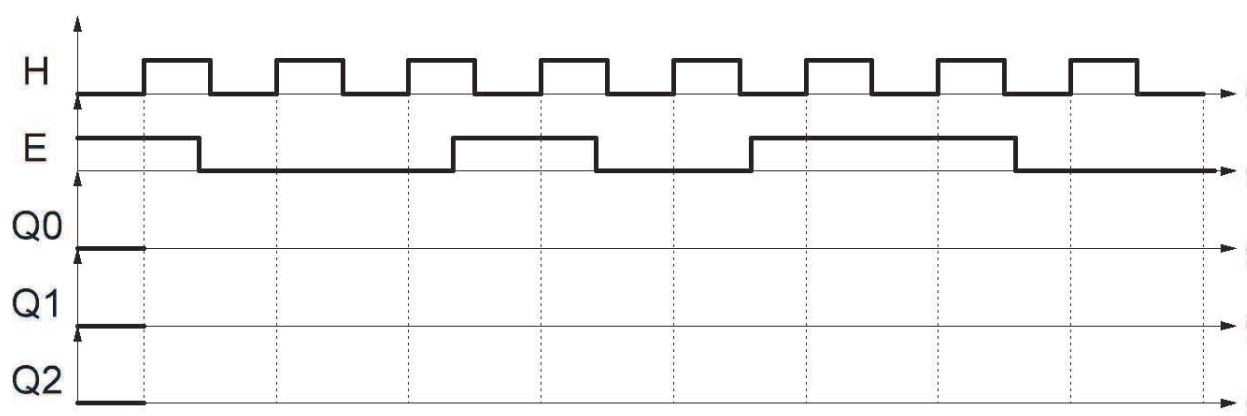


FIGURE 5 –

Exercie 5

On considère le registre à décalage 74AC11194 dont la table de vérité et le schéma logique sont donnés en ce qui suit.

1. Quelles doivent être les valeurs des entrées pour avoir un fonctionnement du registre en mode parallèle - parallèle ?
2. Quelles doivent être les valeurs des entrées pour avoir un fonctionnement du registre en mode série avec un décalage vers la droite ?
3. Même question pour avoir un décalage vers la gauche.
4. Compléter le chronogramme de la Figure 7. en considérant que toutes les sorties Q_i sont au niveau bas à l'instant initial.

74AC1194 4-BIT BIDIRECTIONAL **UNIVERSAL SHIFT REGISTER**

SCAS003 – NOVEMBER 1989 – REVISED APRIL 1993

Function Table

INPUTS								OUTPUTS					
CLEAR	MODE		CLOCK	SERIAL		PARALLEL				QA	QB	QC	QD
	S1	S0		LEFT	RIGHT	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	QA _n	QB _n	QC _n
H	L	H	↑	X	L	X	X	X	X	L	QA _n	QB _n	QC _n
H	H	L	↑	H	X	X	X	X	X	QB _n	QC _n	QD _n	H
H	H	L	↑	L	X	X	X	X	X	QB _n	QC _n	QD _n	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

H = high level (steady state)

L = low level (steady state)

X = irrelevant (any input, including transitions)

↑ = transition from low to high level

a, b, c, d = the level of steady-state input at inputs A, B, C, or D, respectively.

QA0, QB0, QC0, QD0 = the level of QA, QB, QC, or QD, respectively, before the indicated steady-state input conditions were established.

QA_n, QB_n, QC_n, QD_n = the level of QA, QB, QC, or QD respectively, before the most-recent ↑ transition of the clock.

logic diagram (positive logic)

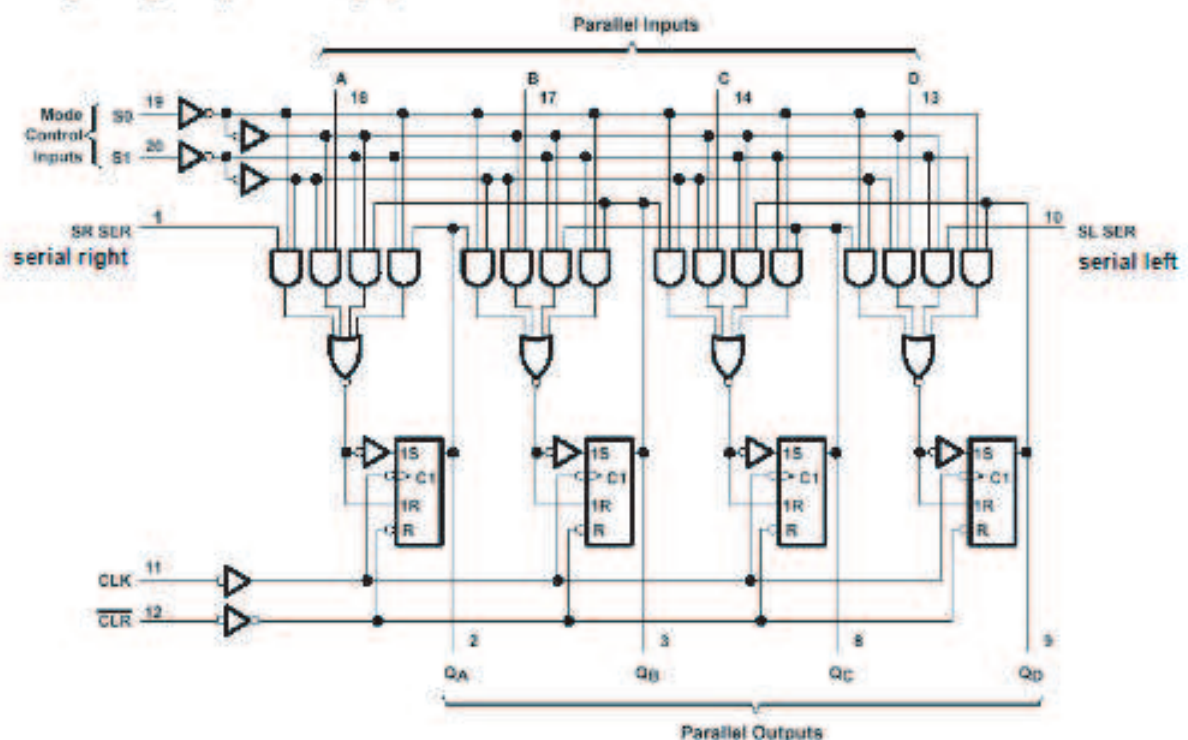


FIGURE 6 –

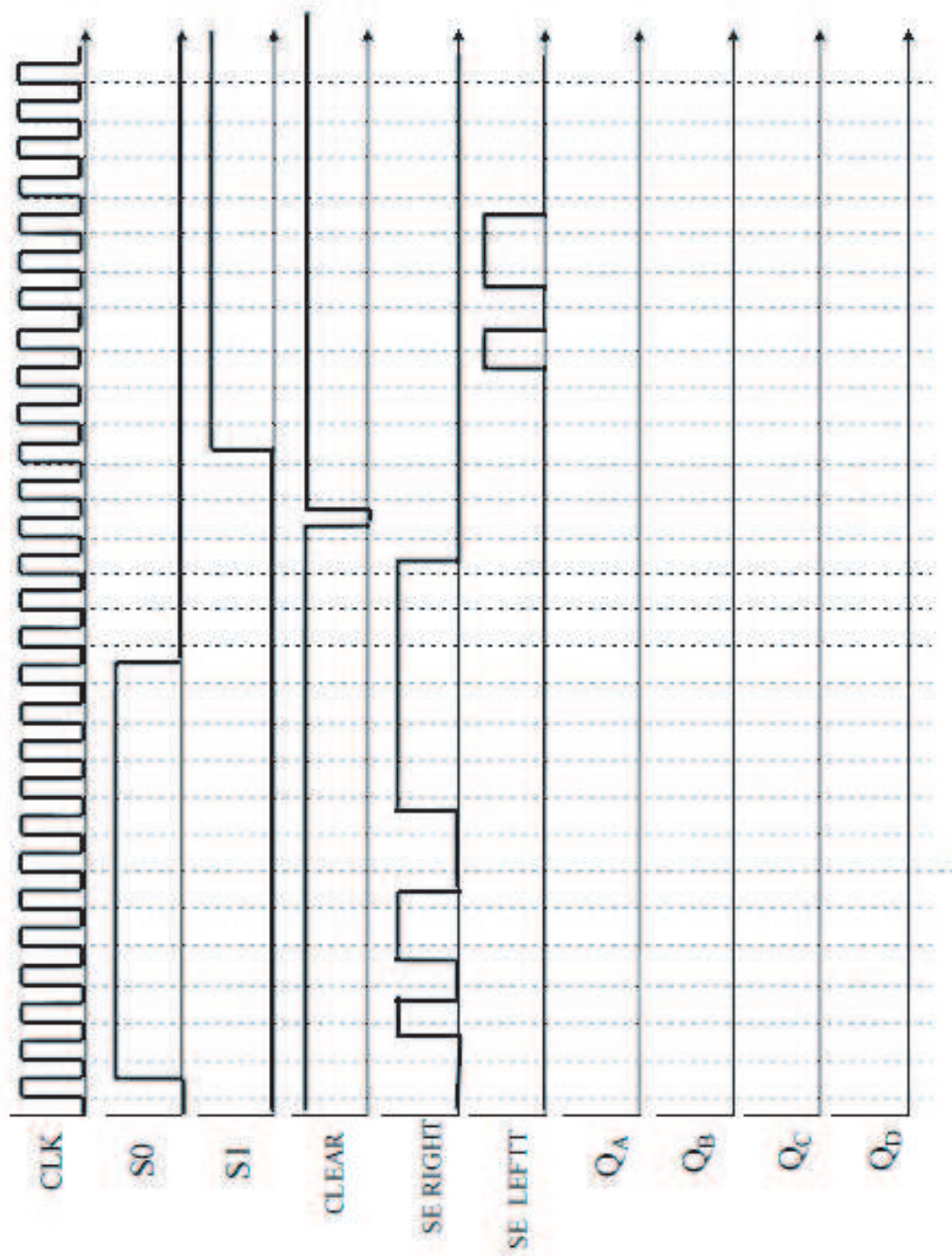


FIGURE 7 –