



GCR1

Chapitre 5:

Les mémoires

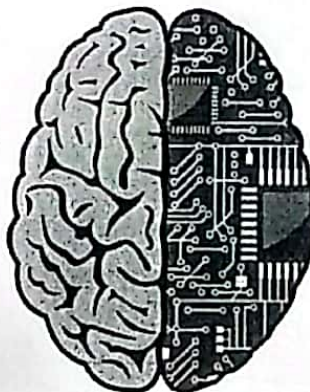
π

Définition

On appelle **mémoire** tout dispositif capable d'enregistrer, de conserver et de restituer de l'information.

Mémoire humaine

- meilleur mécanisme d'activation et de recherche
- Meilleur traitement de certaines classe de données (e.g., sons, images)
- Travail en parallèle
- Élément actif : traitement et mémorisation simultanés



Mémoire électronique

- Plus grande capacité de stockage
- plus grande précision
- Travail séquentiel
- élément passif : au service du processeur

π

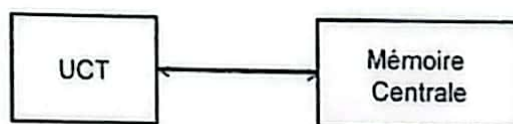
Architecture matérielle d'une machine

L'architecture de base des ordinateurs est composée d'une unité centrale de traitement (UCT), appelée aussi processeur (en anglais Central Processing Unit, CPU) qui a pour rôle à pour rôle d'exécuter les programmes.

L'UCT est composée d'une unité arithmétique et logique (UAL) et d'une unité de contrôle.

- L'unité arithmétique et logique réalise les opérations élémentaires (addition, soustraction, multiplication, . . .) du processeur à chaque top d'horloge.
- L'unité de commande contrôle et les opérations à réaliser par l'UAL selon l'instruction en cours d'exécution et les opérations de lecture/écriture.

Pour pouvoir effectuer les opérations sur des données et exécuter des programmes l'UC doit disposer d'un espace de travail. Cette espace de travail s'appelle la mémoire centrale.



3

Terminologie

Cellule mémoire : circuit électrique ou dispositif qui stocke un seul bit (0 ou 1). Ex. : bascule, condensateur,...

Mot mémoire : groupe cellules mémoires qui stocke une donnée. Ex. un registre de 8 bascules peut être considéré comme une case mémoire qui conserve un mot de 8 bits.

Capacité : le volume global d'informations (en bits) que la mémoire peut stocker. Elle peut s'exprimer en bit,

Bit : le bit est l'élément de base pour la représentation de l'information.

Octet : 1 Octet = 8 bits

kilo-octet (KO) : 1 kilo-octet (KO) = 1024 octets = 2^{10} octets

Méga-octet (MO) : 1 Méga-octet (MO) = 1024 KO = 2^{20} octets

Giga-octet (GO) : Giga-octet (GO) = 1024 MO = 2^{30} octets

Téra-octet (To) : 1 téra-octet (To) = 1024 Go = 2^{40} octets

Adresse : un nombre qui permet de localiser un mot mémoire.

Temps d'accès : l'intervalle de temps entre la demande de lecture/écriture et la disponibilité de la donnée,

Temps de cycle : l'intervalle de temps minimum entre deux accès successifs.

Débit : le volume d'information échangé par unité de temps, exprimé en bits par seconde.

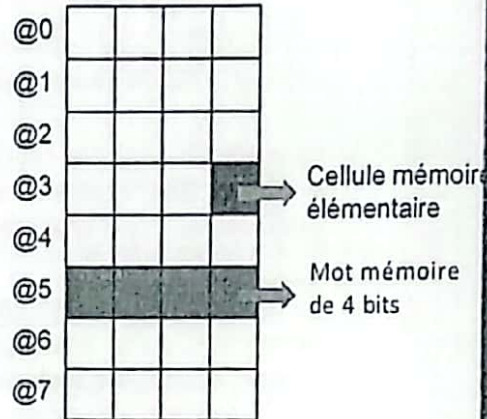
Non volatilité : l'aptitude d'une mémoire à conserver les données lorsqu'elle n'est plus alimentée électriquement.

Volatilité : Une mémoire est dite volatile si son contenu est effacé en absence de tension électrique, alors qu'une mémoire non volatile garde l'information.

4

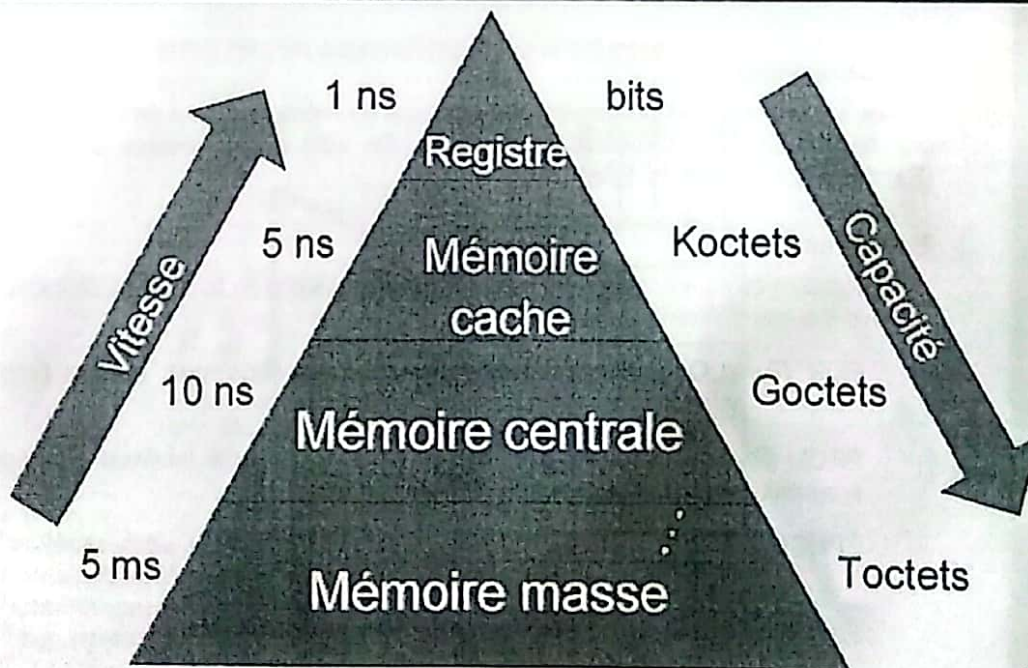
Organisation interne

- Une mémoire est constituée d'un assemblage de cellules mémoires élémentaires. Chaque cellule permet de stocker 1 bit.
- Les bits stockés sont organisés en forme de matrice : la dimension de la mémoire est donnée par le nombre de lignes x la largeur de la ligne
- Chaque ligne de la mémoire est appelée un mot. Elle est identifiée par une adresse (numéro de la ligne)
- Chaque mot est accessible à un emplacement physique ou adresse.
- La capacité d'une mémoire est le nombre de bits qui peuvent y être stockés. La capacité est parfois exprimée en octets (mot de 8 bits)
- Deux opérations sont possibles, toujours sur un mot complet: la lecture (read) et l'écriture (write)



5

Types de mémoires



6

Types de mémoires

π

Electronique Numérique

- Le registre est l'éléments de mémoire les plus rapides. Il est situé au niveau du processeur et sert au stockage des opérandes et des résultats intermédiaires. Il est généralement intégré dans le CPU et sert principalement au stockage des opérandes et résultats intermédiaires. C'est une mémoire volatile.
- La mémoire cache (ou antémémoire) utilisée comme mémoire tampon (buffer) entre le CPU et la mémoire centrale. C'est une mémoire volatile.
- La mémoire centrale est l'organe principal de rangement des informations utilisées par le CPU. Elle contient les instructions et les données lors de l'exécution d'un programme. C'est une mémoire à accès direct (Random Access Memory, RAM).
- La mémoire de masse est une mémoire de grande capacité utilisée pour le stockage permanent ou la sauvegarde des informations. Elle utilise pour cela des supports magnétiques (disque dur) ou optiques (CDROM, DVDROM).

7

Classification de mémoires

π

Electronique Numérique

➤ Mémoires vives

Toutes les informations contenues dans ce type de mémoires sont définitivement perdues en cas de coupure de l'alimentation du circuit. Ce sont des mémoires dites à accès direct (Random Access Memory, RAM).

➤ Mémoires mortes

Les données qu'elles contiennent ne sont pas perdues lors de la coupure de l'alimentation du circuit. Il existe différents types :

ROM (Read Only Memory) : Mémoire à lecture seulement, elle est programmée, à l'origine, par le fabricant et son contenu ne peut être modifié.

PROM (Programmable ROM) : Elle est livrée vierge par le fabricant. L'utilisateur peut la programmer une seule fois et ne peut plus l'effacer.

EPROM (Erasable PROM) : son contenu peut être effacé et modifié plusieurs fois.

UVPRM : le contenu est effacé par rayons ultra- violets (plusieurs minutes).

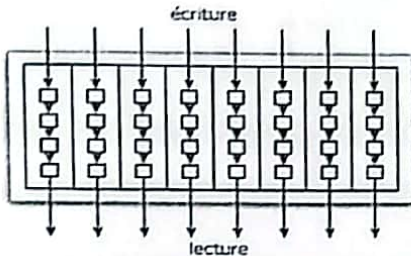
EEPROM : le contenu est effacé électriquement (quelques millisecondes)

Flash : le contenu est effacé électriquement et plus rapidement que l' EEPROM.

Mémoires à accès séquentiels

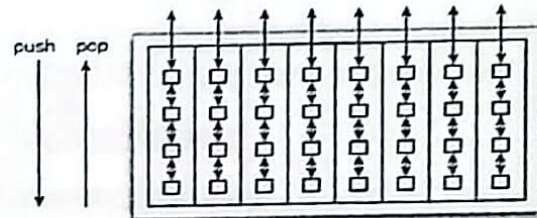
Les cellules sont chaînées (idem. registre à décalage), et ne sont accessibles qu'aux extrémités de la chaîne

Mémoires FIFO



Les mots sont lus dans le même ordre dans lequel ils sont écrits (le premier écrit est le premier lu)

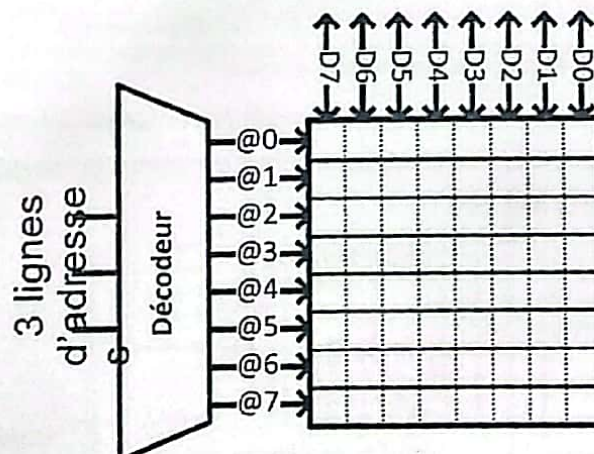
Mémoires LIFO



- push: équivalent à l'écriture, met une information au sommet de la pile, en poussant vers le bas les informations déjà présentes dans la pile. L'information tout en bas de la pile sera perdue
- pop: équivalent à la lecture, prend l'information qui se trouve au sommet de la pile, en poussant tout le contenu de la pile vers le sommet. L'information lue sera enlevée de la

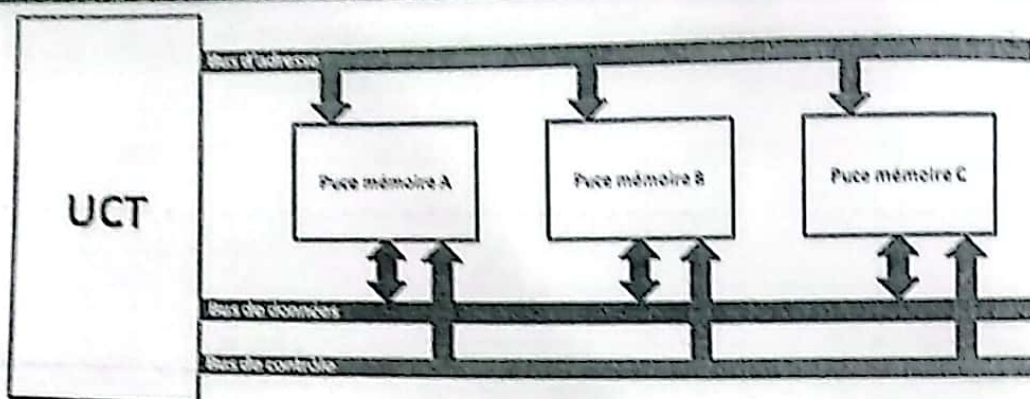
Mémoires à accès direct

Les cellules mémoires sont accessibles via une adresse



Sélection d'un registre parmi $2^3=8$

Connexion UCT - mémoire



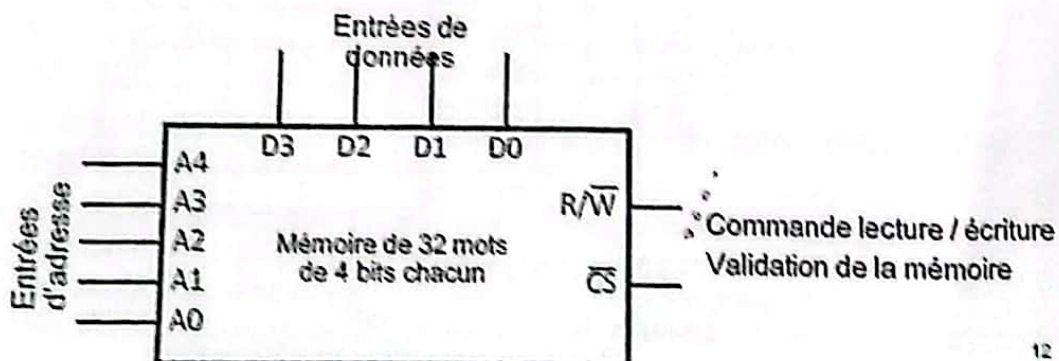
Les puces mémoires sont reliées au processeur par l'intermédiaire de 3 faisceaux conducteurs appelés bus.

- ✓ Bus d'adresse : c'est un bus unidirectionnel qui contient l'adresse binaire, toujours transmise de l'UCT aux mémoires.
- ✓ Bus de données : c'est un bus bidirectionnel qui contient les données échangées dans les 2 sens, entre l'UCT et les mémoires.
- ✓ Bus de contrôle : c'est un bus qui achemine les signaux de commande (ex. lecture / écriture) entre l'UCT et les mémoires.

Fonctionnement de la mémoire

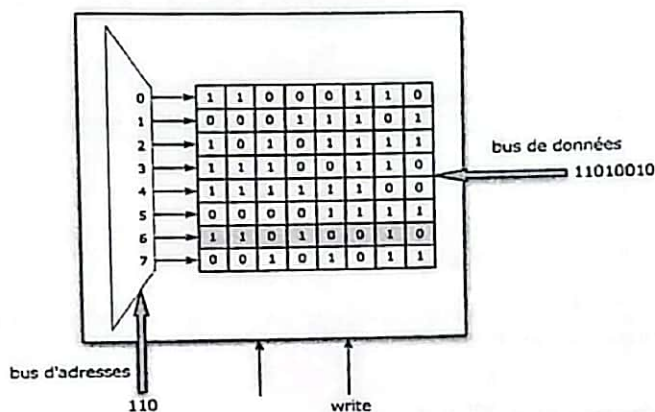
Chaque système mémoire est doté e plusieurs types de lignes d'entrées et de sorties qui ont les rôles suivants :

- Choisir l'adresse en mémoire qui donne accès à un emplacement.
- Choisir entre une opération de lecture ou d'écriture.
- Acheminer la donnée d'entrée mémorisée durant une opération d'écriture
- Contenir les données tirées de la mémoire durant une opération de lecture
- Valider ou invalider la mémoire



Opération d'écriture

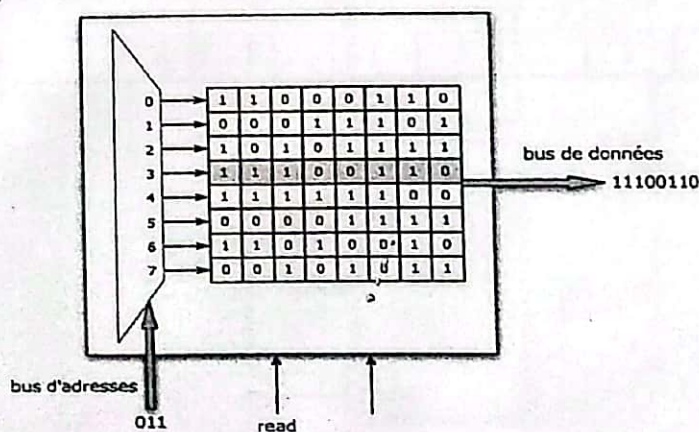
- L'UCT place sur le bus d'adresse, l'adresse binaire de la case mémoire qu'elle veut rejoindre pour y écrire la donnée
- L'UCT place la donnée à écrire sur le bus de donnée
- L'UCT active les signaux de commande appropriés pour réaliser l'opération d'écriture
- Les puces mémoires décodent l'adresse binaire et déterminent la case à laquelle est destinée la donnée
- La donnée se trouvant sur le bus de données est transmise à la case mémoire sélectionnée



13

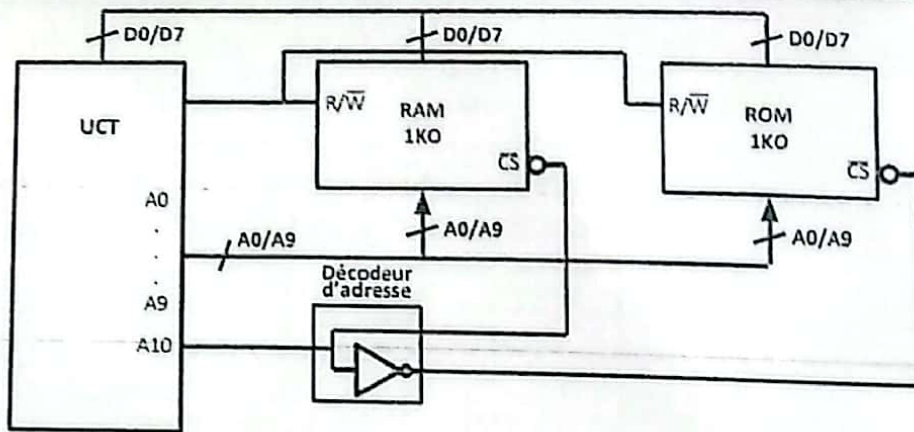
Opération de lecture

- L'UCT place sur le bus d'adresse, l'adresse binaire de la case mémoire qu'elle veut rejoindre pour y lire la donnée
- L'UCT active les signaux de commande appropriés pour réaliser l'opération de lecture
- Les puces mémoires décodent l'adresse binaire et déterminent la case à laquelle se trouve la donnée qui doit être lue
- Les puces mémoires placent la donnée de la case sélectionnée sur le bus de donnée, qui la transmet à l'UCT



14

Décodage d'adresse



Lorsque le l'UCT place une valeur entrée sur ses lignes, les deux puces mémoires possèdent les mêmes valeurs sur les entrées A0 . . . A9

→ Il faut ajouter un système de décodage d'adresse pour éviter que les 2 puces mémoires soient sélectionnées ensembles.

15

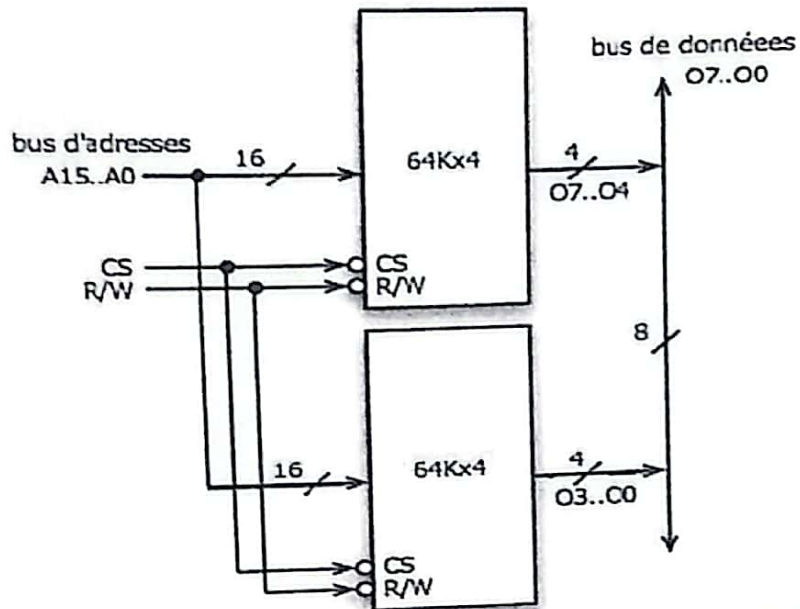
Carte d'adressage

| | A10 | A9 | A8 | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | @ en hexa |
|-----|-----|----|----|----|----|----|----|----|----|----|----|-----------|
| RAM | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 000 |
| | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 3FF |
| ROM | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 400 |
| | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 7FF |

16

Extension de capacité par Elargissement du bus de données

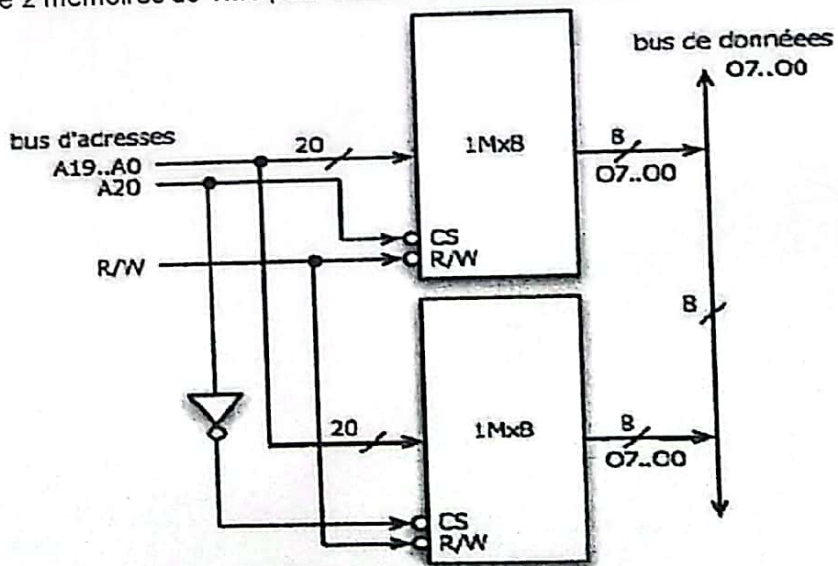
Utilisation de 2 mémoires de 64Kx4bits pour obtenir une mémoire 64Kx8bits ou 64Ko



17

Extension de capacité par Elargissement du bus d'adresse

Utilisation de 2 mémoires de 1Mo pour obtenir une mémoire 2Mo



18

Electronique Numérique

Série TD N°6 Mémoires

Exercice 1

Le plan mémoire de la figure 1 formé de quatre mémoires M1, M2, M3 et M4 est contrôlé par un système de 10 bits d'adresses :

- 1-1- Quel est le nombre de lignes d'adresse de chaque mémoire.
- 1-2- Quel est le nombre de lignes de données de chaque mémoire.
- 1-3- Quelle est la capacité de ce plan mémoire.
- 1-4- Que doivent être les états logiques des entrées d'adresse A8 et A9 pour valider successivement les mémoires M1, M2, M3 et M4. Compléter alors le tableau1.

| Mémoire validée | Entrées d'adresse | |
|-----------------|-------------------|----|
| | A9 | A8 |
| M1 | | |
| M2 | | |
| M3 | | |
| M4 | | |

Tableau 1

- 1-5- Si l'adresse de début de la mémoire M1 (premier mot) est 000_H, quelle serait en Hexa l'adresse de la fin de cette mémoire (dernier mot).
- 1-6- Sachant que les mémoires M2, M3 et M4 sont implantées successivement juste après la mémoire M1, donner pour chacune de ces mémoires les adresses de début et de fin.
- 1-7- Laquelle des mémoires est validée lorsque le système de contrôle envoie les adresses suivantes :
a- 0FF_H b- 30D_H c- 219_H d- 3FF_H

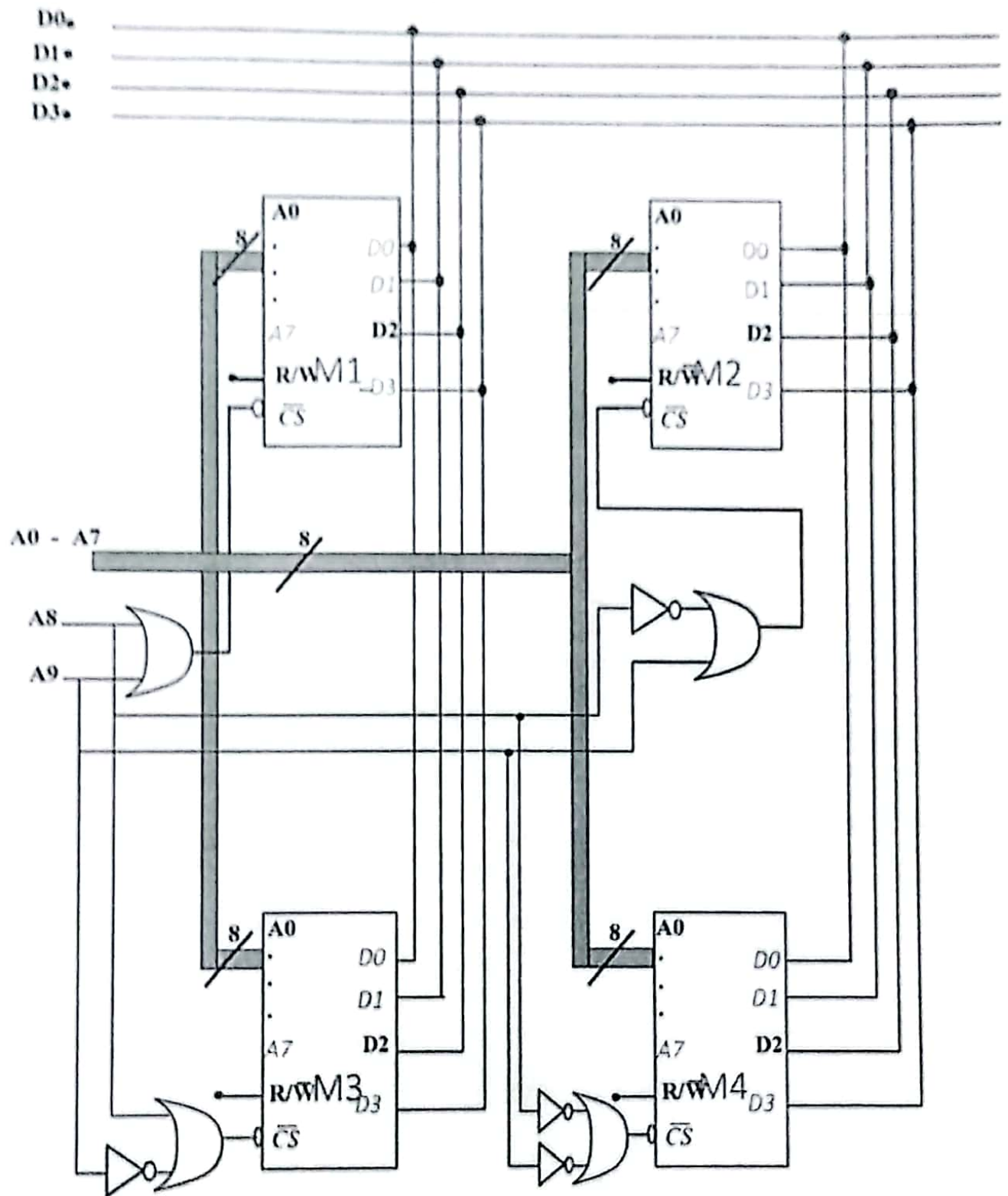


Figure 1

Exercice 2

Soit la mémoire M de la figure 2 :

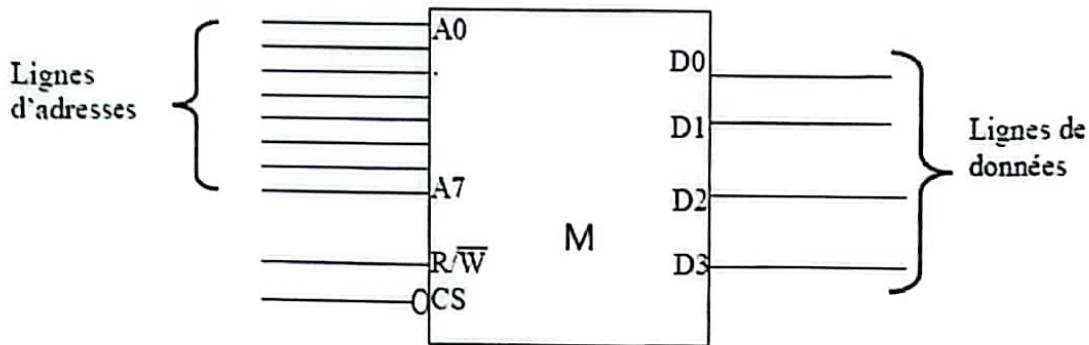


Figure 2

- 1- Quel est le nombre maximum de mots qu'on peut y stocker ?
- 2- On voudrait mémoriser 200 mots de 8 bits chacun. Proposer un montage pouvant résoudre ce problème. Utiliser autant de mémoires de ce type qu'il le faut.
- 3- On désire stocker 400 mots de 4 bits chacun. Réaliser le montage correspondant avec le même type de mémoire.
- 4- A partir de cette mémoire, on veut obtenir un plan mémoire 512x8?
 - 4.a- Combien de circuits de mémoire de ce type faudra-t-il ?
 - 4.b- Comment les associer ensemble ?

Exercice 3

On veut fabriquer un plan mémoire comprenant 10 Ko de PROM à partir de l'adresse D800H et 6Ko de RAM à partir de l'adresse 4000H. Ce plan mémoire est géré par un microprocesseur délivrant 16 bits d'adresse.

Sachant que les mémoires PROM et RAM utilisées contiennent toutes 2Ko par boîtier :

- Déterminer les adresses de fin des mémoires RAM et PROM utilisées.
- Proposer un schéma utilisant le décodeur 74138 pour la sélection des différentes mémoires.

Exercice 4

1. On souhaite réaliser une interface d'entrée/sortie : il faut pouvoir adresser 2044 mots (cases) de 1 octet sur la carte interface. Le bus d'adresse est de 16 bits et le bus de données de 8 bits, peut-on adresser toutes les cases mémoires ? Expliquer.

2. On considère le montage suivant utilisé par un microprocesseur 6809 à 16 bits d'adresses. Déterminer l'étendue (adresse de début, adresse de fin) et la taille des mémoires M1, M2, M3 et M4.

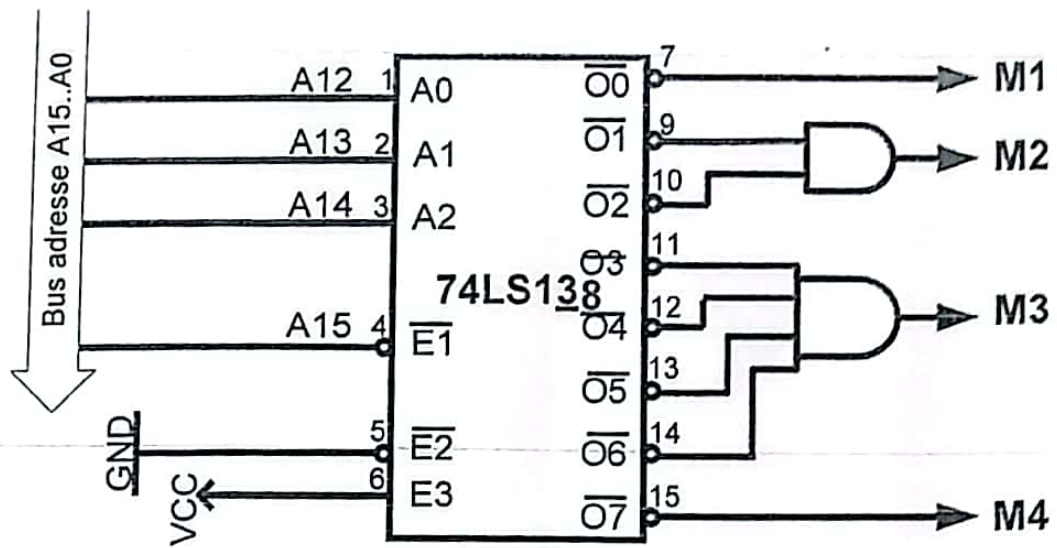


Figure3