****

**Tp 1: SLP**

**GEA2A**



* **Definition de language VHDL:**
* **VHSIC** (Very High Speed Integrated Circuit) Hardware Description Langage, destinée pour décrire la structure et le comportement de systèmes électroniques, en particulier des circuits digitaux (ASIC, FPGA0). avec une bibliothéque Standard IEEE ,indépendamment de la technologie cible.

En effet, c’est un langage très complexe utilisé pour décrire le fonctionnement d’un système.

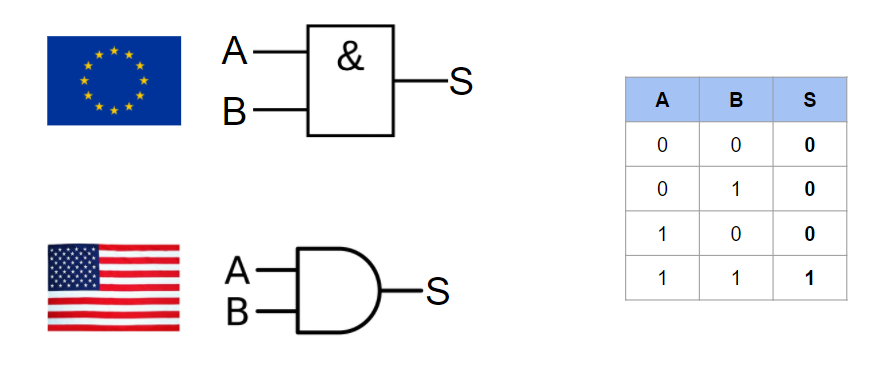
* **Exercice n1 : Nand 4 :**

1. **Code VHDL de type flot de donnée dun Porte AND :**

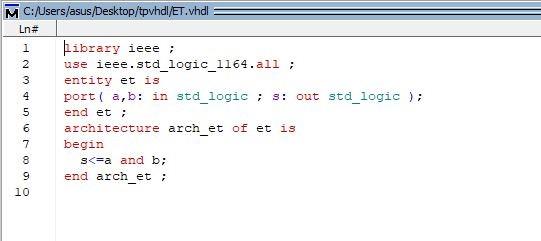
* Equation logique :

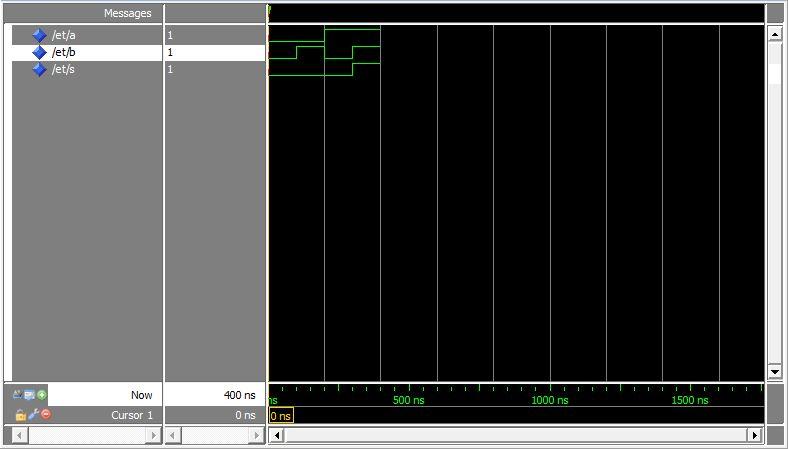
S= A+B

* Logigramme et table de vérité :

****

* Code vhdl :



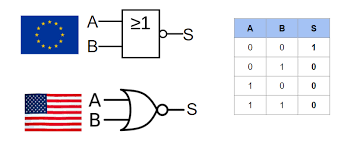
* En simulant on trouve le chronogram suivant 

**2-3)Code VHDL de type structurelle d’une Porte NAND 4 :**

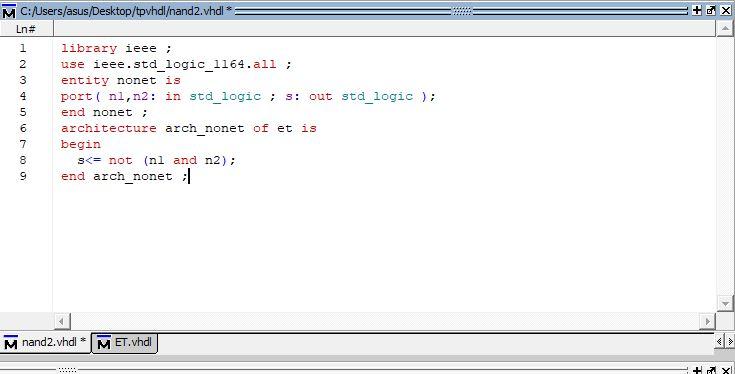
* Code VHDL de type flot de donnée d’une Porte NAND a 2 entrée :
* Equation logique :

S= \(A+B)

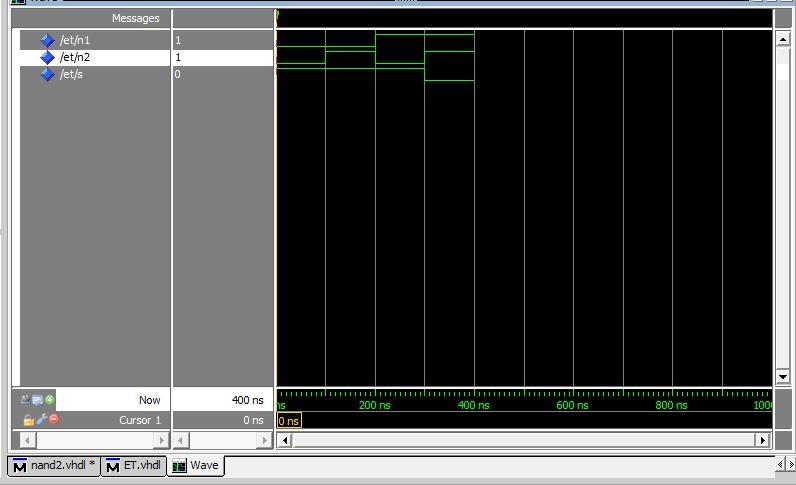
* Logigramme et table de vérité :



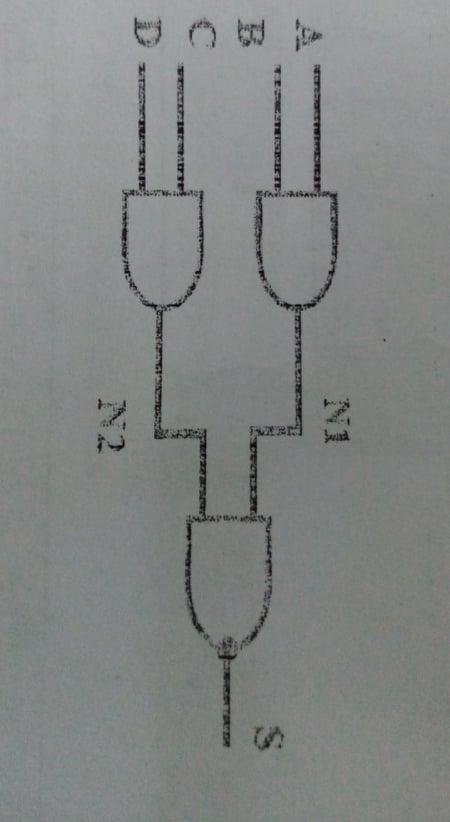
* Code vhdl :



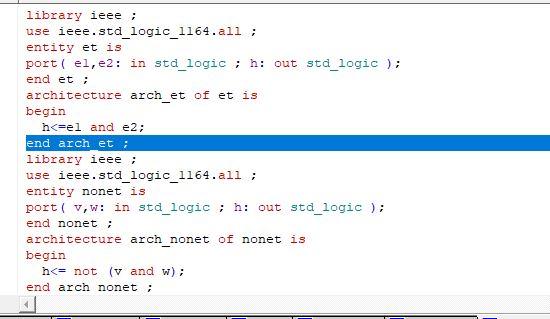
* En simulant on trouve le chronogramme suivant

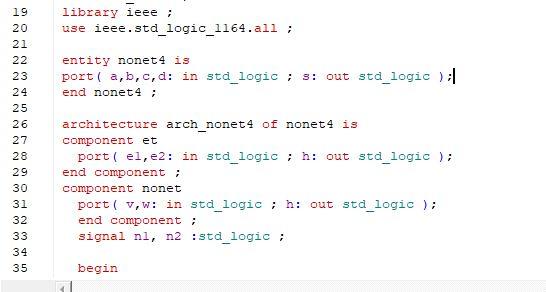


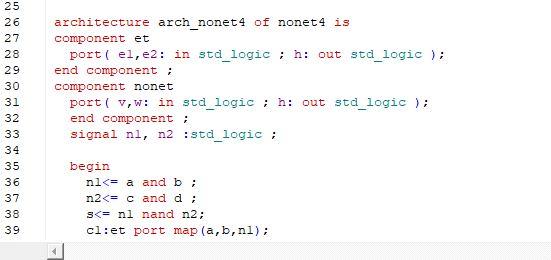
* Code VHDL de type structurelle d’un Porte NAND a 4 entrée :

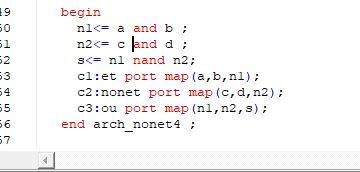


* Code vhdl :

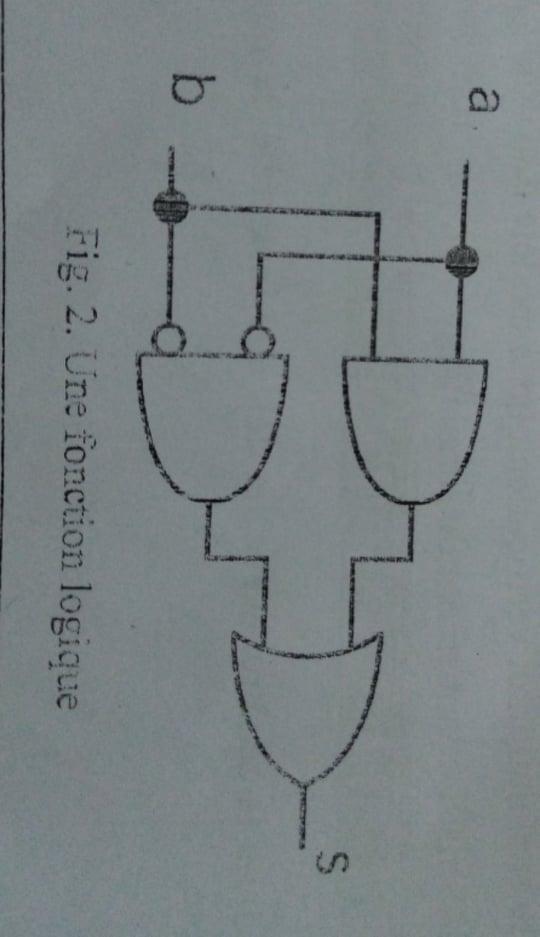
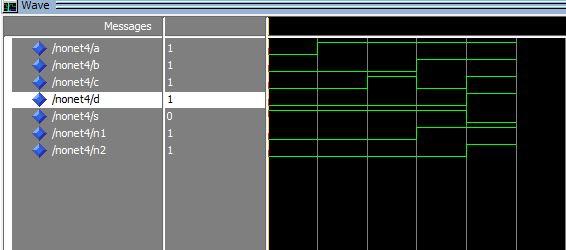






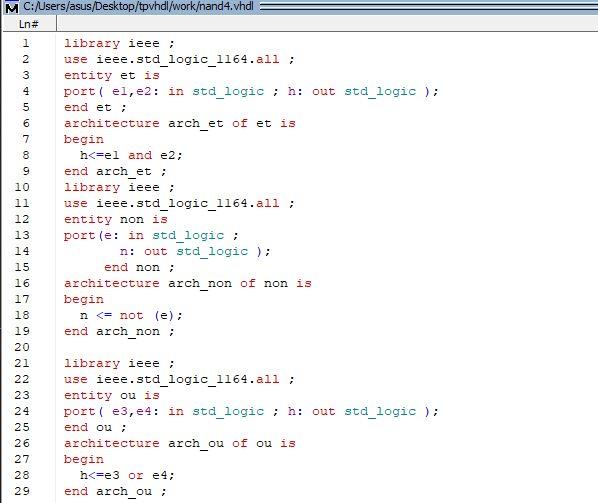


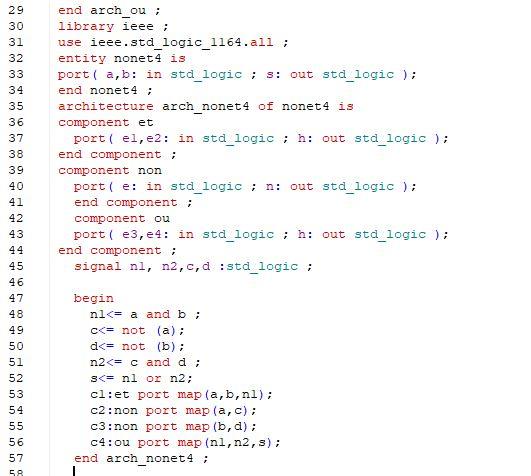
* En simulant on trouve le chronogram suivant



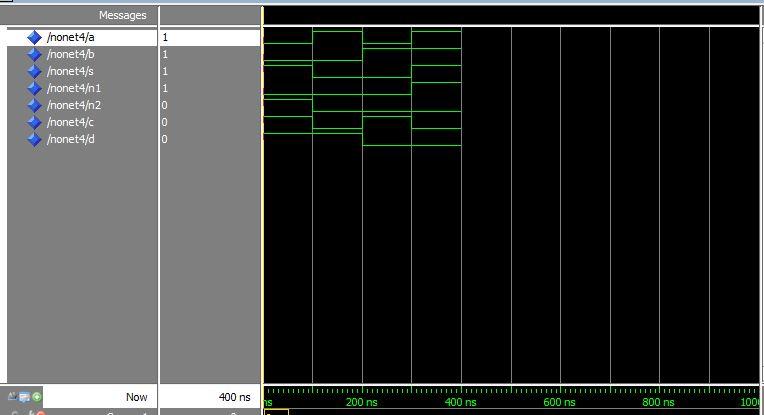
**4)Code VHDL de type structurelle de circuit de la figure ci-dessous :**

* Code vhdl :





* En simulant on trouve le chronogram suivant



* **Exercice 2:**

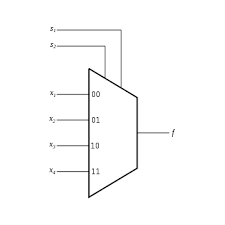
**1-2)Code VHDL de type comportementale d’un Mux4-1:**

Multiplexeur à 4 entrées (4 vers 1)

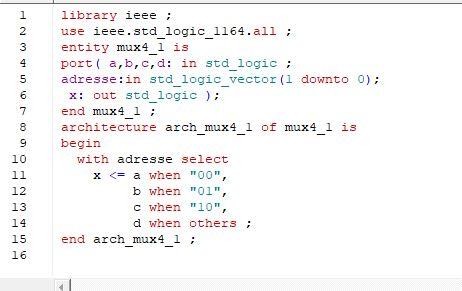
Un multiplexeur 4 vers 1 est un circuit logique qui est formé de 4 entrées x0, x1, x2, x3 qui sont transmises selon le choix indiqué par l’une des quatre combinaisons possibles des sorties de sélection C0 et C1

* Logigramme et table de vérité :

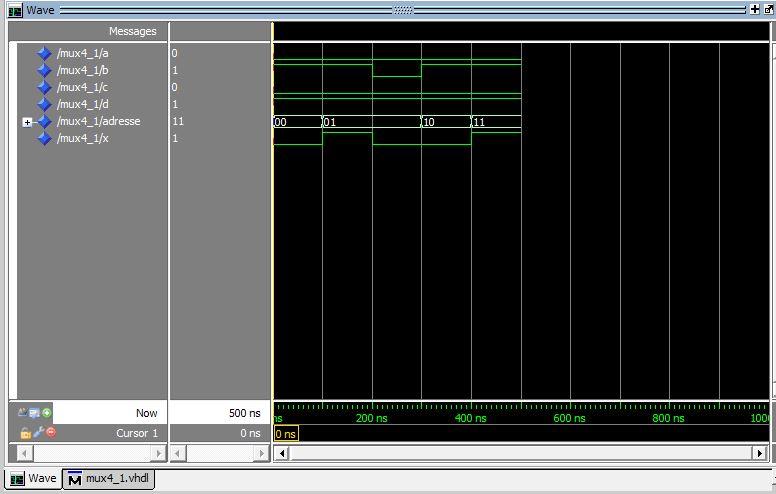
| **D** | **C 1** | **C0** | **S** |
| --- | --- | --- | --- |
| 0 | 0 | 0 | E0 |
| 1 | 0 | 1 | E1 |
| 2 | 1 | 0 | E2 |
| 3 | 1 | 1 | E3 |



* Code vhdl :



* En simulant on trouve le chronogram suivant

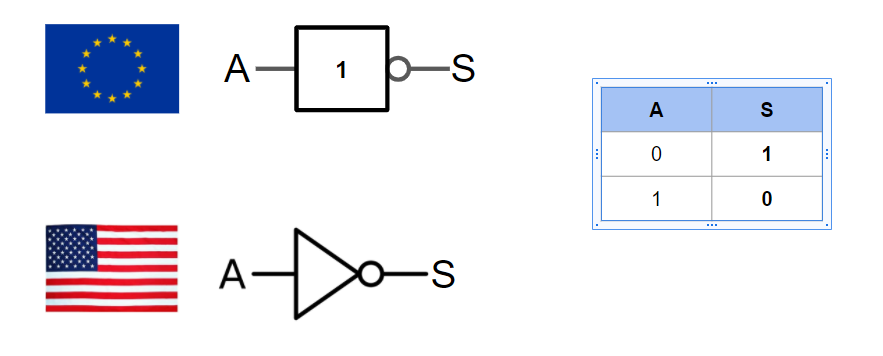


**4-5)Code VHDL de type flot de donnée dun Porte NOT :**

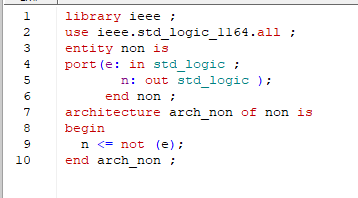
* Equation logique :

S=/ A

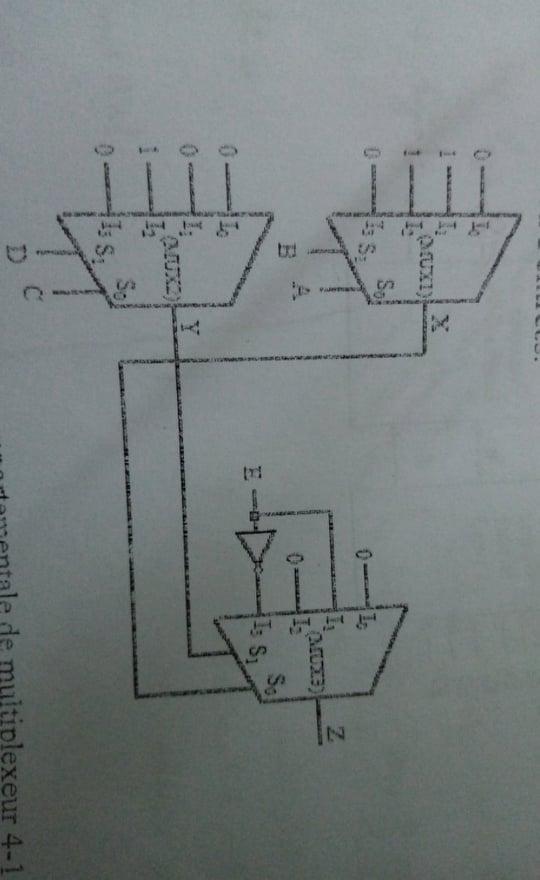
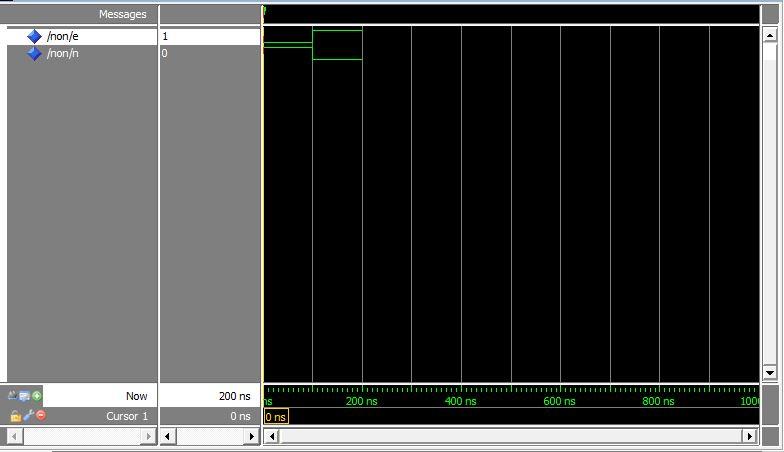
* Logigramme et table de vérité :



* Code vhdl :

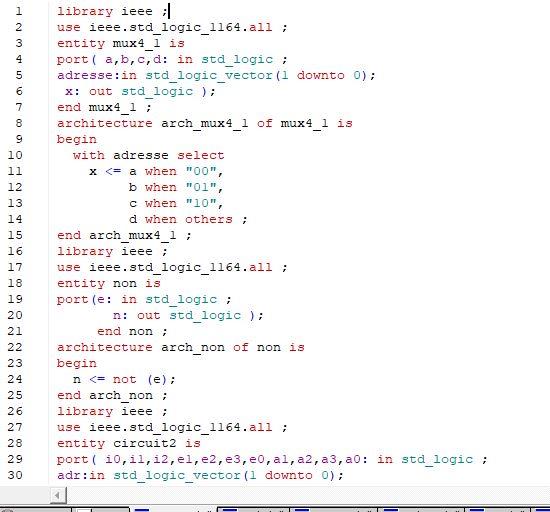


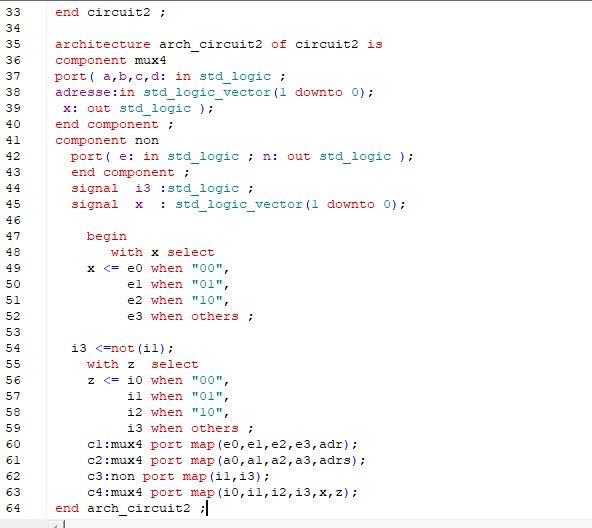
* En simulant on trouve le chronogram suivant



**6-7)Code VHDL de type structurelle de circuit de la figure ci-dessous :**

* Code vhdl :

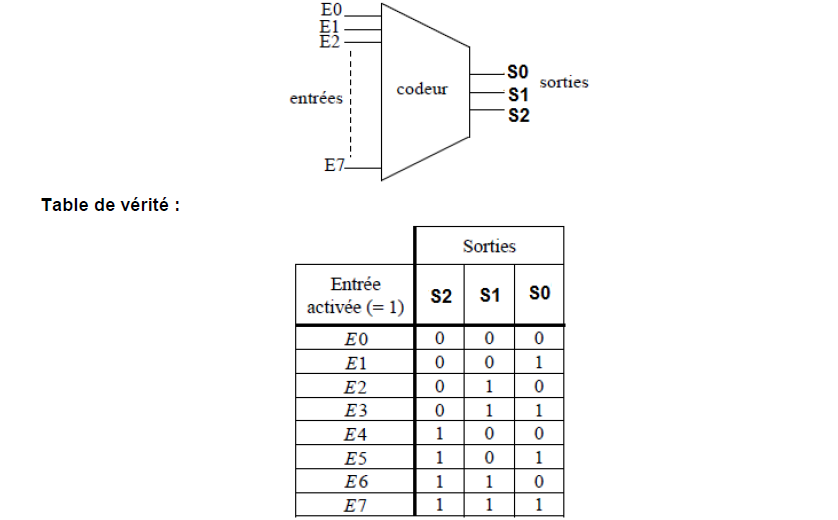




* En simulant on trouve le chronogram suivant
* **Exercice n3 :**

**1-2)Code VHDL de type flot de donnée de codeur binaire 8 vers 3 :**

* Logigramme et table de verité :



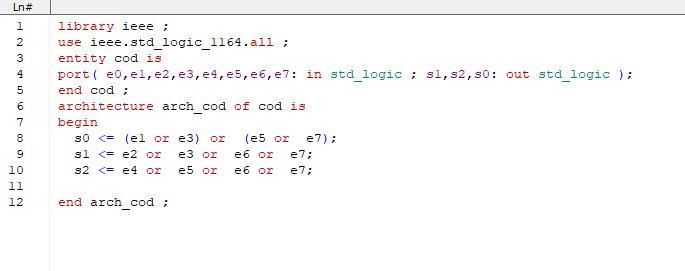
* Equations logiques :

S0=E1+E3+E5+E7

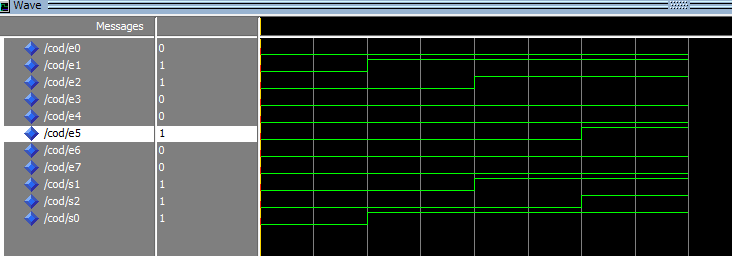
S1=E2+E3+E6+E7

S2=E4+E5+E6+E7

* Code vhdl :

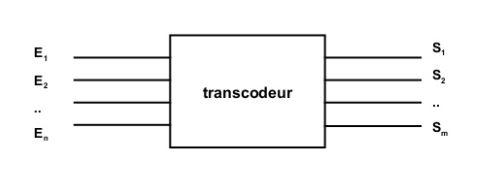


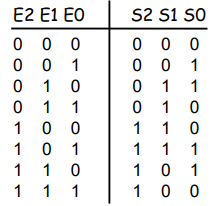
* En simulant on trouve le chronogram suivant



**4-5)Code VHDL de type flot de donnée de transcodeur binaire-gray :**

* Logigramme et table de verité :





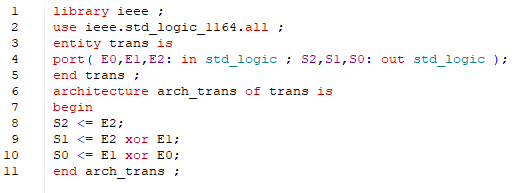
* Equations logiques :







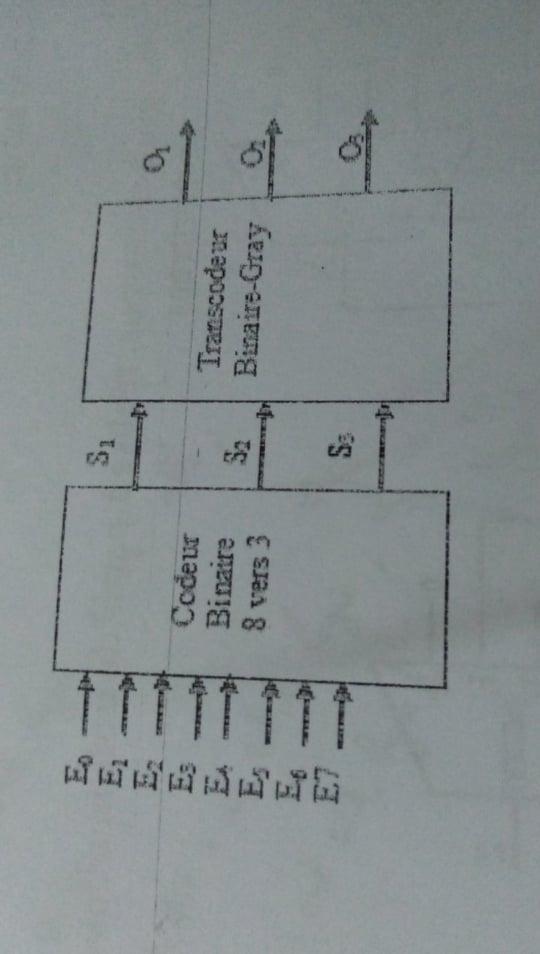
* Code vhdl :



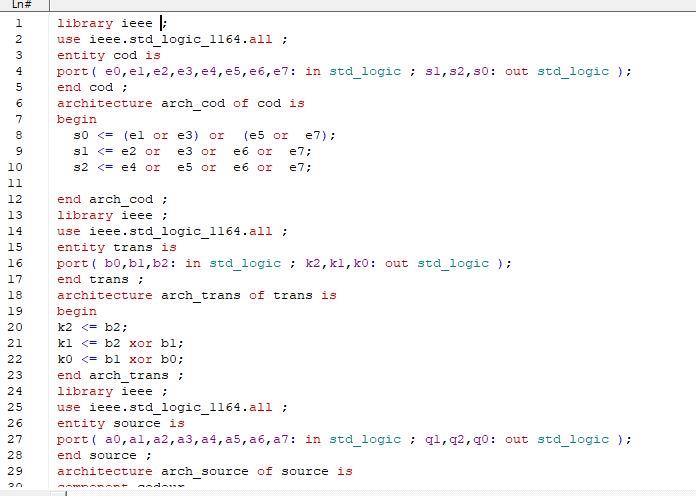
* En simulant on trouve le chronogram suivant

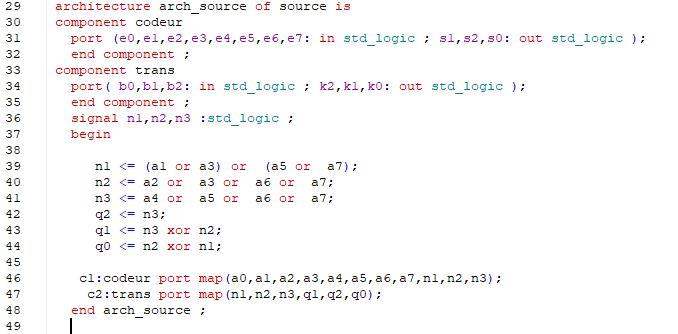


**7-8)Code VHDL de type structurelle de circuit de la figure ci-dessous :**



* Code vhdl :





* En simulant on trouve le chronogram suivant

