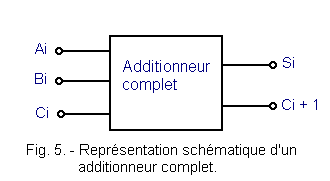
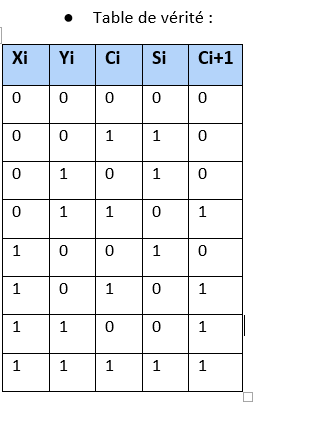
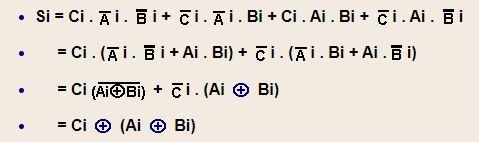
**Exercice 1: additionneur**

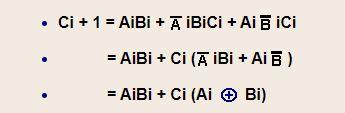
**1er partie : additionneur complet à un bit**

* **Le circuit logique :** 

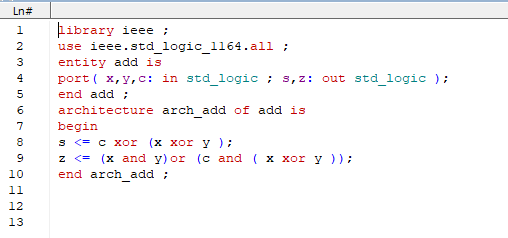
****

* **Les équations :**

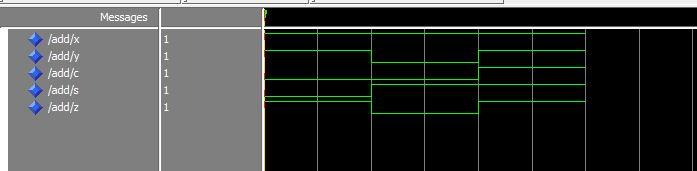
****

****

* **Le programme VHDL float:**

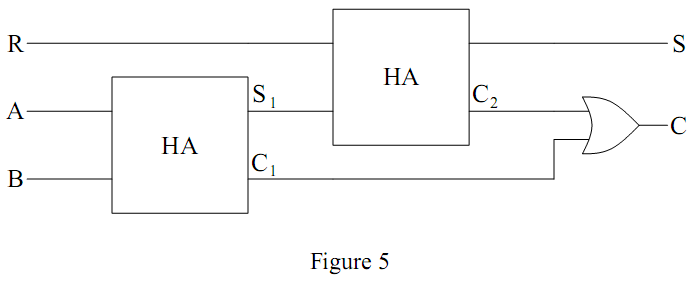


* **Le chronogramme**

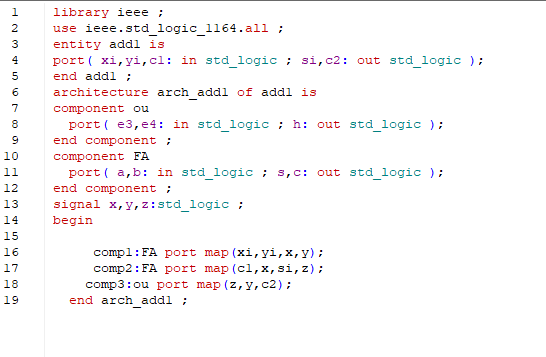
****

**3) additionneur complet avec architecture structurelle**

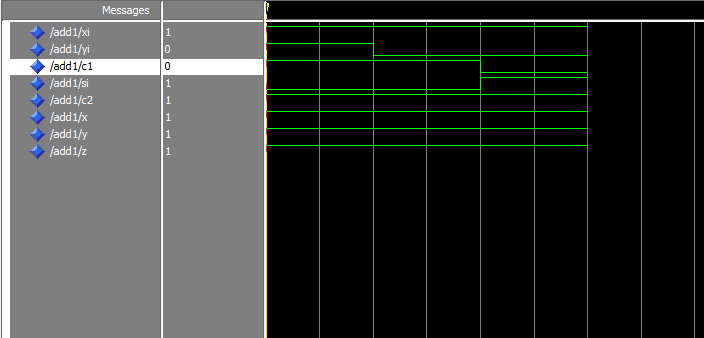
* **Le circuit logique :**

****

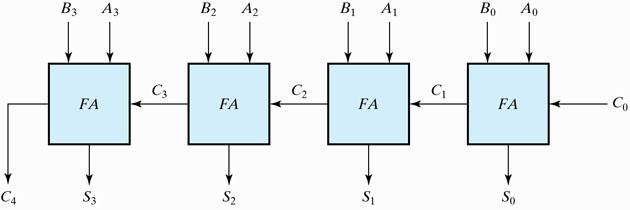
* **Le programme VHDL est le suivant :**



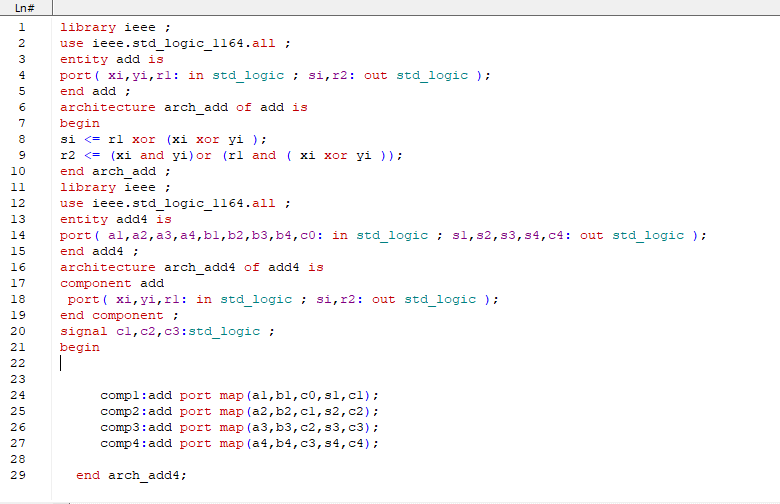
* **Le chronogramme**



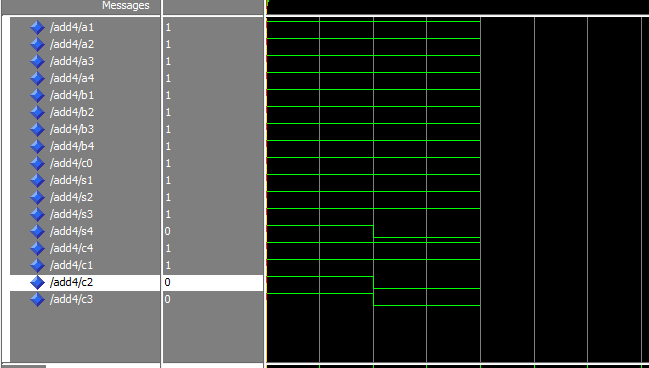
* **2eme  partie : additionneur a 4 bits**
* **Le circuit logique :**



* **Le programme VHDLest le suivant :**



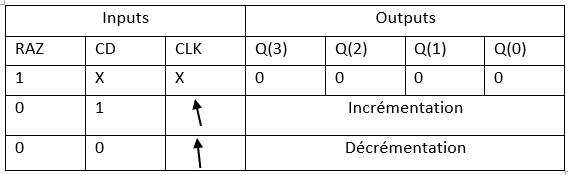
* **Le chronogramme**



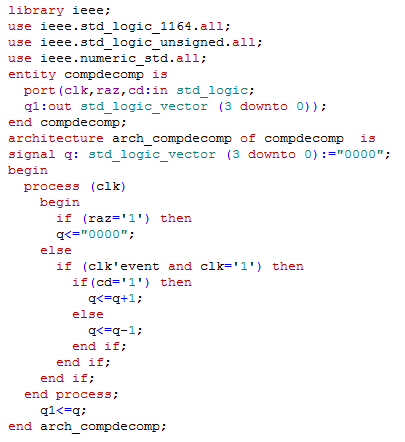
**Exercice 2: compteur décompteur**

* **Le circuit logique d’un compteur/décompteur est le suivant :**

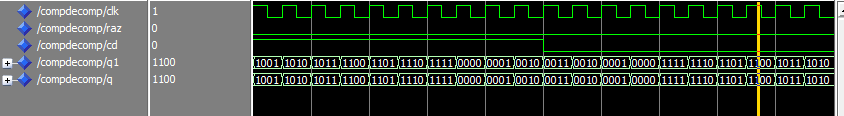




* **Le programme VHDL est le suivant :**

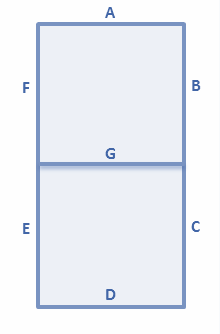
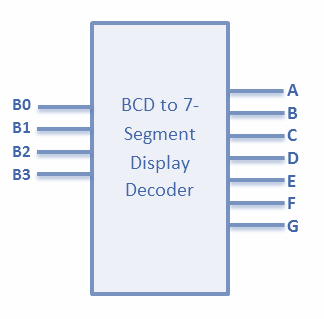


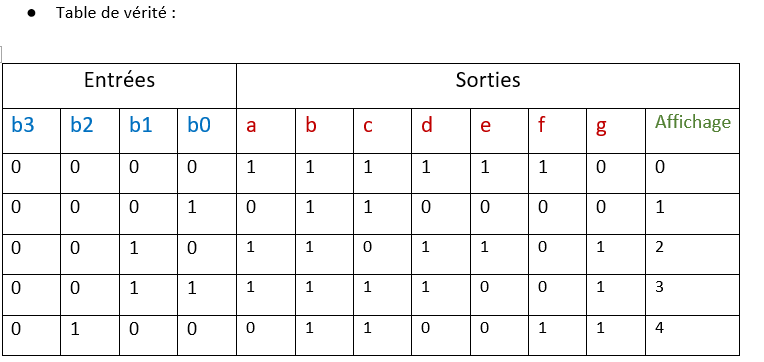
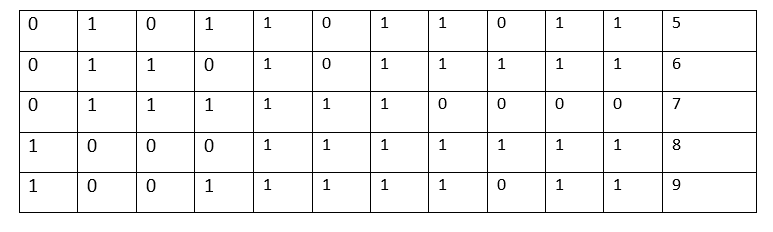
* **Le chronogramme de compteur décompteur :**



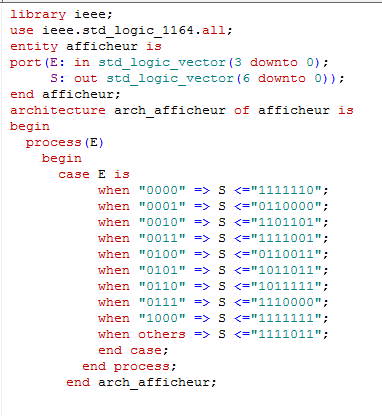
**Exercice 3: Afficheur 7 Segment Décodeur :**

**Le circuit logique :**





* **Le programme vhdl est le suivant :**



* **Le chronogramme :**

