

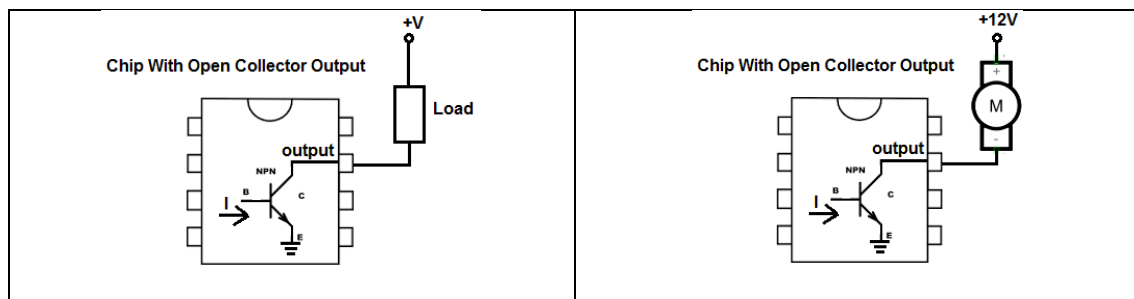
PRACTICA 2: INTERRUPTOS VECTORIZADOS CON DAISY CHAIN

Objetivos

El objetivo de esta práctica es que el estudiante comprenda y analice de forma práctica a través de la implementación y simulación de varios circuitos el funcionamiento de un sistema vectorizado de interrupciones usando *daisy chain*.

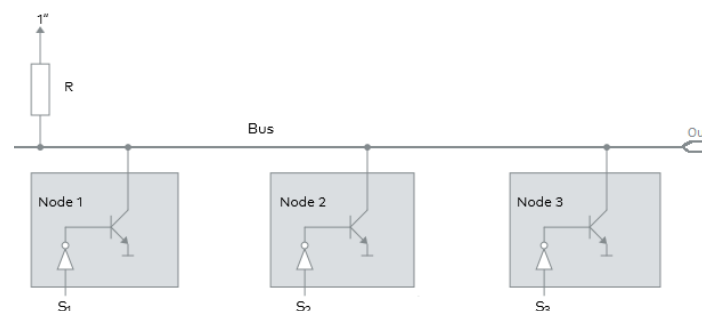
1. Circuito con colector abierto (Open Collector)

Los transistores BJT tienen tres patillas: base, colector y emisor. Los circuitos que se denominan “open collector” son aquellos que tienen un transistor cuyo colector está abierto, es decir, no está conectado a nada de tal forma que es el usuario final el que decide qué elementos quiere conectar según sus necesidades. El integrado que se muestra en las siguientes imágenes tiene salidas “open collector”.



Para familiarizarte con este concepto, lleva a cabo las siguientes tareas:

- Monta el siguiente circuito. Tres nodos que envían datos (ceros y unos) a un bus a través de conexiones open-collector. Ten en cuenta las siguientes indicaciones:
 - Los niveles usados serán de 5V para el uno lógico y 0V para el cero lógico.
 - Entre la puerta inversora y el transistor NPN debes usar una resistencia de 300 ohmios.
 - Por defecto, los niveles lógicos establecidos para la puerta inversora son 3.3V. Cámbialos a 5V.
 - Simula las señales S1, S2 y S3 usando el elemento “digital constant”.



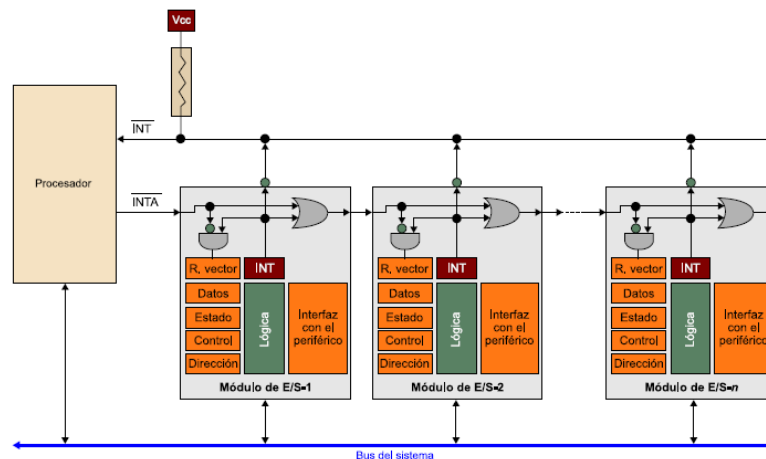
- Rellenar la siguiente tabla lógica

S1	0	1	0	1	0	1	0	1
S2	0	0	1	1	0	0	1	1
S3	0	0	0	0	1	1	1	1
OUT								

- c) El bus se comporta como una puerta lógica de tipo
 - a. AND-CABLEADA
 - b. OR-CABLEADA
 - c. NOR-CABLEADA
 - d. NAND-CABLEADA
- d) Pon un “buffer” justo antes del conector (mirar en componentes digitales). Para comprender el efecto que puede tener en el circuito. Repite el ejercicio 2.a de la práctica 1, coloca un “buffer” antes de la resistencia de carga de 8 ohmios, mide la tensión que cae en esta resistencia y compárala con la que te salía en el ejercicio 2.a ¿Qué observas? ¿A qué crees que es debido?
- e) ¿Cómo habría que modificar el diseño para que se comporte como una OR-CABLEADA?. Modifica el circuito si es necesario.

2. Lógica de control para propagar la señal INTA

Las interrupciones vectorizadas usan unos mecanismos de *daisy chaining* (encadenamiento) en la transmisión de la señal de reconocimiento. De esta forma la CPU avisa, a través del módulo E/S, al periférico correspondiente de que su interrupción se está atendiendo.



En este apartado se va a implementar y simular un sistema *daisy chain* con **DOS** módulos E/S. Para implementar dicho sistema, parte del circuito implementado en el ejercicio 1.e y ten en cuenta las siguientes indicaciones:

- (1) La señal INT# que llega a la CPU estará conectada a un interruptor y a un puerto IO llamado INT.
- (2) La puerta OR del segundo módulo E/S estará conectada a un puerto llamado módulo de E/S N, usa la abreviación ESN.
- (3) La señal INTA se simulará a través de un “digital constant”.
- (4) La activación del registro de vector se simulará encendiendo un LED, para ello, conecta a la salida de la puerta AND los siguientes componentes en serie y en este orden: buffer, resistencia, diodo LED y tierra.
- (5) **IMPORTANTE.** Todas las puertas lógicas y el buffer tienen que estar en modo 5V.

Comprueba que la señal se propaga correctamente ayudándote de sondas digitales.