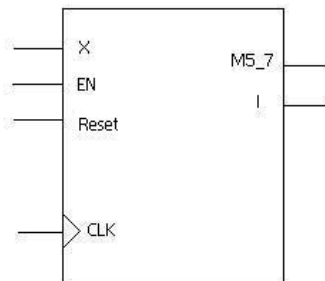


DISEÑO AVANZADO DE SISTEMAS DIGITALES Y MICROPROCESADORES
3º INGENIERÍA INFORMÁTICA

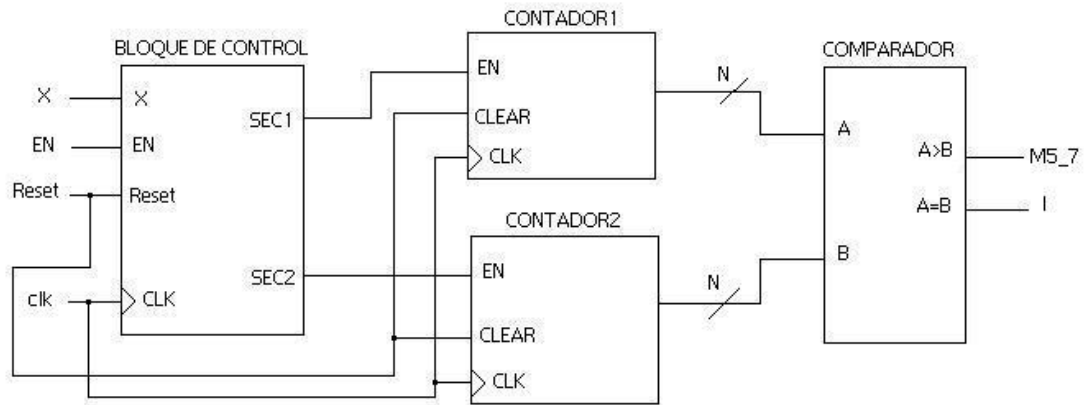
PRÁCTICA 3
MÁQUINAS DE ESTADOS FINITAS

Diseñar el sistema secuencial síncrono de la figura. Por la entrada X se recibe en serie números binarios de 4 bits. Reset es la entrada de restauración asíncrona, activa a nivel lógico bajo, y EN una entrada de habilitación activa a nivel lógico alto. Realícese el diseño teniendo en cuenta las siguientes condiciones:

- ✓ Al activarse EN indica que se recibe en ese flanco de reloj el primer bit de un número, siendo éste el menos significativo. EN estará activa solamente durante el flanco de reloj correspondiente al primer bit de cada número.
- ✓ El circuito tiene que analizar continuamente la entrada serie, teniendo en cuenta la entrada EN, y detectar los números 5 y 7, y determinar en sus salidas cual de ambos es el que se ha recibido un número mayor de veces:
 - La salida M5_7 se pondrá a 1 si se ha recibido más veces el número 5 que el 7
 - La salida I se pondrá 1 si se ha recibido el mismo número de veces ambos números



El diagrama de bloques del que se compone el sistema anterior se muestra a continuación. Está compuesto por un bloque de control (autómata), que determina si se recibe alguno de los dos números, y dos contadores que contabilizan el número de veces que se recibe cada número (5 o 7) con un rango máximo de 255. El bloque de control debe incrementar el contador correspondiente, cada vez que se reciba uno de los dos números. Finalmente el sistema incluye un bloque comparador que permite determinar cuál es el número que más veces se ha recibido.



✓ **Simulación:** Comprobar el correcto funcionamiento del diseño realizado con los siguientes estímulos. Los estímulos deben ser introducidos creando un banco de prueba (Testbench) usando VHDL.

Tiempo	CLK	Reset	X	EN
0 ns	At 0, 0 for 100, 1 for 100, repeat forever	1	1	0
50 ns		0	1	0
150 ns		1	1	0
250 ns		1	1	1
350 ns		1	1	0
400 ns		1	0	0
800 ns		1	1	0
1050 ns		1	1	1
1150 ns		1	1	0
1600 ns		1	0	0
1800 ns		1	1	0
1850 ns		1	1	1
1950 ns		1	1	0
2000 ns		1	0	0
2200 ns		1	1	0
2400 ns		1	0	0
2600 ns		1	1	0
2650 ns		1	1	1
2750 ns		1	1	0
2800 ns		1	0	0
3000 ns		1	1	0
3200 ns		1	0	0