

PRÁCTICA 1

- 1. ALU:** Diseñar en VHDL una Unidad Aritmético-Lógica de 4 bits. A3...A0 son las entradas del operando A, B3...B0 son las entradas del operando B, S1..S0 las entradas de selección de operación, Cin es la entrada de acarreo, R3...R0 las salidas del resultado de la operación, y Co la salida de acarreo o préstamo en las operaciones de suma y resta. Las operaciones se indican en la siguiente tabla:

| S1 | S0 | Operación |
|----|----|------------|
| 0 | 0 | AND (A, B) |
| 0 | 1 | NOT(A) |
| 1 | 0 | A+B+Cin |
| 1 | 1 | A-B |

Comprobar el correcto funcionamiento del diseño realizado con los siguientes estímulos. Los estímulos deben ser introducidos creando un banco de prueba (Testbench) usando VHDL.

| Tiempo | S | A | B | Cin |
|---------|---|----|---|-----|
| 0 ns | 0 | 3 | 3 | 0 |
| 200 ns | 0 | 3 | 1 | 0 |
| 400 ns | 1 | 0 | 5 | 0 |
| 600 ns | 1 | 1 | 3 | 0 |
| 800 ns | 2 | 4 | 7 | 0 |
| 1000 ns | 2 | 15 | 0 | 1 |
| 1200 ns | 3 | 2 | 4 | 0 |
| 1400 ns | 3 | 2 | 0 | 0 |

- 2. REGISTRO SENSIBLE A MÚLTIPLES ÓRDENES:** Describir en VHDL un registro de 4 bits donde CLK es la señal de reloj, D3...D0 son las entradas de datos paralelas, las entradas S2...S0 determinarán la operación que realizará el registro según la tabla adjunta y Q3...Q0 son las señales de salida donde Q0 es la menos significativa

| S2 | S1 | S0 | Operación |
|----|----|----|---|
| 0 | 0 | 0 | Mantiene su contenido |
| 0 | 0 | 1 | Rotación lógica a dcha. de 2 bits |
| 0 | 1 | 0 | Puesta a cero (Reset) |
| 0 | 1 | 1 | Carga paralela |
| 1 | 0 | 0 | Complemento a 1 |
| 1 | 0 | 1 | AND lógica de la entrada y su contenido |
| 1 | 1 | 0 | OR lógica de la entrada y su contenido |
| 1 | 1 | 1 | Desplazamiento lógico a la izquierda de 1 bit |

Comprobar el correcto funcionamiento del diseño realizado con los siguientes estímulos. Los estímulos deben ser introducidos creando un banco de prueba (Testbench) usando VHDL.

| Tiempo | CLK | S | D |
|---------|--|---|---|
| 0 ns | At 0, 0 for 100, 1 for 100, repeat forever | 2 | 0 |
| 200 ns | | 0 | 1 |
| 400 ns | | 3 | 4 |
| 600 ns | | 1 | 4 |
| 700 ns | | 1 | 5 |
| 900 ns | | 4 | 5 |
| 1200 ns | | 5 | 5 |
| 1400 ns | | 6 | 5 |
| 1600 ns | | 7 | 5 |