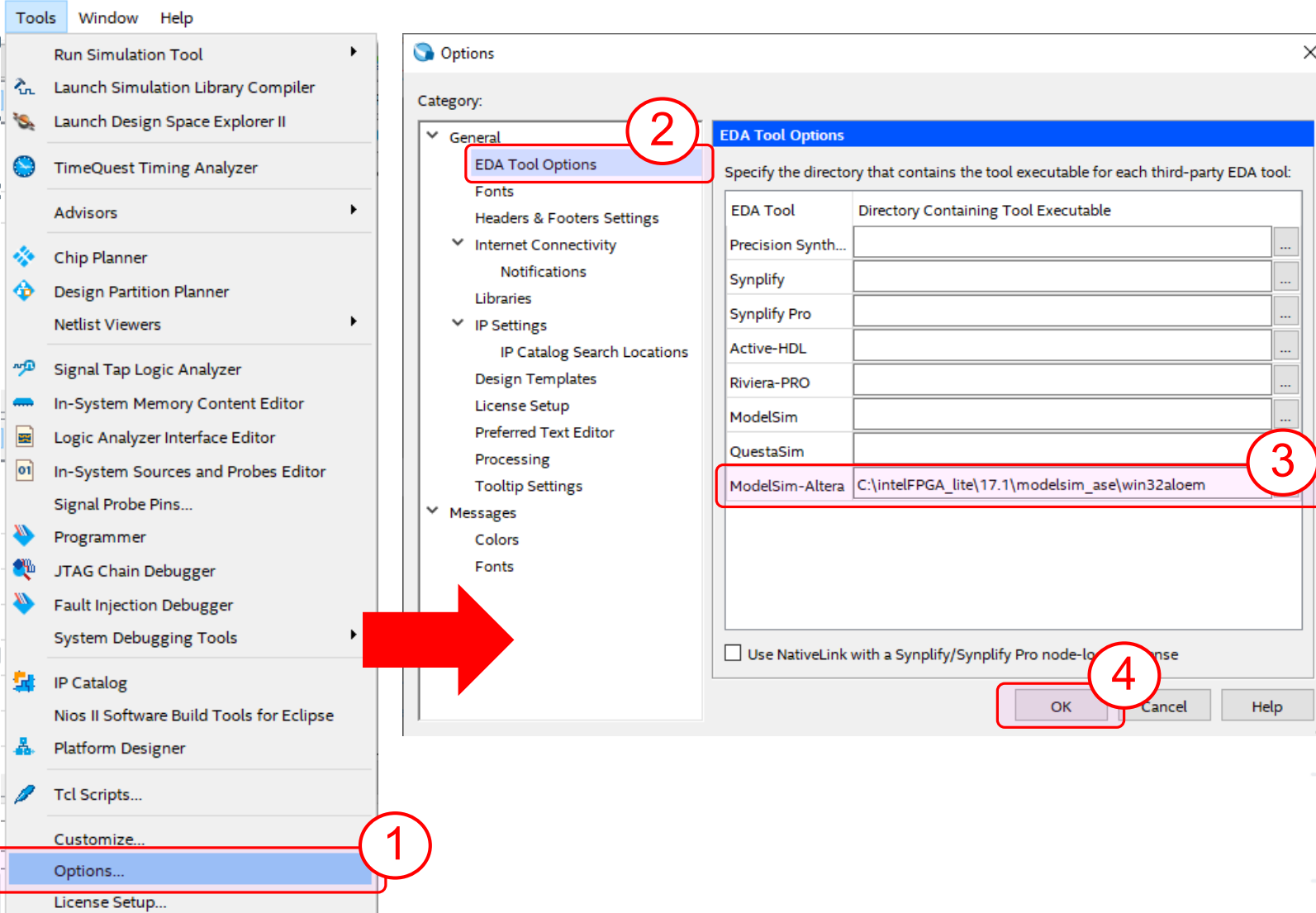


# DIGITAL DESIGN WITH FPGA CAMP

SIMULATION SETUP

# SIMULATION ON QUARTUS II

# SIMULATION TOOL SETUP



เปิดโปรเจกต์ด้วย QuartusII

1. Tools -> Options..

2. EDA Tool Options

3. กำหนด ModelSim-Altera

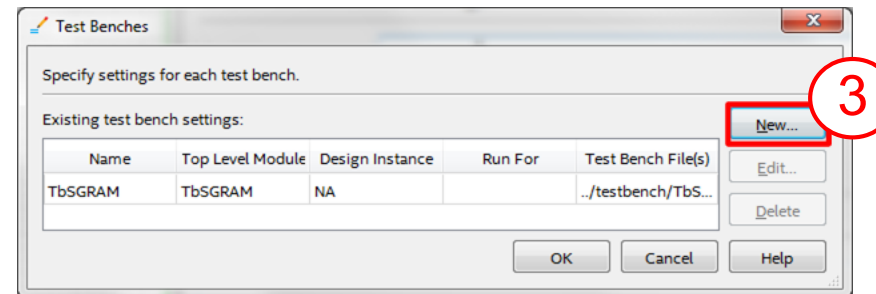
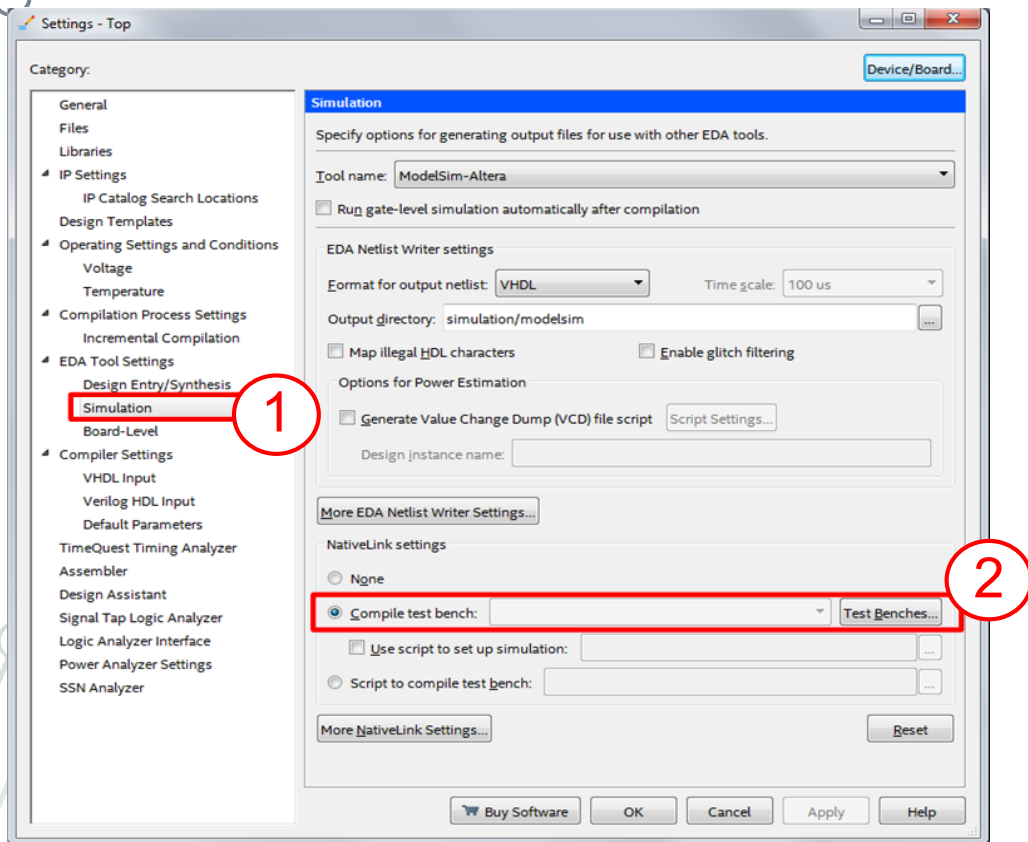
C:\intelFPGA\_lite\17.1\

modelsim\_ase\win32aloem

4. กด OK เพื่อยืนยัน

# NEW TESTBENCH ON QUARTUS

หลังจากสร้าง Testbench เรียบร้อยแล้วจะเรียก Modelsim เพื่อ run simulation ผ่าน QuartusII มีขั้นตอนดังนี้



บน QuartusII

- 1) เรียก Setting -> EDA Tool Settings-> Simulation
- 2) เลือก Compile test bench และกดปุ่ม "Test Benches"
- 3) กดปุ่ม New บนหน้าต่าง Test benches

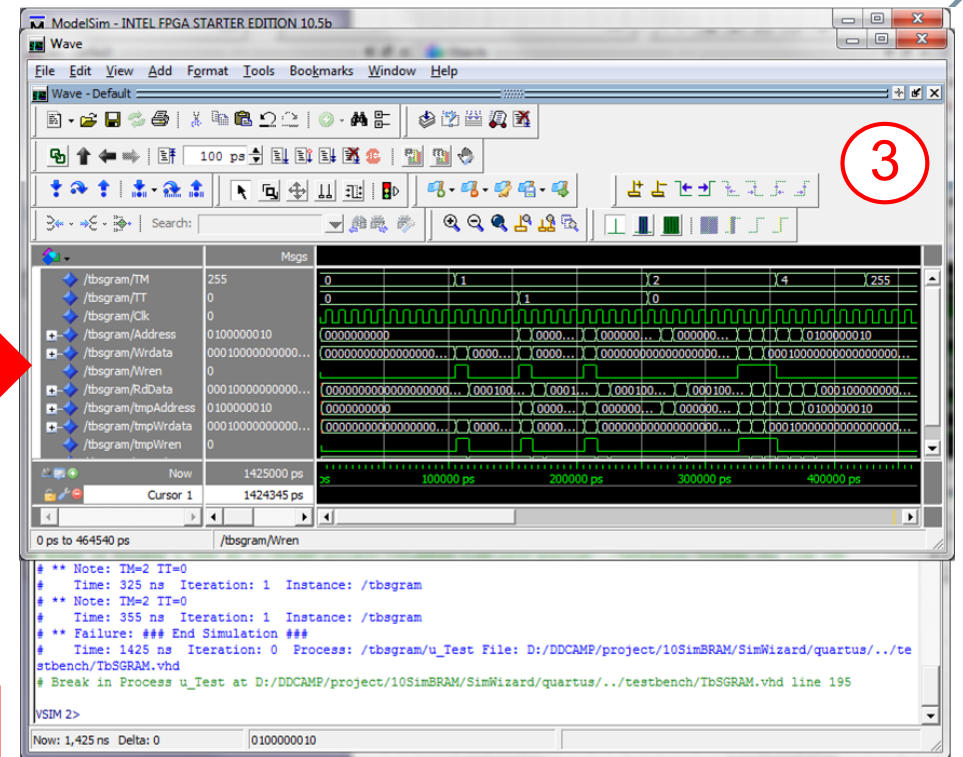
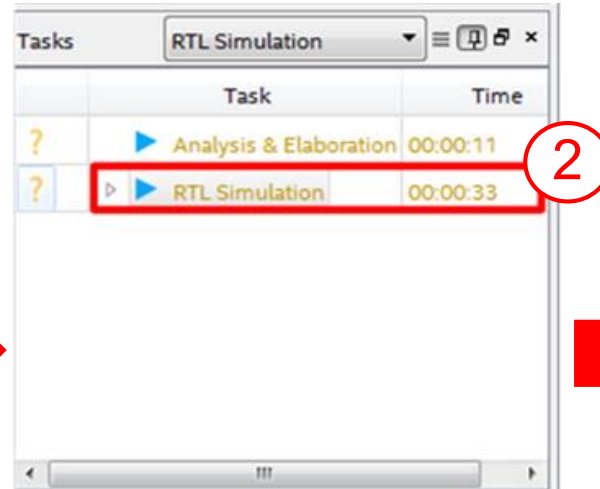
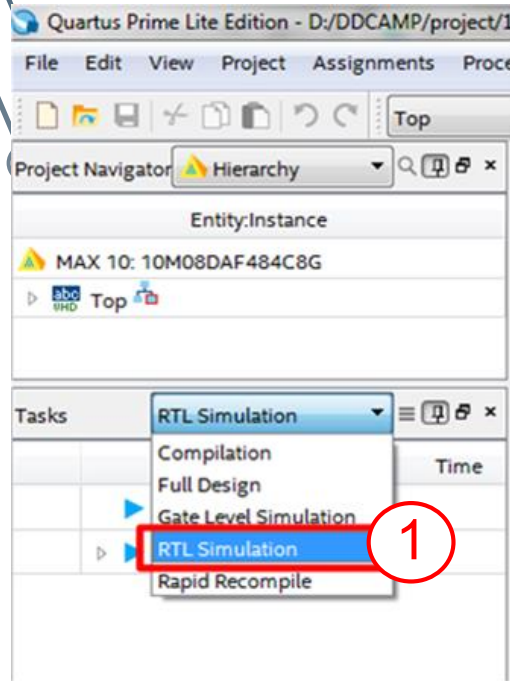
# SET TEST BENCH NAME AND PATH

The screenshot shows the 'New Test Bench Settings' dialog box with the following elements and annotations:

- 1**: Points to the 'Create new test bench settings.' header.
- Test bench name:** A text field containing 'TbSGRAM'.
- Top level module in test bench:** A text field containing 'TbSGRAM'.
- ☐ Use test bench to perform VHDL timing simulation
- Design instance name in test bench:** A text field containing 'NA'.
- Simulation period:**
  - ☒ Run simulation until all vector stimuli are used
  - ☐ End simulation at: [ ] s
- Test bench and simulation files:**
  - File name:** A text field containing ' ../testbench/TbSGRAM.vhd'.
  - 2**: Points to the ellipsis button next to the file name field.
  - 3**: Points to the 'Add' button.
  - A table with columns: File Name, Library, HDL Version.
  - Buttons: Remove, Up, Down, Properties...
- 4**: Points to the 'OK' button.

1. พิมพ์ชื่อ Testbench ที่ช่อง Test bench name
2. กดปุ่ม ... เพื่อเลือกไฟล์ testbench ที่จะใช้งาน
3. กดปุ่ม Add เพื่อเพิ่มไฟล์ testbench ในโปรเจค
4. กดปุ่ม OK เพื่อยืนยันการเพิ่มไฟล์

# RUN TEST BENCH



1. บน Tasks เปลี่ยนเป็น RTL Simulation
2. ดับเบิ้ลคลิกที่ปุ่ม RTL Simulation
3. Modelsim จะถูกเปิดขึ้น และเริ่ม simulation ตาม testbench

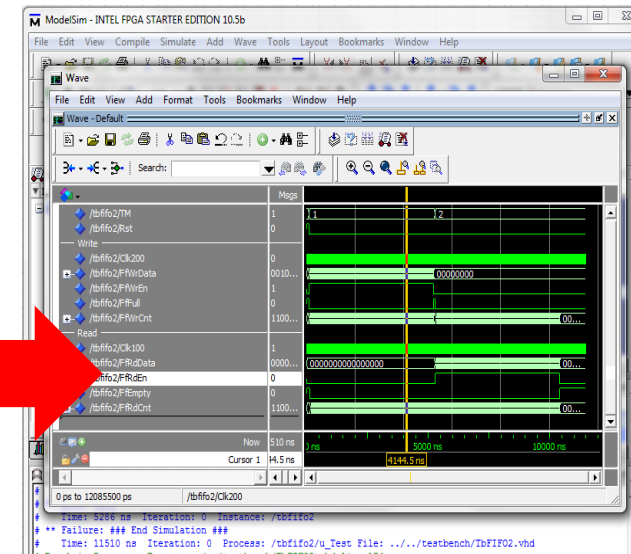
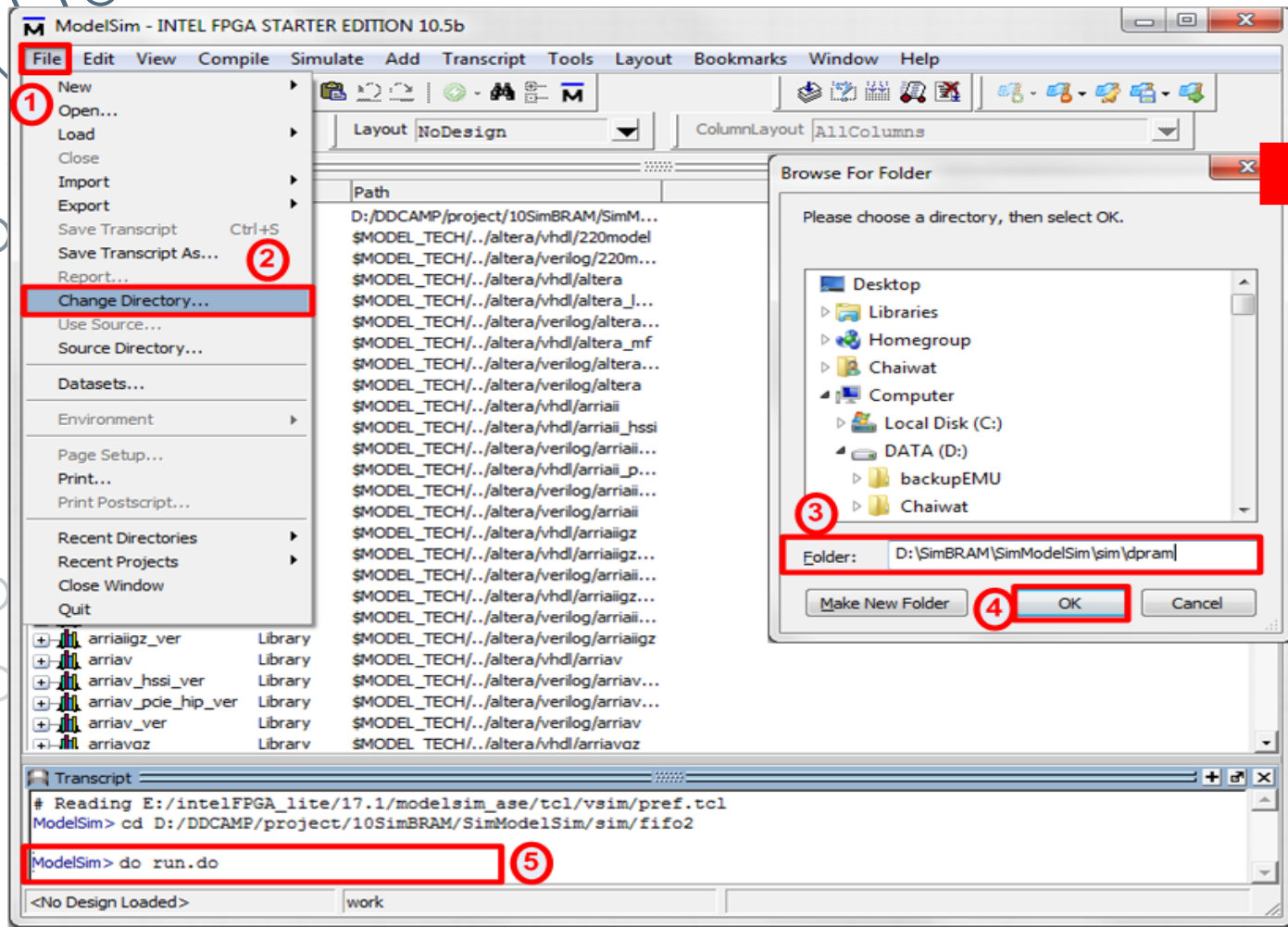
# SIMULATION ON MODELSIM (SCRIPT FILE)

# QUARTUS II VS MODELSIM

- การเรียก modelsim นั้น สามารถทำผ่าน QuartusII ตามที่แสดงไว้ในหัวข้อก่อนได้
- เมื่อเรียกผ่าน QuartusII ตัว QuartusII จะสร้าง script file เพื่อ compile code ในโปรเจกต์ทั้งหมด รวมถึง testbench และสั่ง run simulation
- หากคุ้นเคยและเคยมี script file ที่เรียกใช้งานอยู่แล้ว สามารถเรียก Modelsim ได้เลย โดยไม่ต้องเปิด QuartusII



# RUN SIMULATION ON MODELSIM



1. เลือกเมนู File
2. เลือก Change directory
3. กำหนด working directory ที่จะทำงาน ซึ่งมี run.do ที่เป็น script file สำหรับ compile code และกำหนดคำสั่งในการ simulation ไว้
4. กดปุ่ม OK เพื่อยืนยันการเปลี่ยน working directory
- 5) พิมพ์ do run.do เพื่อเริ่มทำงาน

# EXAMPLE OF RUN.DO (MODELSIM SCRIPT FILE)

```
quit -sim  
vlib work
```

เรียก compile HDL code ที่จะ simulation  
รวมถึง testbench ที่จะใช้ simulate

```
#####Source#####  
vcom -work work ../../ipcore/sgram.vhd
```

เริ่ม simulation โดยเรียกใช้ library ของ Intel บางตัว  
(ในกรณีที่โปรเจกต์มีการเรียกใช้ IPcore ที่สร้างด้วย QuartusII)

```
#####Testbench#####  
vcom -work work ../../testbench/TbSGRAM.vhd
```

```
vsim -t lps -L altera -L lpm -L sgate -L altera_mf -L altera_lnsim -L fiftyfivenm -L rtl_work -L work -voptargs="+acc" work.TbSGRAM
```

```
view wave  
do wave.do  
view structure  
view signals
```

```
run 100 us
```

## Q & A

<https://www.facebook.com/DigitalDesignThailand/>



<https://forfpgadesign.wordpress.com/>

