

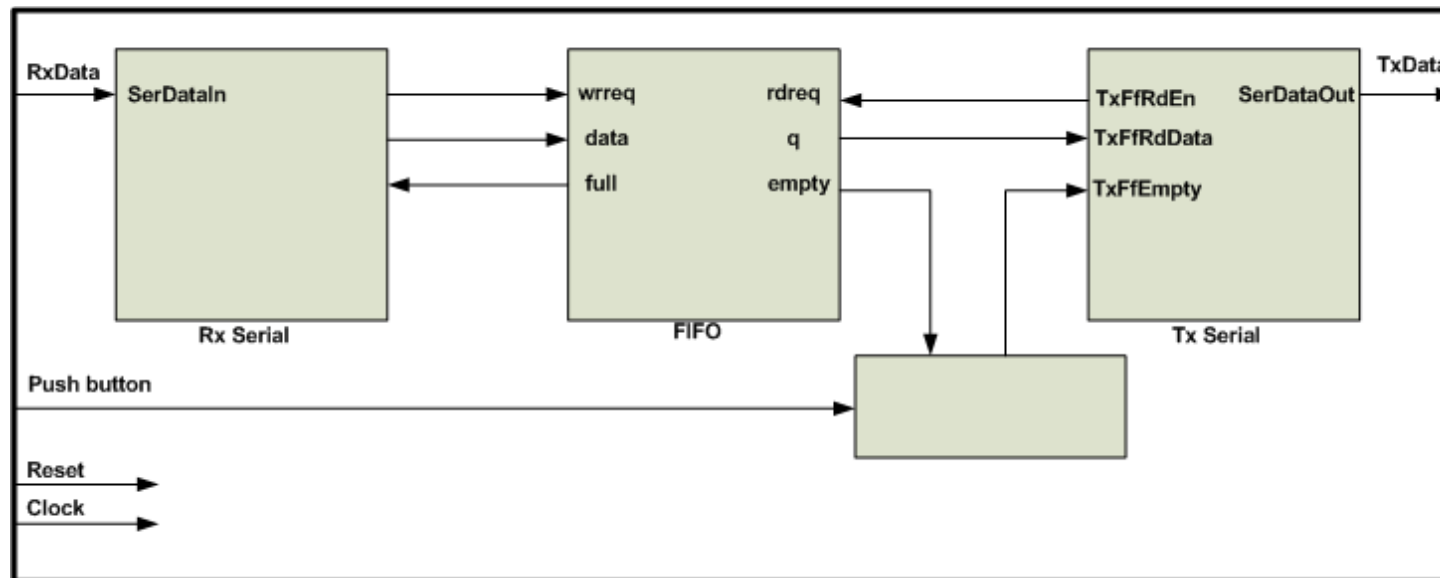
# DIGITAL DESIGN WITH FPGA CAMP

DAY 5 TX-RX UART LAB

# EXERCISE

# TX/RX UART WITH FIFO

ออกแบบวงจรรับข้อมูลจาก UART เก็บข้อมูลที่ FIFO และส่งข้อมูลออก UART เมื่อกด Push button



# SPECIFICATION

1. Baud rate ที่ 115200 bps ทั้งฝั่ง Tx และ Rx
2. FIFO Size = 4096 x 8 เพื่อรองรับการรับข้อมูลจากทาง UART โดยใช้การส่งไฟล์ขนาดไม่เกิน 4 KB ผ่าน Serial console เช่น TeraTerm
3. เมื่อส่งไฟล์เสร็จแล้ว แนะนำให้ใช้ SignalTap ตรวจสอบค่า usedw เพื่อดูว่า FIFO ได้เก็บข้อมูลเท่ากับขนาดของไฟล์ที่ส่งผ่าน UART ไปหรือไม่
4. เมื่อกดปุ่ม Push button จะเริ่มอ่านข้อมูลจาก FIFO จนข้อมูลหมด (Empty='1') เพื่อส่งผ่านไปทาง Tx module ให้ใช้ Serial Console เช่น TeraTerm เก็บข้อมูลที่ได้ ลงใส่ log file ไว้ แล้วนำมาเปรียบเทียบกับต้นฉบับ ว่าถูกต้องไหม

Note: Push button ควรนำไปผ่านวงจร debounce โดยทำ counter นับว่าปุ่มได้ถูกกดนานกว่า 100 ms เพื่อจะสร้าง pulse ออกไป 1 clock เป็นตัวเริ่มวงจรสำหรับอ่านข้อมูลจาก FIFO ส่งออกไป UART

# CHALLENGE

1. แก้งจรเพื่อปรับ Buad rate จาก 115200 bps เป็น 921600 bps ทั้งฝั่ง Tx และ Rx
2. ปรับ FIFO Size ให้มีขนาดใหญ่ขึ้น เพื่อลองส่งไฟล์ที่ใหญ่ขึ้น

Note:

- (1) M9K 1 ตัว เก็บข้อมูลขนาด 1024x8bit
- (2) ชิพ MAX10 รุ่น 10M50 มี M9K ทั้งหมด 1638 Kb = 182 x 9Kb
- (3) SignalTap ที่ใส่ลงไป จะใช้ M9K ในการเก็บสัญญาณด้วย ทำให้จำนวน M9K ที่นำไปสร้างเป็น FIFO ได้ มีจำนวนลดลง หากใส่ SignalTap ในวงจร
- (4) การใส่ FIFO ขนาดใหญ่ลงไป จะทำให้ต้องใช้เวลาในการ synthesis นานขึ้น