

DIGITAL DESIGN WITH FPGA CAMP

SIGNAL TAP



OVERVIEW

WHY SIGNAL TAP

- เมื่อวงจรที่ออกแบบไม่สามารถทำงานได้ตามที่ออกแบบ ต้องตรวจสอบหาความผิดพลาด
- ถ้าวงจรเล็ก ๆ และความถี่ไม่สูง สามารถใช้เครื่องมือวัด เช่น oscilloscope หรือ logic analyzer ตรวจสอบที่ขาของชิพ เพื่อดู waveform ว่าถูกต้อง ตรงกับที่ออกแบบหรือไม่
- หากระบบมีความซับซ้อน ประกอบด้วยวงจรเล็ก ๆ มากมาย การได้เห็น waveform ของสัญญาณภายในที่สำคัญ ๆ เหมือนกับที่ได้เห็นจาก simulation จะดีกว่า

Signal Tap ประกอบด้วย 2 ส่วนคือ

1. ส่วนที่เป็น IP Core ที่จะใช้ LE และ RAM ในการ tap สัญญาณที่ต้องการจับ มาตรวจหาเงื่อนไขที่ตรงกับที่เราตั้งค่าไว้ และเก็บค่าของสัญญาณในแต่ละ clock ใส่ RAM ไว้
2. ตัว Analyzer ที่เป็น software ที่จะดูข้อมูลที่เก็บไว้ใน RAM จากชิพ ขึ้นมาแสดงเป็น waveform

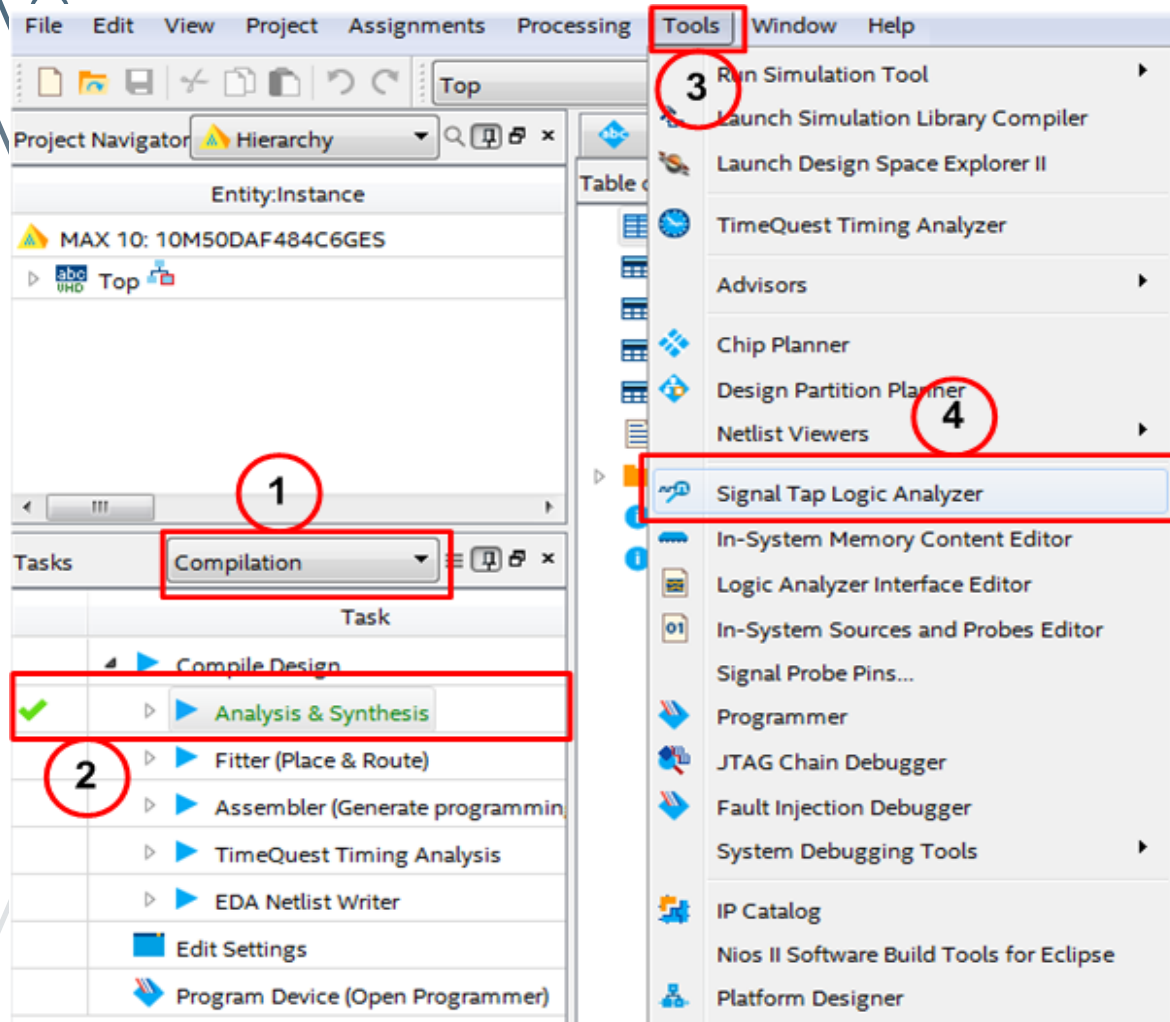
PROBLEM ANALYSIS

ก่อนจะใช้ Signal Tap ควรวิเคราะห์ดังนี้

1. วิเคราะห์ว่า ต้องการจะจับสัญญาณอะไรบ้าง ที่จะช่วยให้เข้าใจปัญหาที่เกิดขึ้นได้
(กำหนดจำนวนสัญญาณที่จะจับ)
2. วิเคราะห์ เงื่อนไขที่เราต้องการจะจับ (trigger condition) ว่าจะเริ่มเก็บข้อมูลเมื่อสัญญาณไหน มีค่าอะไร
3. วิเคราะห์ว่า จำนวนของสัญญาณที่เหมาะสมที่จะจับ ควรจะเป็นเท่าไร โดยคำนึงถึงจำนวน RAM ที่ต้องใช้งานในการเก็บข้อมูล (ขนาดของสัญญาณที่จะจับทั้งหมดคือ ความกว้างของ RAM ที่จะใช้เก็บ และจำนวนของข้อมูลที่ต้องการเก็บ ก็จะเป็นความลึกของ RAM ที่จะใช้เก็บ) ถ้าจับมากเกินไป จะไม่สามารถสร้างได้
4. ตรวจสอบ clock domain ของสัญญาณที่จะจับว่า ทำงานอยู่ภายใต้ clock ไหน แล้วให้ Signal Tap ไปทำงานอยู่บน clock เดียวกัน (หากคนละ clock จะกลายเป็นวงจร asynchronous ทันที ซึ่งจะมีปัญหาเกิดขึ้นได้)

SIGNAL TAP

CALL SIGNAL TAP TOOL



โปรเจกต์ที่จะใส่ Signal Tap ต้องเป็นโปรเจกต์ที่ผ่าน

Analysis & Synthesis มาเรียบร้อยแล้ว ตรวจสอบดังนี้

1. Tasks -> compilation

2. ขั้นตอน Analysis & Synthesis ต้องเป็นสีเขียว

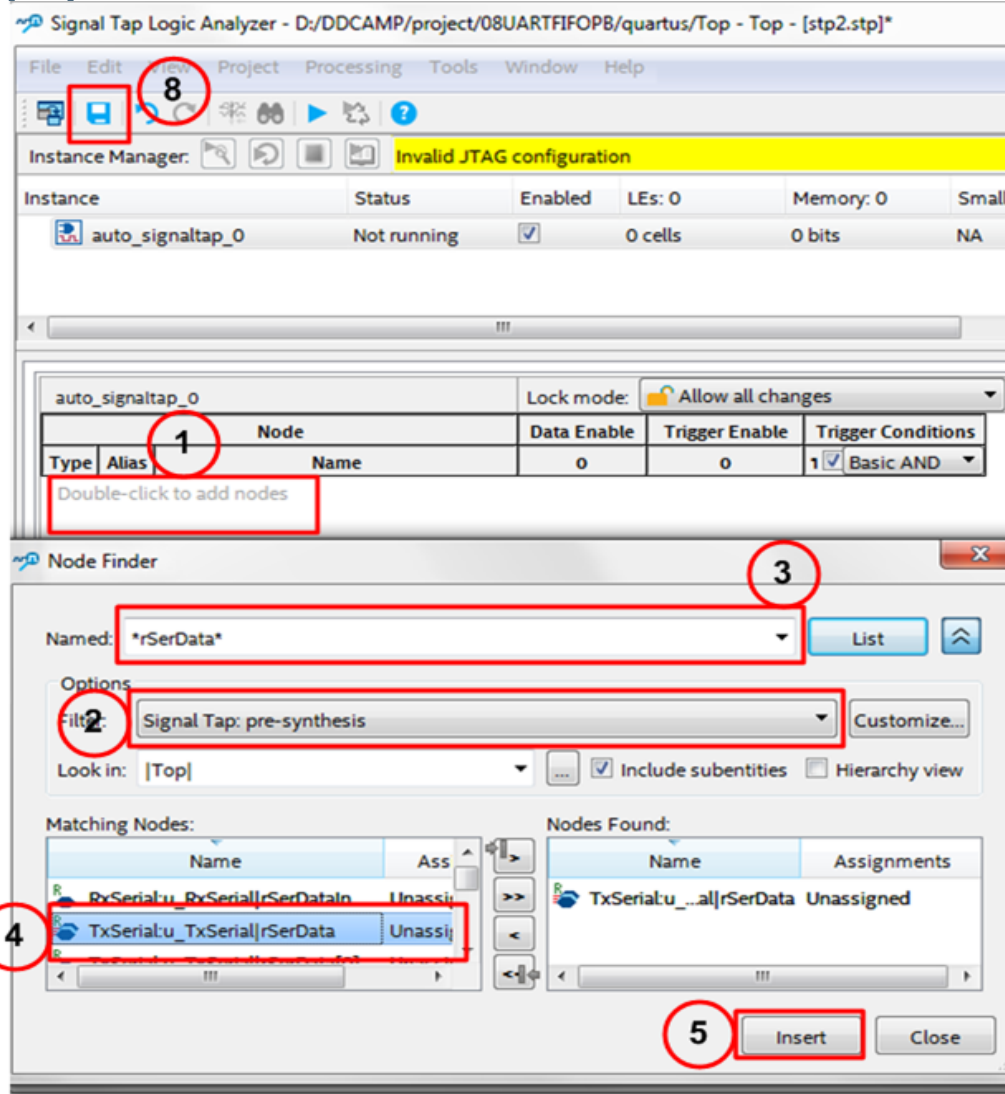
(ทำงานเสร็จสมบูรณ์แล้ว)

เรียกโปรแกรม Signal Tap เพื่อกำหนดสัญญาณที่จะจับดังนี้

3. Tools

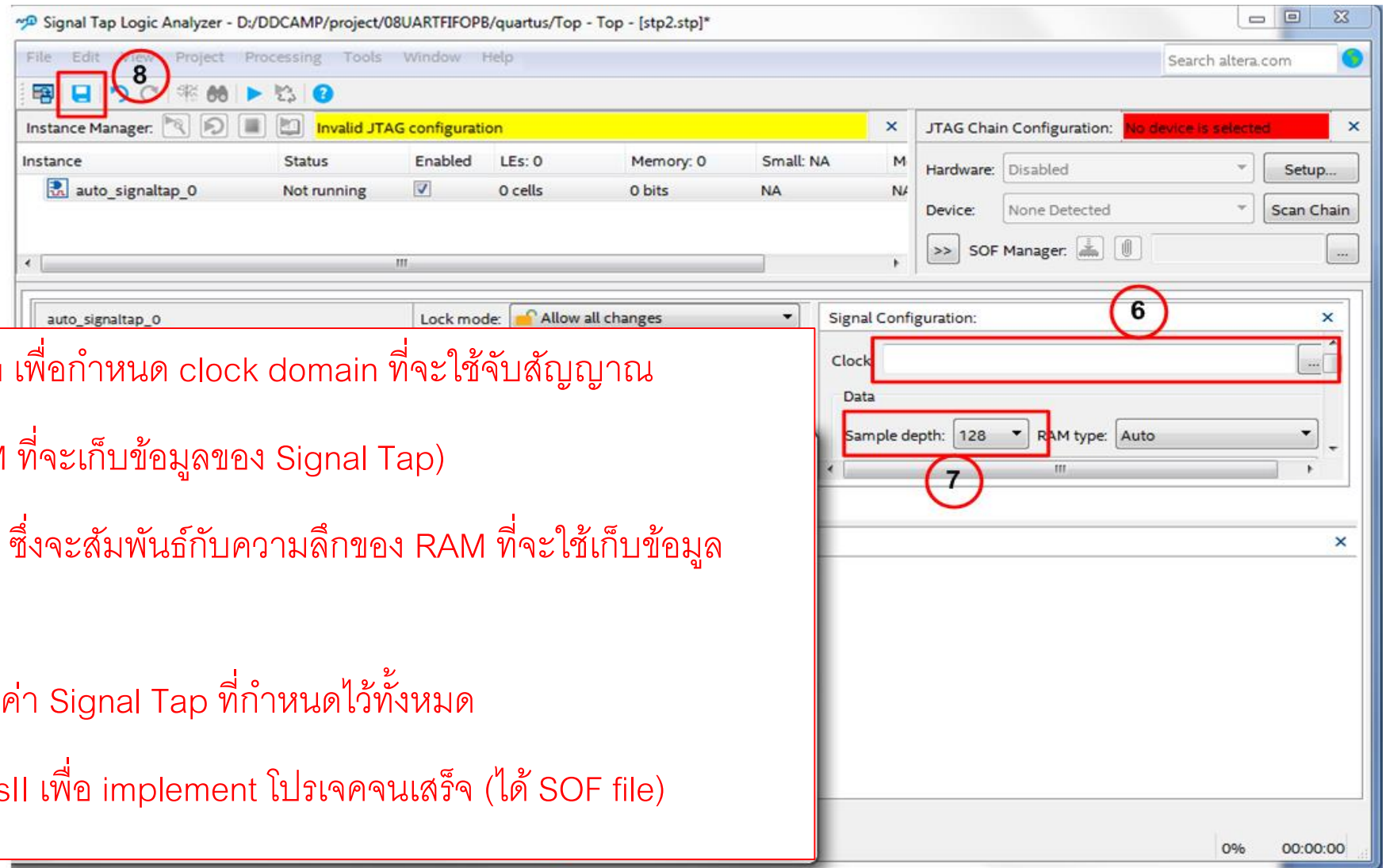
4. Signal Tap Logic Analyzer

ADD SIGNAL ON SIGNAL TAP



1. Double click เพื่อเรียกหน้าต่างสำหรับการกำหนดสัญญาณที่จะจับ
 2. เลือกประเภทของสัญญาณเป็น Signal Tap: pre-synthesis ซึ่งจะทำให้เห็นสัญญาณที่ถูกใช้งานหรือสัญญาณที่จะถูกส่งออกไปที่ port ของ module
 3. พิมพ์ชื่อสัญญาณที่จะจับบางส่วน ใส่ * ไว้ในส่วนที่ไม่แน่ใจ โดยเฉพาะก่อนหน้าชื่อสัญญาณที่จะเป็น path ของ module ที่มักจะยาวมาก
 4. เลือกชื่อสัญญาณที่เราต้องการ (ในกรณีที่เรที่ตั้งค่า filter ของข้อ 3 ไว้แบบหยาบ ๆ ก็จะทำให้เจอชื่อสัญญาณที่ใกล้เคียงจำนวนมาก)
 5. กดปุ่ม Insert เพื่อ add สัญญาณที่ต้องการเข้าไปที่ตัว Signal Tap logic
- ทำขั้นตอนที่ 3 – 5 วนไปทีละสัญญาณ จนครบทุกสัญญาณที่ต้องการจับ

SETUP CLOCK ON SIGNAL TAP



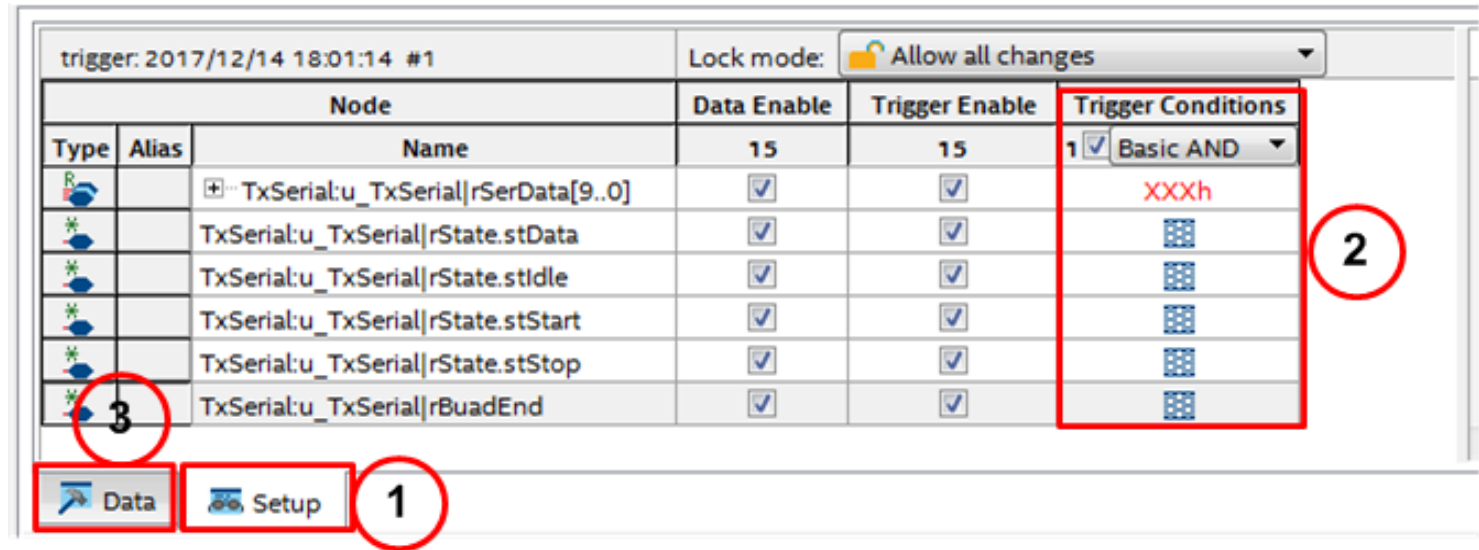
6. กดปุ่ม ... บน Clock menu เพื่อกำหนด clock domain ที่จะใช้จับสัญญาณ
(เป็น clock ที่จะป้อนให้ RAM ที่จะเก็บข้อมูลของ Signal Tap)

7. กำหนดค่า Sample depth ซึ่งจะสัมพันธ์กับความลึกของ RAM ที่จะใช้เก็บข้อมูล
Signal Tap

8. กด save เพื่อบันทึกการตั้งค่า Signal Tap ที่กำหนดไว้ทั้งหมด

หลังจากนั้นกลับไป QuartusII เพื่อ implement โปรเจคจนเสร็จ (ได้ SOF file)

RUN SIGNAL TAP



หลังจากโปรแกรม SOF file ลงบน FPGA เรียบร้อย บนหน้าต่าง Signal Tap จะพร้อมให้ใช้งานในการจับสัญญาณ เราสามารถกำหนดเงื่อนไขในการจับสัญญาณได้

1. เลือกที่ Tab Setup เพื่อกำหนดเงื่อนไขในการจับ (trigger condition)
2. กำหนดค่าของสัญญาณที่จะใช้เริ่มการเก็บข้อมูล เช่น สัญญาณนี้ มีค่าเป็น 0 1 ขอบขาขึ้น ขอบขาลง เป็นต้น โดย Default หากกำหนดหลายสัญญาณ จะเอาทุกเงื่อนไขมา AND กัน ถึงจะเริ่มเก็บข้อมูล
3. กดปุ่ม Run analysis เพื่อเริ่มตรวจจับสัญญาณ และเปลี่ยนมาที่ Tab Data เพื่อดู waveform ของสัญญาณที่จับได้

Q & A

<https://www.facebook.com/DigitalDesignThailand/>



<https://forfpgadesign.wordpress.com/>

