

DIGITAL DESIGN WITH FPGA CAMP

DAY 5 IP CORE

OVERVIEW

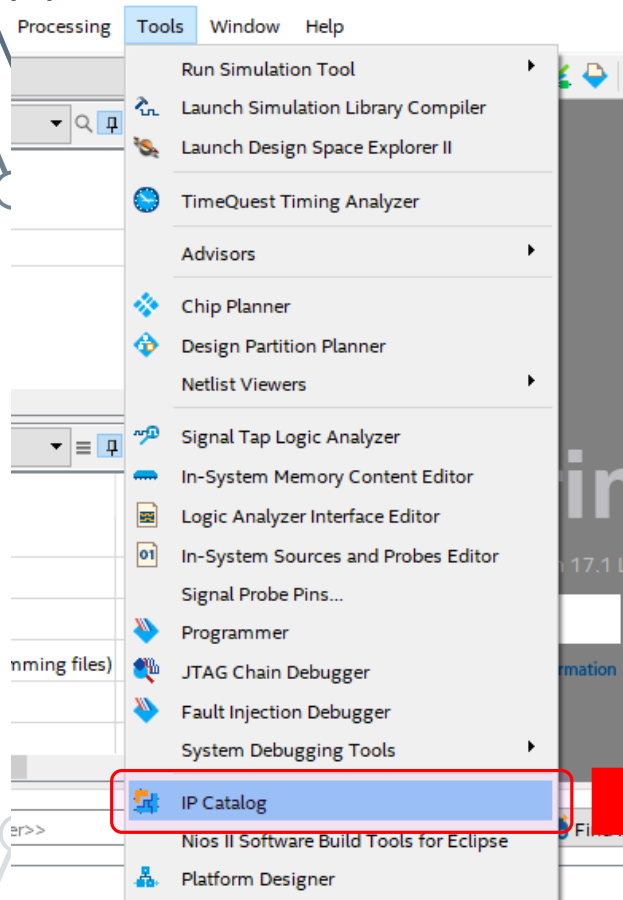
WHY IPCORE?

- Logic พื้นฐานบางก้อน จะมีการใช้งานบ่อย เช่น RAM, FIFO หากต้องเขียน code ขึ้นมาเองทุกครั้งจะเสียเวลามาก
- Hardware บางตัวใน FPGA มีการใช้งานที่ต้อง set ค่าซับซ้อน และมีข้อควรระวังมากมาย ไม่เหมาะสมที่จะให้ผู้ใช้เป็นคนเขียน code เอง เช่น Gigabit transceiver
- วงจรสำเร็จรูปที่ถูกออกแบบมาเรียบร้อยแล้ว เพื่อรองรับการทำงานที่ซับซ้อน และใช้ทรัพยากรได้อย่างมีประสิทธิภาพ หากต้องออกแบบเอง อาจจะมีปัญหาได้

IPCore จะเป็น code ที่เข้ารหัสไว้ ให้สามารถนำไปใช้งานได้ แต่ไม่สามารถอ่านได้ เพื่อป้องกันการลอกเลียนแบบ

ใน Quartus มี IPCore แบบฟรีและแบบเสียเงินที่สามารถเรียกใช้งานผ่าน IP Catalog

IP CATALOG



Tools -> IP Catalog

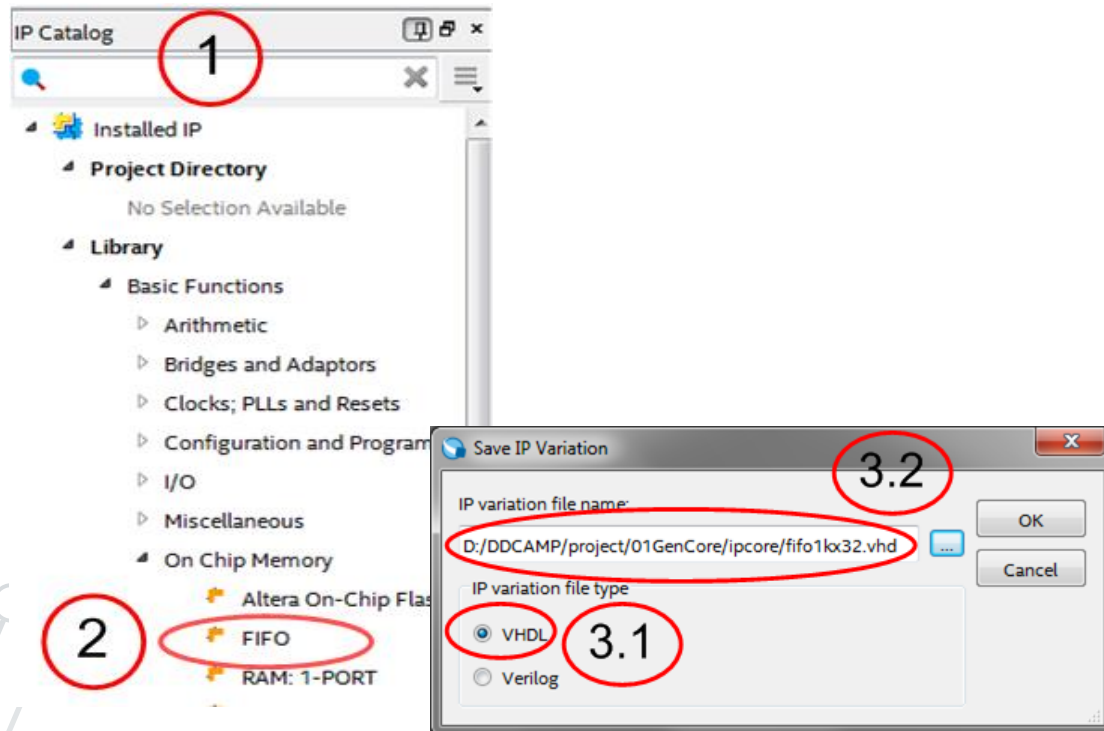
- ▼ Basic Functions
 - > Arithmetic
 - > Bridges and Adaptors
 - > Clocks; PLLs and Resets
 - > Configuration and Programming
 - > I/O
 - > Miscellaneous
 - > On Chip Memory
 - > Simulation; Debug and Verification
- > DSP
- ▼ Interface Protocols
 - > Ethernet
 - > Serial
- ▼ Memory Interfaces and Controllers
 - > Flash
 - > Memory Interfaces with UniPHY
- > Processors and Peripherals
- > University Program

IP List ของวงจรพื้นฐาน ที่ QuartusII มี
เบื้องต้น เช่น วงจรบวก/ลบ RAM FIFO

FIFO

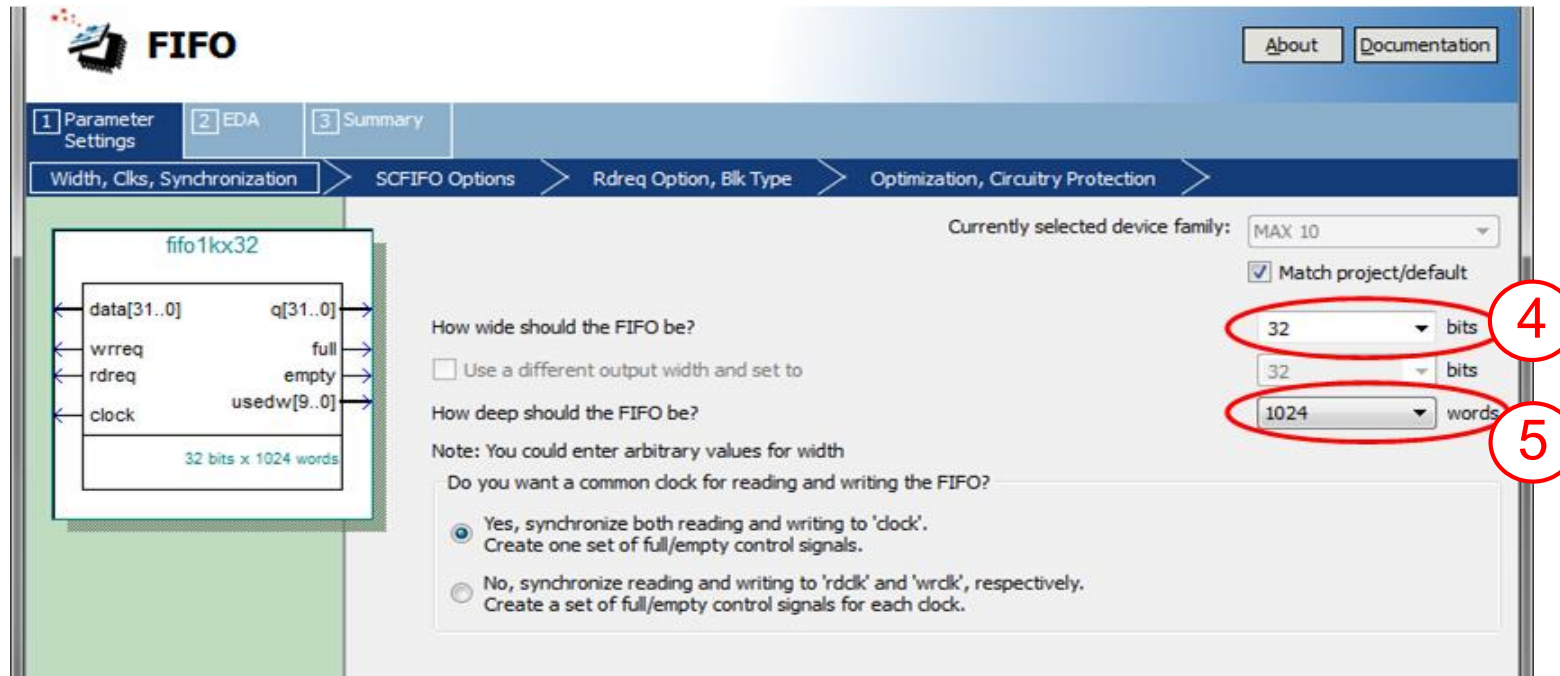
FIFO IP : SELECT IP AND SET NAME

สร้าง FIFO แบบ synchronous โดยมี depth = 1024 และ width = 32-bit



1. เปิดหน้าต่าง IP Catalog (Tools -> IP Catalog)
2. เลือก Library -> On Chip Memory -> FIFO
3. กำหนดชนิดไฟล์ VHDL และเลือก ... เพื่อ browse ไปที่ folder ที่ต้องการเก็บ file และตั้งชื่อไฟล์ เช่น fifo1kx42

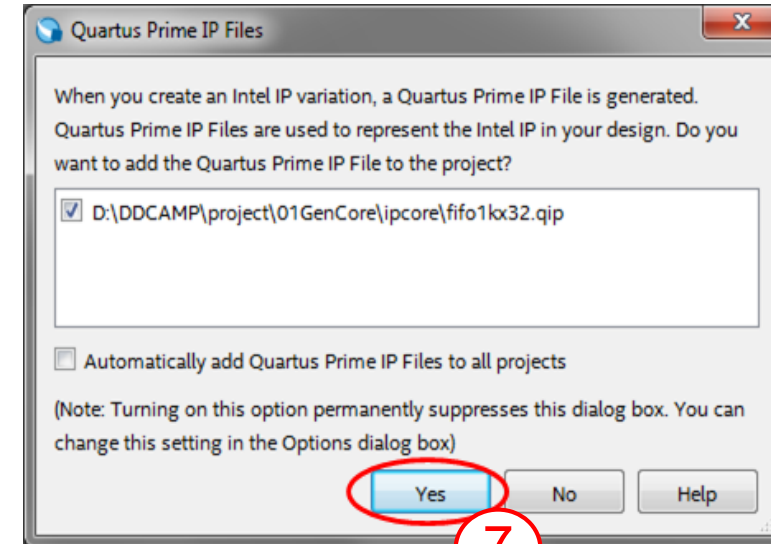
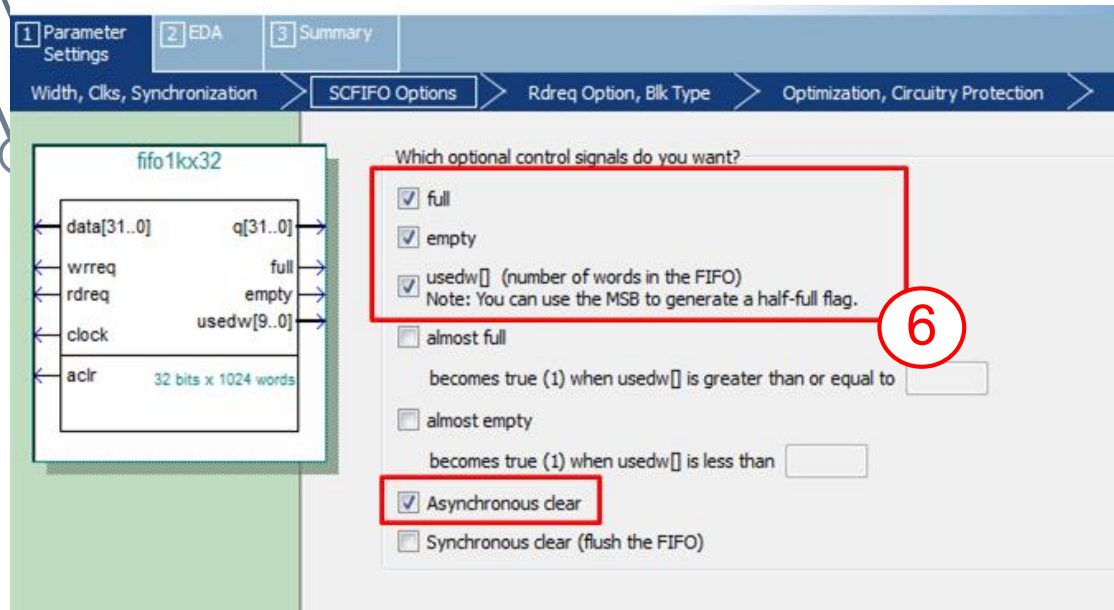
FIFO IP : SET FIFO DEPTH AND WIDTH



4. กำหนด data width = 32-bit

5. กำหนด FIFO depth = 1024

FIFO IP : SET STATUS



6. เลือก output status ของ FIFO

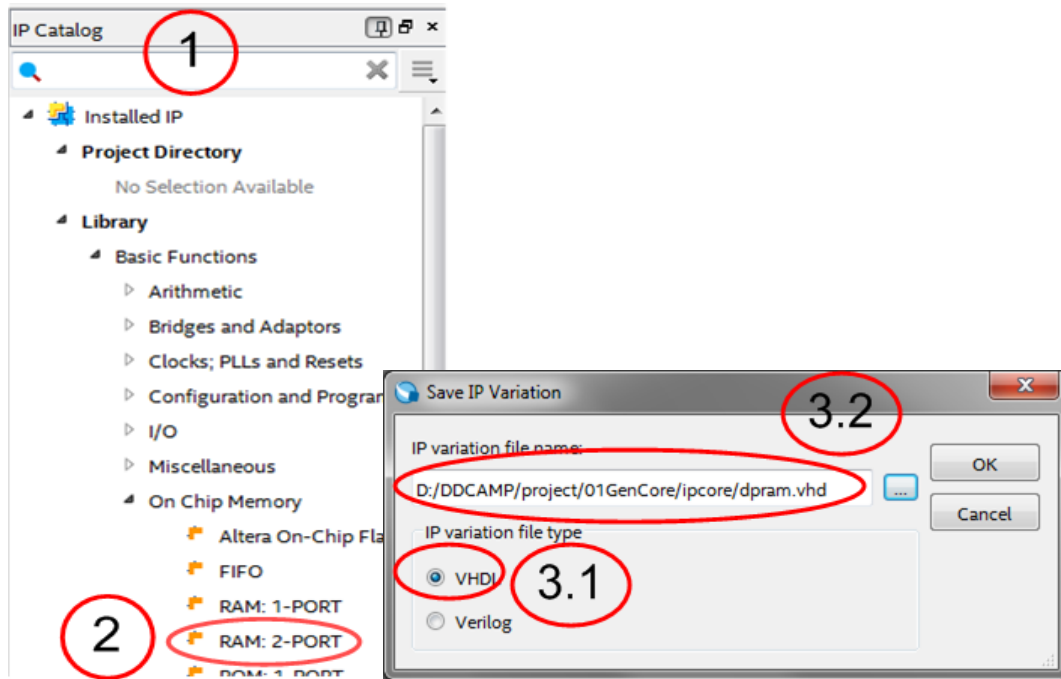
7. เลือก Yes เพื่อบันทึกการสร้าง FIFO และ add IP เข้า project file



RAM

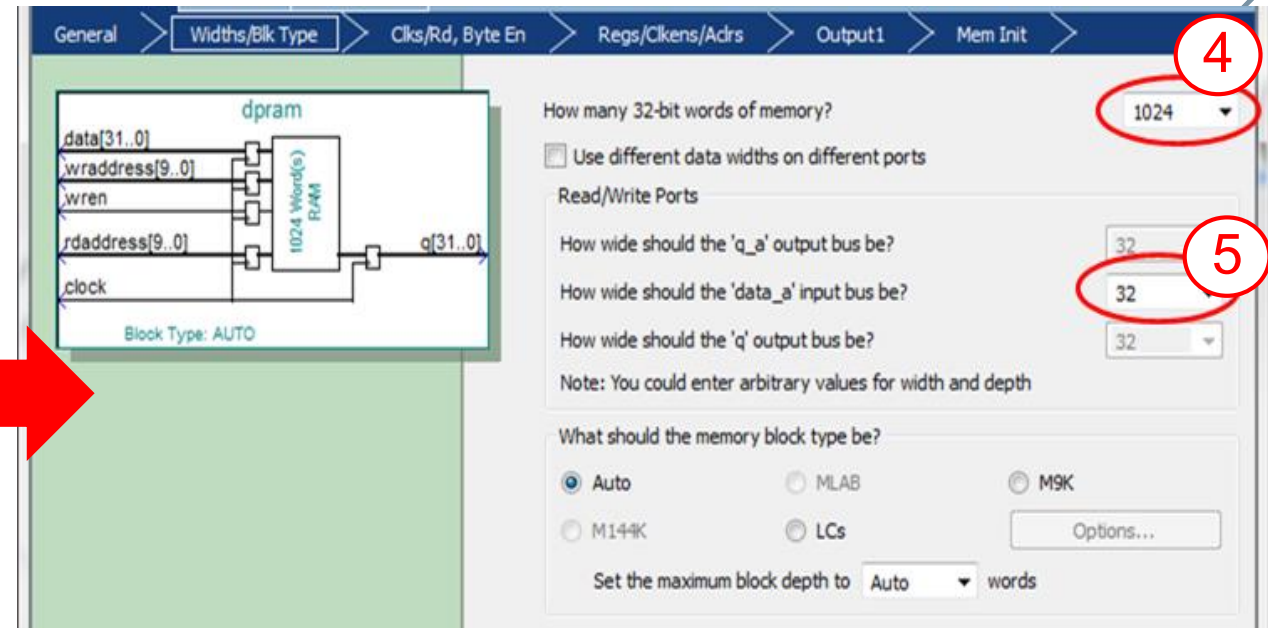
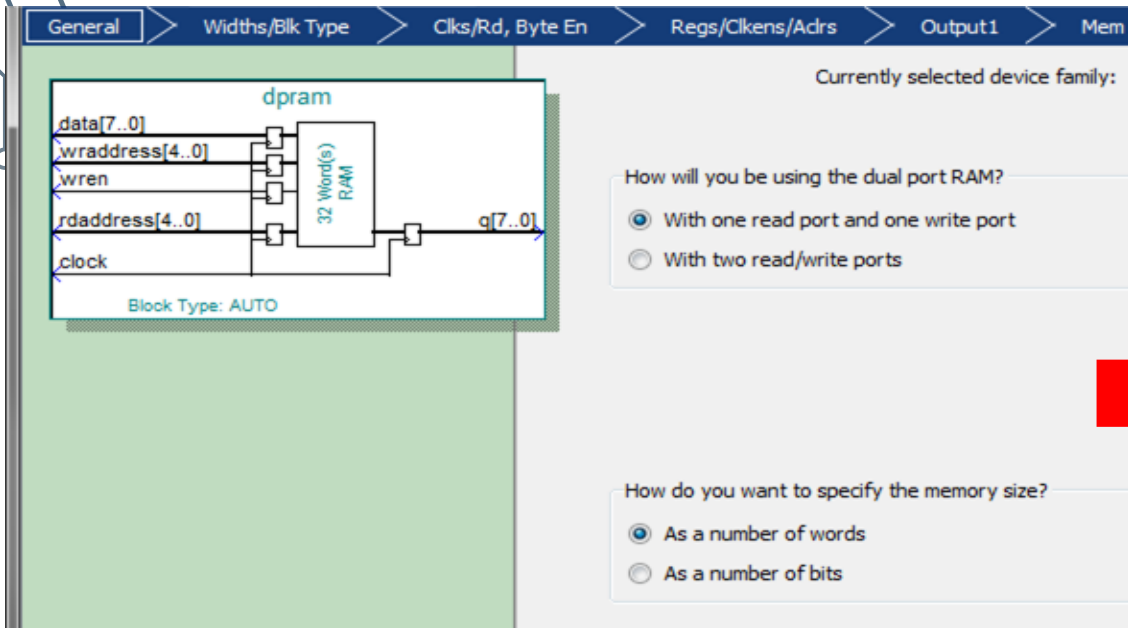
RAM IP : SELECT IP AND SET NAME

สร้าง RAM แบบ simple-dual port โดยมี depth = 1024 และ width = 32-bit



1. เปิดหน้าต่าง IP Catalog (Tools -> IP Catalog)
2. เลือก Library -> On Chip Memory -> RAM: 2-PORT
3. กำหนดชนิดไฟล์ VHDL และเลือก ... เพื่อ browse ไปที่ folder ที่ต้องการเก็บ file และตั้งชื่อไฟล์ เช่น dpram

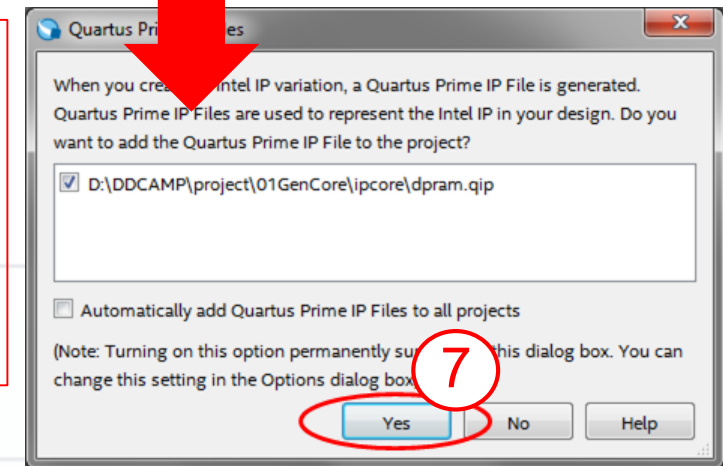
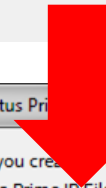
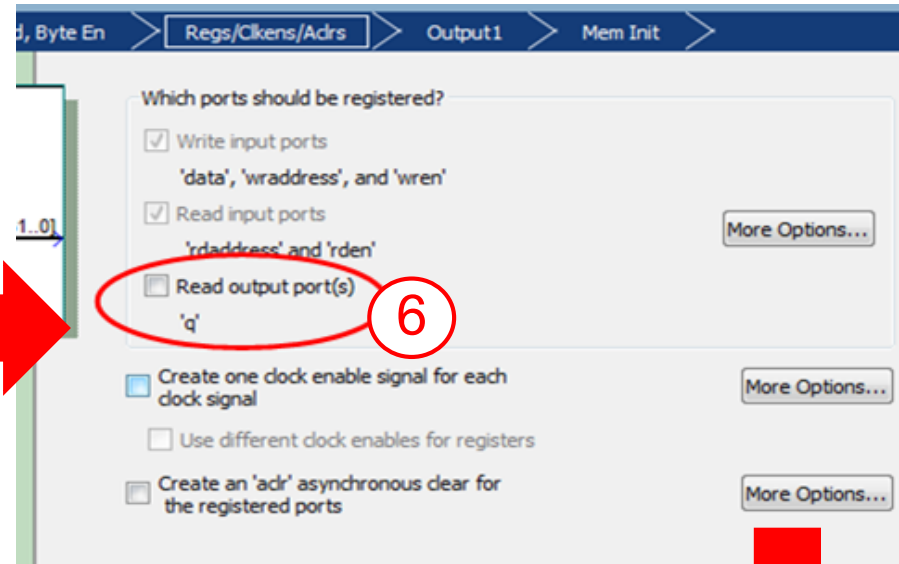
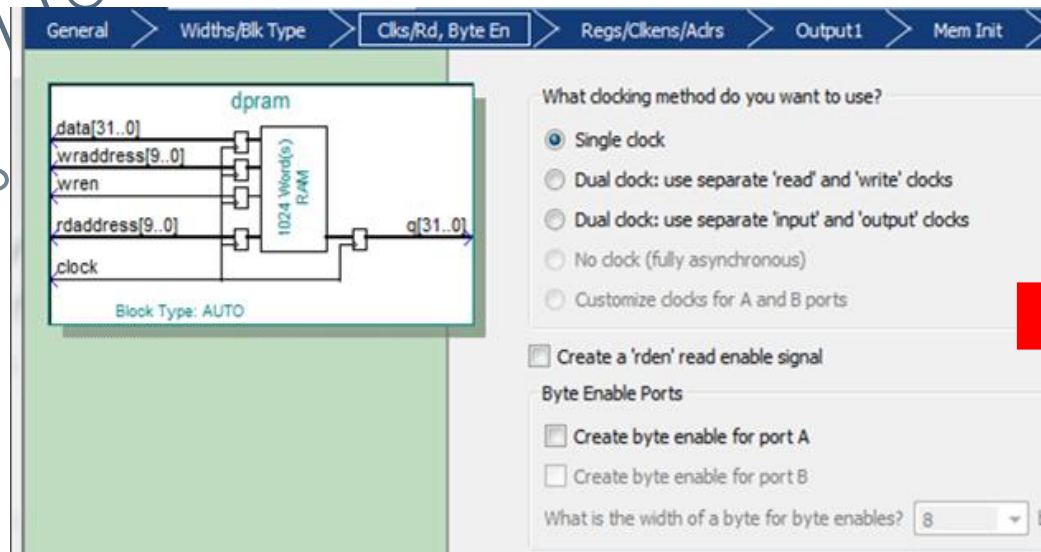
RAM IP : SET RAM TYPE AND SIZE



4. กำหนด RAM depth = 1024

5. กำหนด data width = 32

RAM IP : SET OPTION



6. กด uncheck เพื่อยกเลิกการเติม register ที่ Read output port(s)
(หากกด check จะทำให้ read data จะพร้อมอ่านหลังจากส่ง address ไป 2 clock)
7. เลือก Yes เพื่อจบการสร้าง RAM และ add IP เข้า project file

Q & A

<https://www.facebook.com/DigitalDesignThailand/>



<https://forfpgadesign.wordpress.com/>

