

W55MH32 数据手册

Version 1.0.0



<http://www.wiznet.io/>

W55MH32

增强型、真随机数、硬件加密算法单元、32位Arm® Cortex®-M3核心的片上1024K字节闪存的微控制器、10/100M以太网MAC和PHY、集成完整的全硬件TCP/IP协议栈引擎、USB、CAN、17个定时器、3个ADC、2个DAC、12个通信接口

功能:

- 封装
 - W55MH32L:100QFN
 - W55MH32Q:68QFN
- 内核: 32位的Arm® Cortex®-M3 Core
 - 最高216MHz工作频率, 可达2.54DMips/MHz(CoreMark1.0)
 - 单周期乘法和硬件除法
- 存储器
 - 1024K字节的闪存程序存储器
 - 96K字节的SRAM
- 时钟、复位和电源管理
 - 2.0~3.6伏供电和I/O引脚
 - 上电/掉电复位(POR/PDR)、可编程电压监测器(PVD)
 - 4~16MHz晶体振荡器
 - 内嵌出厂调校的8MHz的RC振荡器
 - 内嵌带校准的40kHz的RC振荡器
 - 带校准功能的32kHz RTC振荡器
- 低功耗
 - 睡眠、停机和待机模式
 - VBAT为RTC和后备寄存器供电
- 3个12位模数转换器, 1μs转换时间(多达12个输入通道)
 - 转换范围: 0 ~ 3.6V
 - 温度传感器
- 2个12位D/A转换器
- DMA: 12通道DMA控制器
- 以太网: 10/100 M以太网 MAC 和 PHY
 - 全硬件 TCP/IP 协议栈, 支持: TCP, UDP, ICMP, IPv4, ARP, IGMP, PPPoE
 - 8个独立的硬件SOCKET
 - 独立32K字节收发缓存
 - 集成10BaseT/100BaseTX 以太网PHY
 - 支持自动协商(全双工/半双工, 10M/100M)
 - LED状态显示 (全双工/半双工, 连接, 速度, 活动状态)
- 调试模式
 - 串行单线调试(SWD)和JTAG接口
 - 内嵌跟踪模块(ETM)
- I/O端口
 - 最多支持66(W55MH32L) / 36(W55MH32Q)个多功能双向的I/O口, 所有I/O口可以映像到16个外部中断
- 所有GPIO均可强制配置上下拉电阻
- 增强型CRC计算单元
- 17个定时器
 - 最多支持10个16位定时器, 每个定时器有多达4个用于输入捕获/输出比较/PWM或脉冲计数器的通道和增量编码器输入
 - 2个16位带死区控制和紧急刹车用于电机控制的PWM高级控制定时器
 - 2个看门狗定时器 (独立的和窗口型的)
 - 系统时间定时器: 24位递减计数器
 - 2个16位基本定时器
- 多达12个通信接口
 - 多达2个I2C接口(支持 SMBus/PMBus)
 - 多达5(W55MH32L) / 3(W55MH32Q)个USART接口
 - 多达2个SPI接口, 1个带I2S接口复用
 - CAN接口(2.0B 主动)
 - USB2.0全速接口(可选内部1.5K 上拉电阻)
 - SDIO接口(仅W55MH32L支持)
- 硬件加密算法单元
 - 内置硬件算法(DES、AES、SHA)
 - 提供完整高性能算法库
- TRNG: TRNG单元用于产生真随机数序列
 - 4个独立的真随机源, 可单独配置
 - 一次可产生128bit随机数
 - 可选数字处理后功能
 - 攻击检测
- SENSOR: 电压温度传感器报警
 - 可单独检测VBAT和VDD电压
 - 提供温度检测传感器
 - 可选报警后复位或中断
- SRAM加扰
 - 支持地址、数据加扰
- 一次性1可编程(OTP)
 - 支持32Byte

目 录

1 规格说明	9
1.1 器件一览.....	9
1.2 概述	9
1.2.1 32 位 Arm® Cortex®-M3 Core 核心	9
1.2.2 TCP/IP 卸载引擎(TOE)	10
1.2.3 内置闪存存储器.....	10
1.2.4 存储器保护单元(MPU)	11
1.2.5 内置 SRAM	11
1.2.6 CRC(循环冗余校验)计算单元	11
1.2.7 嵌套的向量式中断控制器(NVIC).....	11
1.2.8 外部中断/事件控制器(EXTI)	11
1.2.9 时钟和启动	12
1.2.10 启动模式	12
1.2.11 供电方案	12
1.2.12 供电监控器.....	12
1.2.13 电压调压器.....	12
1.2.14 低功耗模式.....	13
1.2.15 DMA.....	13
1.2.16 RTC(实时时钟)和后备寄存器.....	13
1.2.17 定时器和看门狗	14
1.2.18 I2C 总线.....	15
1.2.19 通用同步/异步收发器(USART)	16
1.2.20 串行外设接口(SPI)	16
1.2.21 音频接口(I2S).....	16
1.2.22 SDIO	16
1.2.23 控制器区域网络(CAN)	16
1.2.24 通用串行总线(USB)	16
1.2.25 通用输入输出接口(GPIO)	17
1.2.26 ADC(模拟/数字转换器)	17
1.2.27 DAC(数字/模拟信号转换器).....	17
1.2.28 温度传感器.....	18
1.2.29 串行单线 JTAG 调试口(SWJ-DP)	18
1.2.30 内嵌跟踪模块(ETM).....	18
1.2.31 真随机数发生器(TRNG)	18
2 引脚分配	19
2.1 W55MH32L	19
2.2 W55MH32Q	22

3 电气特性	25
3.1 最小和最大数值	25
3.2 典型数值	25
3.3 典型曲线	25
3.4 通用工作条件	27
3.5 上电和掉电时的工作条件	27
3.6 内嵌复位和电源控制模块特性	27
3.7 内置的参照电压	28
3.8 供电电流特性	29
3.9 外部时钟源特性	32
3.10 内部时钟源特性	33
3.11 以太网的晶体特性	34
3.12 从低功耗模式唤醒的时间	34
3.13 PLL 特性	35
3.14 存储器特性	35
3.15 绝对最大值 (电气敏感性)	36
3.16 I/O 端口特性	36
3.17 NRST 引脚特性	37
3.18 TIM 定时器特性	37
3.19 CAN (控制器局域网) 接口	38
3.20 12 位 ADC 特性	38
3.21 DAC 电气参数	39
3.22 温度传感器特性	41
4 封装描述	42
5 文档历史信息	47

插图清单

图 1 W55MH32L 引脚分布.....	19
图 2 W55MH32Q 引脚分布.....	22
图 3 W55MH32L 封装描述.....	44
图 4 W55MH32Q 封装描述.....	46

列表清单

表 1 器件功能配置表	9
表 2 供电电压和 Flash Delay 等级匹配关系表	10
表 3 TIM 配置表	14
表 4 W55MH32L 引脚描述	19
表 5 W55MH32Q 引脚描述	22
表 6 电压特性	25
表 7 电流特性	26
表 8 温度特性	26
表 9 以太网静电释放(ESD)	26
表 10 以太网静态锁定	26
表 11 通过工作条件	27
表 12 上电和掉电时的工作条件	27
表 13 内嵌复位和电源控制模块特性	27
表 14 内置的参考电压	28
表 15 运行模式下电流消耗	29
表 16 以太网功耗	30
表 17 睡眠模式下的电流消耗，代码运行在 Flash 中	30
表 18 停机和待机模式下的典型和最大电流消耗	31
表 19 高速外部用户时钟特性	32
表 20 低速外部用户时钟特性	32
表 21 HSE 4~16MHz 振荡器特性	33
表 22 LSE 振荡器特性(fLSE=32.768KHz)	33
表 23 HSI 振荡器特性	33
表 24 LSI 振荡器特性	34
表 25 以太网的晶体特性	34
表 26 低功耗模式的唤醒时间	34
表 27 PLL 特性	35
表 28 闪存存储器特性	35
表 29 闪存存储器寿命和数据保存期限	35
表 30 ESD 绝对最大额定值	36
表 31 I/O 静态特性	36
表 32 输出电压特性	37
表 33 NRST 引脚特性	37
表 34 TIMx 特性	37
表 35 ADC 特性	38
表 36 fADC=14MHz 时的最大 RAIN	39
表 37 DAC 特性	39

表 38 温度传感器特性	41
--------------------	----

介绍

数据手册中的内容包括：产品的基本配置(如内置 Flash 和 RAM 的容量、外设模块的种类和数量等)，管脚的数量和分配，电气特性，封装信息等。

1 规格说明

1.1 器件一览

表 1 器件功能配置表

型号		W55MH32L	W55MH32Q
Flash (KB)		1024	1024
SRAM (KB)		96	96
定时器	高级	2	2
	通用	10	10
	基本	2	2
通信接口	SPI	2	2
	I2C	2	2
	USART/UART	5	3
	USB	1	1
	CAN	1	1
	SDIO	1	-
	Ethernet	1	1
GPIO 端口		66	36
12 位 ADC (通道数)		3 (12 个通道)	3 (12 个通道)
12 位 DAC (通道数)		2 (2 个通道)	2 (2 个通道)
随机数模块		支持	支持
硬件加密算法单元		支持	支持
页大小 (K 字节)		4	4
CPU 频率		216M	216M
工作电压		2.0~3.6V	2.0~3.6V
工作温度		-40~+85℃	-40~+85℃

1.2 概述

1.2.1 32 位 Arm® Cortex®-M3 Core 核心

32 位的 Arm® Cortex®-M3 Core 为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

1.2.2 TCP/IP 卸载引擎(TOE)

简介

TCP/IP 卸载引擎 (TOE) 是一个嵌入式全硬件 TCP/IP 以太网控制器，它可以提供更简洁的嵌入式网络接入方案。TOE 技术使得用户可以用硬件 TCP/IP 协议栈来实现网络接入应用。

WIZnet 的全硬件 TCP/IP 协议栈方案已经在多年的众多应用中得以证明，支持 TCP, UDP, IPv4, ICMP, ARP, IGMP 以及 PPPoE 协议。TOE 嵌入了 32KB 用于以太网数据包处理的内部缓存。

应用 TOE 技术使得用户通过一些简单的 Socket 编程就能实现以太网应用方案。相比其他以太网解决方案来说，这套方案更加快速和简易。可以独立使用 8 个独立的硬件 Socket。同时，TOE 提供 WOL (网络唤醒) 功能以降低系统功耗。

特点

- 支持全硬件 TCP/IP 协议：TCP,UDP,ICMP,IPv4,ARP,IGMP,PPPoE
- 支持 8 路独立端口 (Socket) 同时通讯
- 支持掉电模式
- 支持网络唤醒
- 独立 32K 字节收发缓存
- 10BaseT/100BaseTX 以太网物理层 PHY
- 支持自动协商

1.2.3 内置闪存存储器

内置闪存存储器，用于存放程序和数据。

表 2 供电电压和 Flash Delay 等级匹配关系表

Flash Delay等级	HCLK (MHz)	
	电压范围 2.3V 至 3.6V	电压范围 2.0V至2.3V
0	$0 < \text{HCLK} \leq 108$	$0 < \text{HCLK} \leq 32$
1	$108 < \text{HCLK} \leq 216$	$32 < \text{HCLK} \leq 64$
2	-	$64 < \text{HCLK} \leq 128$
3	-	$128 < \text{HCLK} \leq 192$
4	-	$192 < \text{HCLK} \leq 216$

1.2.4 存储器保护单元(MPU)

存储器保护单元(MPU)用于管理 CPU 对存储器的访问,防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多 8 个保护区,还可依次再被分为最多 8 个子区。保护区大小可为 32 字节至可寻址存储器的整个 4 G 字节。

若应用中有一些关键的或认证的代码必须受到保护,以免被其它任务的错误行为影响,则 MPU 尤其有用。它通常由 RTOS(实时操作系统)管理。若程序访问的存储器位置被 MPU 禁止,则 RTOS 可检测到它并采取行动。在 RTOS 环境中,内核可基于执行的进程,动态更新 MPU 区的设置。

1.2.5 内置 SRAM

最大 96K 字节的内置 SRAM, CPU 能以 0 等待周期访问(读/写)。

1.2.6 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个固定的多项式(可选多种模式,并可进行硬件数据处理)发生器,从一个 32 位的数据字产生一个 CRC 码。

在众多的应用中,基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内,它提供了一种检测闪存存储器错误的手段。

1.2.7 嵌套的向量式中断控制器(NVIC)

8 个优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复,无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

1.2.8 外部中断/事件控制器(EXTI)

外部中断/事件控制器包含 19 个边沿检测器,用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿或下降沿或双边沿),并能够单独地被屏蔽;有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期。

1.2.9 时钟和启动

系统时钟的选择是在启动时进行，复位时内部 8MHz 的 RC 振荡器被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 4-16MHz 时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的 RC 振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对 PLL 时钟完全的中断管理(如当一个间接使用的外部振荡器失效时)。

多个预分频器用于配置 AHB 的频率、高速 APB(APB2)和低速 APB(APB1)区域。AHB 和高速 APB 的最高频率是 216MHz，低速 APB 的最高频率为 108MHz。

1.2.10 启动模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序(Bootloader)存放于系统存储器中，可以通过 USART1 对闪存重新编程。

1.2.11 供电方案

- VDD：为 I/O 引脚和内部调压器供电。
- VSSA, VDDA：为 ADC、复位模块、RC 振荡器和 PLL 的模拟部分提供供电。VDDA 和 VSSA 必须分别连接到 VDD 和 VSS。
- VBAT：当关闭 VDD 时，(通过内部电源切换器)为 RTC、外部 32kHz 振荡器和后备寄存器供电。

注：各电压范围参考参考通用工作条件。

1.2.12 供电监控器

本产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过 2V 时工作；当 VDD 低于设定的阈值(VPOR/PDR)时，置器件于复位状态，而不必使用外部复位电路。器件中还有一个可编程电压监测器(PVD)，它监视 VDD/VDDA 供电并与阈值 VPVD 比较，当 VDD 低于或高于阈值 VPVD 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

1.2.13 电压调压器

调压器有三个操作模式：主模式(MR)、低功耗模式(LPR)和关断模式

- 主模式(MR)用于正常的运行操作
- 低功耗模式(LPR)用于 CPU 的停机模式

- 关断模式用于 CPU 的待机模式：调压器的输出为高阻状态，内核电路的供电切断，调压器处于零消耗状态(但寄存器和 SRAM 的内容将丢失)

该调压器在复位后始终处于工作状态，在待机模式下关闭处于高阻输出。

1.2.14 低功耗模式

- 睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

- 停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，停止所有内部 1.1V 部分的供电，PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器被关闭，调压器可以被置于普通模式或低功耗模式。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出、RTC 闹钟或 USB 的唤醒信号。

- 待机模式

在待机模式下可以达到最低的电能消耗。内部的电压调压器被关闭，因此所有内部 1.1V 部分的供电被切断；PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器也被关闭；进入待机模式后，SRAM 和寄存器的内容将消失，但后备寄存器的内容仍然保留，待机电路仍工作。从待机模式退出的条件是：NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的一个上升边沿或 RTC 的闹钟到时。

注：在进入停机或待机模式时，RTC、IWDG 和对应的时钟不会被停止。

1.2.15 DMA

最多支持 12 路通用 DMA(DMA1 为 7 通道，DMA2 为 5 通道)可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。DMA 可以用于主要的外设：SPI/I2S、I2C、USART，高级/通用/基本定时器 TIMx、ADC、DAC、SDIO。

1.2.16 RTC(实时时钟)和后备寄存器

RTC 和后备寄存器通过一个开关供电，在 VDD 有效时该开关选择 VDD 供电，否则由 VBAT 引脚供电。后备寄存器(42 个 16 位的寄存器)可以用于在关闭 VDD 时，保存 84 个字节的用户应用数据。RTC 和后备寄存器不会被系统或电源复位源复位；当从待机模式唤醒时，也不会被复位。

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC 的驱动时钟可以是一个使用外部晶体的 32.768kHz 的振荡器、内部低功耗 RC 振荡器或高速的外部时钟经 128 分频。内部低功耗 RC 振荡器的典型频率为 40kHz。为补偿天然晶体的偏差，可以通过输出一个 512Hz 的信号对 RTC 的时钟进行校准。RTC 具有一个 32 位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个 20 位的预分频器用于时基时钟，默认情况下时钟为 32.768kHz 时，它将产生一个 1 秒长的时间基准。

1.2.17 定时器和看门狗

本系列产品最多包含 2 个高级控制定时器、10 个通用定时器、2 个基本定时器、2 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、通用定时器和基本定时器的功能：

表 3 TIM 配置表

定时器	计数器分辨率	计数器类型	预分频系数	产生 DMA 请求	捕获/比较通道	互补输出
TIM1 TIM8	16 位	向上, 向下, 向上/向下	1~65536 之间的任意整数	可以	4	有
TIM2 TIM3 TIM4 TIM5	16 位	向上, 向下, 向上/向下	1~65536 之间的任意整数	可以	4	没有
TIM9 TIM12	16 位	向上	1~65536 之间的任意整数	不可以	2	没有
TIM10 TIM11 TIM13 TIM14	16 位	向上	1~65536 之间的任意整数	不可以	1.	没有
TIM6 TIM7	16 位	向上	1~65536 之间的任意整数	可以	0	没有

高级控制定时器(TIM1 和 TIM8)

两个高级控制定时器(TIM1 和 TIM8)可以被看成是分配到 6 个通道的三相 PWM 发生器，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位标准定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力(0~100%)。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。很多功能都与标准的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器(TIM2、TIM3、TIM4、TIM5)

本系列产品中，内置了 4 个可同步运行的标准定时器(TIM2、TIM3、TIM4、TIM5)。每个定时器都有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一标准定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

通用定时器(TIM10、TIM11、TIM9)

这些定时器基于 16 位自动重新加载计数器和 16 位预分频器。TIM10 和 TIM11 有一个独立的通道，而 TIM9 有两个用于输入捕获/输出比较、PWM 或单脉冲模式的独立通道输出它们可以与 TIM2、TIM3、TIM4、TIM5 全功能同步通用定时器。它们也可以用作简单的时基。

通用定时器(TIM13、TIM14、TIM12)

这些定时器基于 16 位自动重新加载计数器和 16 位预分频器。TIM13 和 TIM14 有一个独立的通道，而 TIM12 有两个独立的通道用于输入捕获/输出比较、PWM 或单脉冲模式的独立通道输出它们可以与 TIM2、TIM3、TIM4、TIM5 全功能同步通用定时器。它们也可以用作简单的时基。

独立看门狗

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40kHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

基本定时器 TIM6 和 TIM7

这些定时器主要用于 DAC 触发器的生成。它们也可以用作通用 16 位时基。

窗口看门狗

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

1.2.18 I2C 总线

多达 2 个 I2C 总线接口，能够工作于多主模式或从模式，支持标准和快速模式。I2C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。

它们可以使用 DMA 操作并，并且支持系统管理总线 2.0 (SM Bus 2.0) / 电源管理总线 (PM Bus)。

1.2.19 通用同步/异步收发器(USART)

3 个通用同步/异步收发器(USART1、USART2 和 USART3)和 2 个通用异步接收发射机(UART4 和 UART5)。这五个接口提供异步通信、IrDA SIR ENDEC 支持、多处理器通信模式、单线半双工通信模式和 LIN 主/从功能。

USART1 接口通信速率可达 13.5 兆位/秒。USART1、USART2 和 USART3 接口具有硬件的 CTS 和 RTS 信号管理、兼容 ISO7816 的智能卡模式和类 SPI 通信模式。

1.2.20 串行外设接口(SPI)

最多 2 个 SPI 接口。3 位的预分频器可产生 8 种主模式频率，可配置成每帧 8 位或 16 位。硬件的 CRC 产生/校验支持基本的 SD 卡和 MMC 模式。所有的 SPI 接口都可以使用 DMA 操作。

1.2.21 音频接口(I2S)

1 个标准的 I2S 接口(SPI3 复用)可以工作于主或从模式，这个接口可以配置为 16 位或 32 位传输，亦可配置为输入或输出通道，支持音频采样频率从 8kHz 到 48kHz。当 I2S 接口配置为主模式，它的主时钟可以以 256 倍采样频率输出给外部的 DAC 或 CODEC(解码器)。

1.2.22 SDIO

SD/SDIO/MMC 主机接口可以支持 MMC 卡系统规范 4.2 版中的 3 个不同的数据总线模式：1 位(默认)、4 位和 8 位。SDIO 存储卡规范 2.0 版支持两种数据总线模式：1 位(默认)和 4 位。目前的芯片版本只能一次支持一个 SD/SDIO/MMC 4.2 版的卡，但可以同时支持多个 MMC 4.1 版或之前版本的卡。

除了 SD/SDIO/MMC，这个接口完全与 CE-ATA 数字协议版本 1.1 兼容。

1.2.23 控制器区域网络(CAN)

CAN 接口兼容规范 2.0A 和 2.0B(主动)，位速率高达 1 兆位/秒。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。具有 3 个发送邮箱和 2 个接收 FIFO，3 级 14 个可调节的滤波器。

1.2.24 通用串行总线(USB)

内嵌一个兼容全速 USB 的设备控制器，遵循全速 USB 设备(12 兆位/秒)标准，端点可由软件配置，具有待机/唤醒功能。USB 专用的 48MHz 时钟由内部主 PLL 直接产生(时钟源可任意)。

1.2.25 通用输入输出接口(GPIO)

每个 GPIO 引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上拉或下拉)或复用的外设

功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口,所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下, I/O 引脚的外设功能可以通过一个特定的操作锁定, 以避免意外的写入 I/O 寄存器。每个 I/O 均可配置强制上、下拉电阻, 节省外部电阻消耗。

1.2.26 ADC(模拟/数字转换器)

最多支持 3 个 12 位的模拟/数字转换器(ADC), 多达 12 个外部通道, 可以实现单次或扫描转换。在扫描模式下, 自动进行在选定的一组模拟输入上的转换。

ADC 接口上的其它逻辑功能包括:

- 同步的采样和保持
- 交叉的采样和保持
- 单次采样

ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道, 当被监视的信号超出预置的阈值时, 将产生中断。

由标准定时器(TIMx)和高级控制定时器(TIM1 和 TIM8)产生的事件, 可以分别内部级联到 ADC 的开始触发和注入触发, 应用程序能使 AD 转换与时钟同步。

1.2.27 DAC(数字/模拟信号转换器)

两个 12 位带缓冲的 DAC 通道可以用于转换 2 路数字信号成为 2 路模拟电压信号并输出。

这个双数字接口支持下述功能:

- 两个 DAC 转换器: 各有一个输出通道
- 8 位或 12 位单调输出
- 12 位模式下的左右数据对齐
- 同步更新功能
- 产生噪声波
- 产生三角波
- 双 DAC 通道独立或同步转换
- 每个信道都可使用 DMA 功能
- 外部触发进行转换
- 输入参考电压 V_{REF+}

DAC 通道可以由定时器的更新输出触发, 更新输出也可连接到不同的 DMA 通道。

1.2.28 温度传感器

温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到 ADC1_IN16 的输入通道上，用于将传感器的输出转换成数字数值。

1.2.29 串行单线 JTAG 调试口(SWJ-DP)

内嵌的 SWJ-DP 接口，这是一个结合了 JTAG 和串行单线调试(SWD)的接口，可以实现串行单线调试接口或 JTAG 接口的连接。JTAG 的 TMS 和 TCK 信号分别与 SWDIO 和 SWCLK 共用引脚，TMS 脚上的一个特殊的信号序列用于在 JTAG-DP 和 SW-DP 间切换。

1.2.30 内嵌跟踪模块(ETM)

使用嵌入式跟踪微单元(ETM)，通过很少的 ETM 引脚连接到外部跟踪端口分析(TPA)设备，从 CPU 核心中以高速输出压缩的数据流，为开发人员提供了清晰的指令运行与数据流动的信息。TPA 设备可以通过 USB、以太网或其它高速通道连接到调试主机，实时的指令和数据流向能够被调试主机上的调试软件记录下来，并按需要的格式显示出来。TPA 硬件可以从开发工具供应商处购得，并能与第三方的调试软件兼容。

1.2.31 真随机数发生器(TRNG)

TRNG 单元用于产生真随机数序列。一次工作产生 128-bit 真随机数序列。可配置随机数生成后产生 CPU 中断请求。

2 引脚分配

2.1 W55MH32L

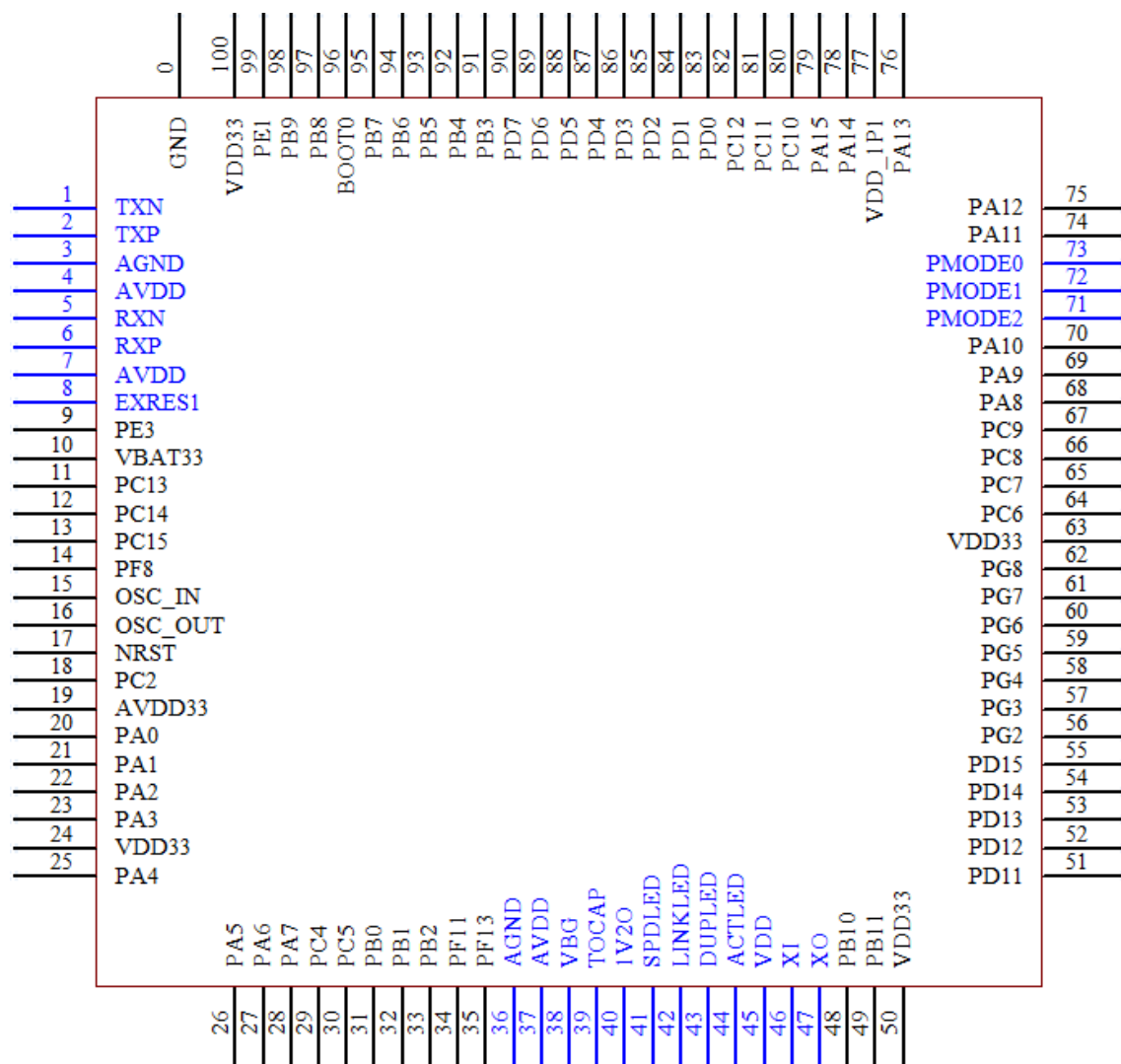


图 1 W55MH32L 引脚分布

表 4 W55MH32L 引脚描述

NO	Pin Name	Type	I/O Level	Main Function (after reset)	Default/ Description	Remap
1	TXN	AO	-	TXN	TXP/TXN 信号对 差分信号传输	-
2	TXP	AO	-	TXP		-
3	AGND	AGND	-	-	以太网模拟地	-
4	AVDD	PWR	-	-	以太网模拟 3.3V 电源	-
5	RXN	AI	-	RXN	RXP/RXN 信号对 差分信号接收	-
6	RXP	AI	-	RXP		-
7	AVDD	PWR	-	-	以太网模拟 3.3V 电源	-
8	EXRES	-	-	-	外部参考电阻 该引脚需要连接一个精度为 1% 的 12.4KΩ 外部参考电阻，为内部模拟电路提供偏压	-
9	PE3	-	-	-	-	-

NO	Pin Name	Type	I/O Level	Main Function (after reset)	Default/ Description	Remap
10	VBAT	VBAT	S	—	VBAT	—
11	PC13- TAMPERRTC	I/O	—	PC13	TAMPER-RTC	—
12	PC14-OSC32_IN	I/O	—	PC14	OSC32_IN	—
13	PC15- OSC32_OUT	I/O	—	PC15	OSC32_OUT	—
14	PF8	I/O	-	PF8	ADC3_IN6	—
15	OSC_IN	I	—	OSC_IN	—	—
16	OSC_OUT	O	—	OSC_OUT	—	—
17	nRESET	I	—	nRESET	—	—
18	PC2	I/O	-	PC2	ADC123_IN12	—
19	VDDA	PWR	—	—	—	—
20	PA0-WKUP	I/O	—	PA0	WKUP/USART2_CTS/ ADC123_IN0/TIM2_CH1_ETR/ TIM5_CH1/TIM8_ETR	—
21	PA1	I/O	—	PA1	USART2_RTS/ADC123_IN1/ TIM2_CH2/TIM5_CH2	—
22	PA2	I/O	—	PA2	USART2_TX/ADC123_IN2/ TIM2_CH3/TIM5_CH3/ TIM9_CH1	—
23	PA3	I/O	—	PA3	USART2_RX/ADC123_IN3/ TIM2_CH4/TIM5_CH4/ TIM9_CH2	—
24	VDD	PWR	—	—	—	—
25	PA4	I/O	—	PA4	SPI1_NSS/USART2_CK/ DAC_OUT1/ADC12_IN4	—
26	PA5	I/O	—	PA5	SPI1_SCK/ADC12_IN5/ DAC_OUT2	—
27	PA6	I/O	—	PA6	SPI1_MISO/ADC12_IN6/ TIM3_CH1/TIM8_BKIN/ TIM13_CH1	TIM1_BKIN
28	PA7	I/O	—	PA7	SPI1_MOSI/ADC12_IN7/ TIM3_CH2/TIM8_CH1N/ TIM14_CH1	TIM1_CH1N
29	PC4	I/O	—	PC4	ADC12_IN14	—
30	PC5	I/O	—	PC5	ADC12_IN15	—
31	PB0	I/O	—	PB0	ADC12_IN8/TIM3_CH3/ TIM8_CH2N	TIM1_CH2N
32	PB1	I/O	—	PB1	ADC12_IN9/TIM3_CH4/ TIM8_CH3N	TIM1_CH3N
33	PB2	I/O	FT	PB2/BOOT1	—	—
34	PF11	I/O	FT	PF11	—	—
35	PF13	I/O	FT	PF13	—	—
36	AGND	AGND	—	—	以太网模拟地	—
37	AVDD	PWR	—	—	以太网模拟 3.3V 电源	—
38	VBG	AO	—	—	带隙输出电压 该引脚将在 25°C 下测量为 1.2V。必须悬空	—
39	TOCAP	AO	—	—	外部参考电容 该引脚必须连接到 4.7uF 电容。 而且至该电容的走线尽可能的短一些，从而保证内部信号的稳定。	—
40	1V20	PWR	—	—	1.2V 输出稳压 该引脚必须连接一个 10nF 电容 这是内部稳压器的输出电压	—
41	SPDLED	O	—	SPDLED	网络速度指示灯 显示当前连接的网络速度状态。 低电平：100Mbps；高电平：10Mbps	—
42	LINKLED	O	—	LINKLED	网络连接指示灯 显示当前连接状态 低电平：连接建立；高电平：未连接	—
43	DUPLED	O	—	DUPLED	全/半双工指示灯 显示连接连接的双工状态。 低电平：全双工模式；高电平：半双工模式	—
44	ACTLED	O	—	ACTLED	活动状态指示灯 显示数据收/发活动时，物理介质子层载波侦听活动情况 低电平：有物理介质子层的载波侦听信号 高电平：无物理介质子层的载波侦听信号	—

NO	Pin Name	Type	I/O Level	Main Function (after reset)	Default/ Description	Remap																																								
45	VCC33	PWR	–	–	以太网数字 3.3V 电源	–																																								
46	XI	AI	–	–	外部时钟输入晶振 外部 25MHz 晶振输入 这个引脚也可以连接单向 TTL 晶振；3.3V 时钟必须采用外部时钟输入； 如果采用该方式，XO 引脚需要悬空；	–																																								
47	XO	AO	–	–	外部时钟输入晶振输出 外部 25MHz 晶振输出 注意：若通过 XI/CLKIN 驱动使用外部时钟，该引脚悬空	–																																								
48	PB10	I/O	FT	PB10	I2C2_SCL/USART3_TX	TIM2_CH3																																								
49	PB11	I/O	FT	PB11	I2C2_SDA/USART3_RX	TIM2_CH4																																								
50	VDD	PWR																																												
51	PD11	I/O	FT	PD11	–	–																																								
52	PD12	I/O	FT	PD12	–	TIM4_CH1 /USART3_RX																																								
53	PD13	I/O	FT	PD13	–	TIM4_CH2																																								
54	PD14	I/O	FT	PD14	–	TIM4_CH3																																								
55	PD15	I/O	FT	PD15	–	TIM4_CH4																																								
56	PG2	I/O	FT	PG2	–	–																																								
57	PG3	I/O	FT	PG3	–	–																																								
58	PG4	I/O	FT	PG4	–	–																																								
59	PG5	I/O	FT	PG5	–	–																																								
60	PG6	I/O	FT	PG6	–	–																																								
61	PG7	I/O	FT	PG7	–	–																																								
62	PG8	I/O	FT	PG8	–	–																																								
63	VDD	PWR	–	–	–	–																																								
64	PC6	I/O	FT	PC6	TIM8_CH1/SDIO_D6	TIM3_CH1																																								
65	PC7	I/O	FT	PC7	I2S3_MCK/TIM8_CH2/SDIO_D7	TIM3_CH2																																								
66	PC8	I/O	FT	PC8	TIM8_CH3/SDIO_D0	TIM3_CH3																																								
67	PC9	I/O	FT	PC9	TIM8_CH4/SDIO_D1	TIM3_CH4																																								
68	PA8	I/O	FT	PA8	USART1_CK/TIM1_CH1/MCO	–																																								
69	PA9	I/O	FT	PA9	USART1_TX/TIM1_CH2	–																																								
70	PA10	I/O	FT	PA10	USART1_RX/TIM1_CH3	–																																								
71	PMODE2	I	–	–	PHY 工作模式选择引脚 这个引脚决定了网络工作模式。具体请参考以下表格	–																																								
72	PMODE1	I	–	–																																										
73	PMODE0	I	–	–	<table><tr><th colspan="3">PMODE [2:0]</th><th>说明</th></tr><tr><td>2</td><td>1</td><td>0</td><td></td></tr><tr><td>0</td><td>0</td><td>0</td><td>10BT 半双工，关闭自动协商</td></tr><tr><td>0</td><td>0</td><td>1</td><td>10BT 全双工，关闭自动协商</td></tr><tr><td>0</td><td>1</td><td>0</td><td>100BT 半双工，关闭自动协商</td></tr><tr><td>0</td><td>1</td><td>1</td><td>100BT 全双工，关闭自动协商</td></tr><tr><td>1</td><td>0</td><td>0</td><td>100BT 半双工，启用自动协商</td></tr><tr><td>1</td><td>0</td><td>1</td><td>未启用</td></tr><tr><td>1</td><td>1</td><td>0</td><td>未启用</td></tr><tr><td>1</td><td>1</td><td>1</td><td>所有功能，启用自动协商</td></tr></table>	PMODE [2:0]			说明	2	1	0		0	0	0	10BT 半双工，关闭自动协商	0	0	1	10BT 全双工，关闭自动协商	0	1	0	100BT 半双工，关闭自动协商	0	1	1	100BT 全双工，关闭自动协商	1	0	0	100BT 半双工，启用自动协商	1	0	1	未启用	1	1	0	未启用	1	1	1	所有功能，启用自动协商	–
PMODE [2:0]			说明																																											
2	1	0																																												
0	0	0	10BT 半双工，关闭自动协商																																											
0	0	1	10BT 全双工，关闭自动协商																																											
0	1	0	100BT 半双工，关闭自动协商																																											
0	1	1	100BT 全双工，关闭自动协商																																											
1	0	0	100BT 半双工，启用自动协商																																											
1	0	1	未启用																																											
1	1	0	未启用																																											
1	1	1	所有功能，启用自动协商																																											
74	PA11	I/O	–	PA11	USART1_CTS/USBDM CAN_RX/TIM1_CH4	–																																								
75	PA12	I/O	–	PA12	USART1_RTS/USBDP/ CAN_TX/TIM1_ETR	–																																								
76	PA13	I/O	FT	JTMS–SWDIO	–	PA13																																								
77	VDD	PWR	–	–	–	–																																								
78	PA14	I/O	FT	JTCK–SWCLK	–	PA14																																								
79	PA15	I/O	FT	JTDI	SPI3_NSS/I2S3_WS	TIM2_CH1_ETR/ PA15/SPI1_NSS																																								
80	PC10	I/O	FT	PC10	UART4_TX/SDIO_D2	USART3_TX																																								
81	PC11	I/O	FT	PC11	UART4_RX/SDIO_D3	USART3_RX																																								
82	PC12	I/O	FT	PC12	UART5_TX/SDIO_CK	USART3_CK																																								
83	PD0	I/O	FT	PD0	–	CAN_RX																																								
84	PD1	I/O	FT	PD1	–	CAN_TX																																								
85	PD2	I/O	FT	PD2	TIM3_ETR/UART5_RX/SDIO_CMD	–																																								
86	PD3	I/O	FT	PD3	–	USART2_CTS																																								
87	PD4	I/O	FT	PD4	–	USART2_RTS																																								
88	PD5	I/O	FT	PD5	–	USART2_TX																																								
89	PD6	I/O	FT	PD6	–	USART2_RX																																								
90	PD7	I/O	FT	PD7	–	USART2_CK																																								
91	PB3	I/O	FT	JTDO	SPI3_SCK/I2S3_CK	PB3/TRACESWO TIM2_CH2/ SPI1_SCK																																								

NO	Pin Name	Type	I/O Level	Main Function (after reset)	Default/ Description	Remap
92	PB4	I/O	FT	NJTRST	SPI3_MISO	PB4/TIM3_CH1/ SPI1_MISO
93	PB5	I/O	-	PB5	I2C1_SMBA/SPI3_MOSI/I2S3_SD	TIM3_CH2/SPI1_MOSI
94	PB6	I/O	FT	PB6	I2C1_SCL/TIM4_CH1	USART1_TX
95	PB7	I/O	FT	PB7	I2C1_SDA/TIM4_CH2	USART1_RX
96	BOOT0	I	-	BOOT0	-	-
97	PB8	I/O	FT	PB8	TIM4_CH3/SDIO_D4/TIM10_CH1	I2C1_SCL/CAN_RX
98	PB9	I/O	FT	PB9	TIM4_CH4/SDIO_D5/TIM11_CH1	I2C1_SDA/CAN_TX
99	PE1	I/O	FT	PE1	-	-
100	VDD	PWR	-	-	-	-

2.2 W55MH32Q

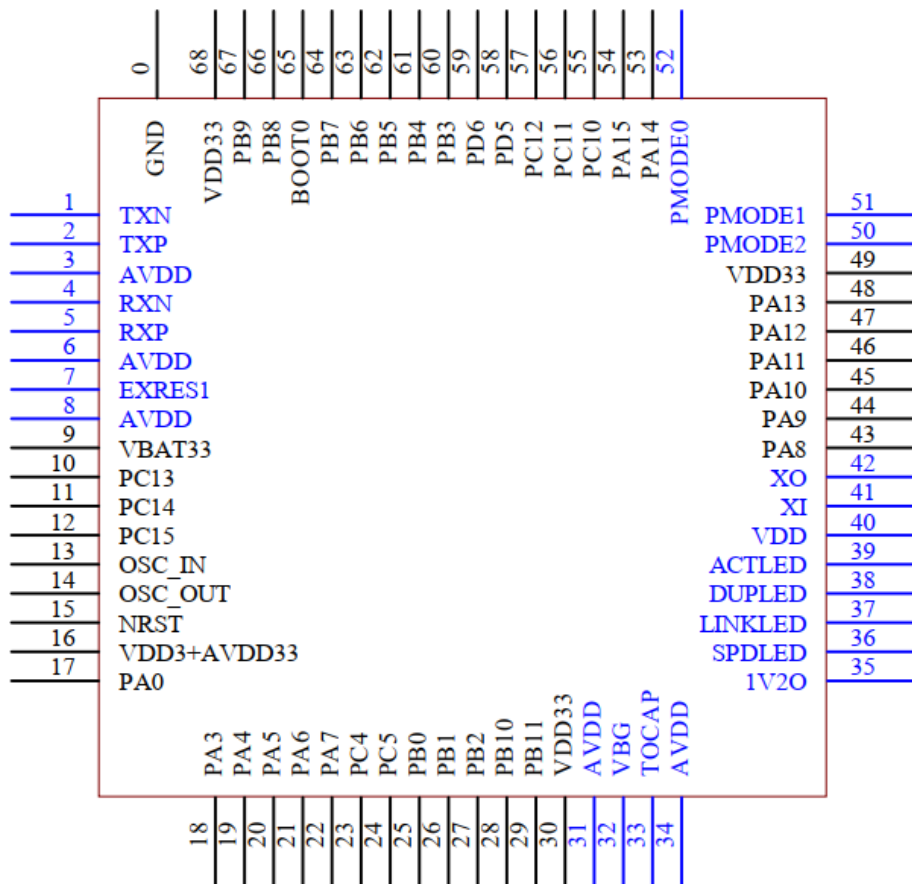


图 2 W55MH32Q 引脚分布

表 5 W55MH32Q 引脚描述

NO	Pin Name	Type	I/O Level	Main Function (after reset)	Default/ Description	Remap
1	TXN	AO	-	TXN	TXP/TXN 信号对 差分信号传输	-
2	TXP	AO	-	TXP		-
3	AVDD	PWR	-	-	以太网模拟 3.3V 电源	-
4	RXN	AI	-	RXN	RXP/RXN 信号对 差分信号接收	-
5	RXP	AI	-	RXP		-
6	AVDD	PWR	-	-	以太网模拟 3.3V 电源	-
7	EXRES	-	-	-	外部参考电阻 该引脚需要连接一个精度为 1% 的 12.4KΩ 外部参考电阻，为内部模拟电路提供偏压	-
8	AVDD	PWR	-	-	以太网模拟 3.3V 电源	-
9	VBAT	VBAT	S	-	VBAT	-
10	PC13- TAMPERRTC	I/O	-	PC13	TAMPER-RTC	-

NO	Pin Name	Type	I/O Level	Main Function (after reset)	Default/ Description	Remap																												
11	PC14-OSC32_IN	I/O	-	PC14	OSC32_IN	-																												
12	PC15-OSC32_OUT	I/O	-	PC15	OSC32_OUT	-																												
13	OSC_IN	I	-	OSC_IN	-	-																												
14	OSC_OUT	O	-	OSC_OUT	-	-																												
15	nRESET	I	-	nRESET	-	-																												
16	VDDA	PWR	-	-	-	-																												
17	PA0-WKUP	I/O	-	PA0	WKUP/USART2_CTS/ ADC123_IN0/TIM2_CH1_ETR/ TIM5_CH1/TIM8_ETR	-																												
18	PA3	I/O	-	PA3	USART2_RX/ADC123_IN3/ TIM2_CH4/TIM5_CH4/ TIM9_CH2	-																												
19	PA4	I/O	-	PA4	SPI1_NSS/USART2_CK/ DAC_OUT1/ADC12_IN4	-																												
20	PA5	I/O	-	PA5	SPI1_SCK/ADC12_IN5/ DAC_OUT2	-																												
21	PA6	I/O	-	PA6	SPI1_MISO/ADC12_IN6/ TIM3_CH1/TIM8_BKIN/ TIM13_CH1	TIM1_BKIN																												
22	PA7	I/O	-	PA7	SPI1_MOSI/ADC12_IN7/ TIM3_CH2/TIM8_CH1N/ TIM14_CH1	TIM1_CH1N																												
23	PC4	I/O	-	PC4	ADC12_IN14	-																												
24	PC5	I/O	-	PC5	ADC12_IN15	-																												
25	PB0	I/O	-	PB0	ADC12_IN8/TIM3_CH3/ TIM8_CH2N	TIM1_CH2N																												
26	PB1	I/O	-	PB1	ADC12_IN9/TIM3_CH4/ TIM8_CH3N	TIM1_CH3N																												
27	PB2	I/O	FT	PB2/BOOT1	-	-																												
28	PB10	I/O	FT	PB10	I2C2_SCL/USART3_TX	TIM2_CH3																												
29	PB11	I/O	FT	PB11	I2C2_SDA/USART3_RX	TIM2_CH4																												
30	VDD	PWR	-	-	-	-																												
31	AVDD	PWR	-	-	以太网模拟 3.3V 电源	-																												
32	VBG	AO	-	-	带隙输出电压 该引脚将在 25°C 下测量为 1.2V。必须悬空	-																												
33	TOCAP	AO	-	-	外部参考电容 该引脚必须连接到 4.7uF 电容。 而且至该电容的走线尽量短的短一些，从而保证内部信号的稳定。	-																												
34	AVDD	PWR	-	-	以太网模拟 3.3V 电源	-																												
35	1V20	PWR	-	-	1.2V 输出稳压 该引脚必须连接一个 10nF 电容 这是内部稳压器的输出电压	-																												
36	SPDLED	O	-	SPDLED	网络速度指示灯 显示当前连接的网络速度状态。 低电平：100Mbps；高电平：10Mbps	-																												
37	LINKLED	O	-	LINKLED	网络连接指示灯 显示当前连接状态 低电平：连接建立；高电平：未连接	-																												
38	DUPLED	O	-	DUPLED	全/半双工指示灯 显示连接连接的双工状态。 低电平：全双工模式；高电平：半双工模式	-																												
39	ACTLED	O	-	ACTLED	活动状态指示灯 显示数据收/发活动时，物理介质子层载波侦听活动情况 低电平：有物理介质子层的载波侦听信号 高电平：无物理介质子层的载波侦听信号	-																												
40	VDD	PWR	-	-	-	-																												
41	XI	AI	-	-	外部时钟输入晶振 外部 25MHz 晶振输入 这个引脚也可以连接单向 TTL 晶振；3.3V 时钟必须采用外部时钟输入； 如果采用该方式，XO 引脚需要悬空；	-																												
42	XO	AO	-	-	外部时钟输入晶振输出 外部 25MHz 晶振输出 注意：若通过 XI/CLKIN 驱动使用外部时钟，该引脚悬空	-																												
43	PA8	I/O	FT	PA8	USART1_CK/TIM1_CH1/MCO	-																												
44	PA9	I/O	FT	PA9	USART1_TX/TIM1_CH2	-																												
45	PA10	I/O	FT	PA10	USART1_RX/TIM1_CH3	-																												
46	PA11	I/O	-	PA11	USART1_CTS/USBDM CAN_RX/TIM1_CH4	-																												
47	PA12	I/O	-	PA12	USART1_RTS/USBDP/ CAN_TX/TIM1_ETR	-																												
48	PA13	I/O	FT	JTMS-SWDIO	-	PA13																												
49	VDD	PWR	-	-	-	-																												
50	PMODE2	I	-	-	PHY 工作模式选择引脚 这个引脚决定了网络工作模式。具体请参考以下表格	-																												
51	PMODE1	I	-	-																														
52	PMODE0	I	-	-																														
					<table><tr><th colspan="3">PMODE [2:0]</th><th>说明</th></tr><tr><td>2</td><td>1</td><td>0</td><td></td></tr><tr><td>0</td><td>0</td><td>0</td><td>10BT 半双工，关闭自动协商</td></tr><tr><td>0</td><td>0</td><td>1</td><td>10BT 全双工，关闭自动协商</td></tr><tr><td>0</td><td>1</td><td>0</td><td>100BT 半双工，关闭自动协商</td></tr><tr><td>0</td><td>1</td><td>1</td><td>100BT 全双工，关闭自动协商</td></tr><tr><td>1</td><td>0</td><td>0</td><td>100BT 半双工，启用自动协商</td></tr></table>	PMODE [2:0]			说明	2	1	0		0	0	0	10BT 半双工，关闭自动协商	0	0	1	10BT 全双工，关闭自动协商	0	1	0	100BT 半双工，关闭自动协商	0	1	1	100BT 全双工，关闭自动协商	1	0	0	100BT 半双工，启用自动协商	
PMODE [2:0]			说明																															
2	1	0																																
0	0	0	10BT 半双工，关闭自动协商																															
0	0	1	10BT 全双工，关闭自动协商																															
0	1	0	100BT 半双工，关闭自动协商																															
0	1	1	100BT 全双工，关闭自动协商																															
1	0	0	100BT 半双工，启用自动协商																															

NO	Pin Name	Type	I/O Level	Main Function (after reset)	Default/ Description	Remap												
					<table><tr><td>1</td><td>0</td><td>1</td><td>未启用</td></tr><tr><td>1</td><td>1</td><td>0</td><td>未启用</td></tr><tr><td>1</td><td>1</td><td>1</td><td>所有功能，启用自动协商</td></tr></table>	1	0	1	未启用	1	1	0	未启用	1	1	1	所有功能，启用自动协商	
1	0	1	未启用															
1	1	0	未启用															
1	1	1	所有功能，启用自动协商															
53	PA14	I/O	FT	JTCK–SWCLK	–	PA14												
54	PA15	I/O	FT	JTDI	SPI3_NSS/I2S3_WS	TIM2_CH1_ETR/ PA15/SPI1_NSS												
55	PC10	I/O	FT	PC10	UART4_TX	USART3_TX												
56	PC11	I/O	FT	PC11	UART4_RX	USART3_RX												
57	PC12	I/O	FT	PC12	UART5_TX	USART3_CK												
58	PD5	I/O	FT	PD5	–	USART2_TX												
59	PD6	I/O	FT	PD6	–	USART2_RX												
60	PB3	I/O	FT	JTDO	SPI3_SCK/I2S3_CK	PB3/TRACESWO TIM2_CH2/ SPI1_SCK												
61	PB4	I/O	FT	NJTRST	SPI3_MISO	PB4/TIM3_CH1/ SPI1_MISO												
62	PB5	I/O	–	PB5	I2C1_SMBA/SPI3_MOSI/I2S3_SD	TIM3_CH2/ SPI1_MOSI												
63	PB6	I/O	FT	PB6	I2C1_SCL/TIM4_CH1	USART1_TX												
64	PB7	I/O	FT	PB7	I2C1_SDA/TIM4_CH2	USART1_RX												
65	BOOT0	I	–	BOOT0		–												
66	PB8	I/O	FT	PB8	TIM4_CH3/TIM10_CH1	I2C1_SCL/CAN_RX												
67	PB9	I/O	FT	PB9	TIM4_CH4/TIM11_CH1	I2C1_SDA/CAN_TX												
68	VDD	PWR	–	–	–	–												

3 电气特性

测试条件

除非特别说明，所有电压的都以 VSS 为基准。

3.1 最小和最大数值

除非特别说明，在生产线上通过对 100%的产品在环境温度 $T_A=25^{\circ}\text{C}$ 下执行的测试，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\sigma$)得到。

3.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ 。这些数据仅用于设计指导而未经测试。

典型的 ADC 精度数值是通过对一个标准的批次采样，在所有温度范围下测试得到，95%产品的误差小于等于给出的数值(平均 $\pm 2\sigma$)。

3.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

绝对最大额定值

加在器件上的载荷如果超过‘绝对最大额定值’列表中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 6 电压特性

符号	说明	最小值	最大值	单位
VDD-VSS	外部主供电电压（包括 VDDA 和 VDD）(1)	-0.3	3.63	V
VIN	在 5V 容忍的引脚上的输入电压(2)	Vss-0.3	Vdd+4.0	
	在其他引脚上的输入电压(2)	Vss-0.3	4.0	
ΔV_{DDx}	不同供电引脚之间的电压差	—	50	mV
VSSx VSS	不同接地引脚之间的电压差	—	50	

(1)所有的电源(VDD, VDDA)和地(VSS, VSSA)引脚必须始终连接到外部允许范围内的供电系统上。

(2)包含 VREF-脚。

表 7 电流特性

符号	说明	最大值(1)	单位
IVDD	经过 VDD/VDDA 电源线的总电流(供应电流) (1)	150	mA
IVSS	经过 VSS 地线的总电流(流出电流) (1)	150	
IIO	任意 I/O 和控制引脚上的输出灌电流	25	
	任意 I/O 和控制引脚上的输出电流	-25	

(1) 所有主电源 (VDD、VDDA) 和接地 (VSS、VSSA) 引脚必须始终在允许的范围内连接到外部电源。

表 8 温度特性

符号	描述	数值	单位
TSTG	储存温度范围	-65 ~ +150	℃
TJ	最大结温度	105	℃

表 9 以太网静电释放(ESD)

符号	参数	试验条件	等级	最大值 (1)	单位
VESD (HBM)	静电放电电压 (人体模型)	TA=+25℃, 符合 MIL-STD 883F 方法 3015.7	2	2000	V
VESD (MM)	静电放电电压 (人机模型)	TA=+25℃, 符合 JEDEC EIA/JESD22 A115-A 标准	B	200	V
VESD (CDM)	静电放电电压 (充电设备模型)	TA=+25℃, 符合 JEDEC JESD22 C101-C 标准	III	500	V

表 10 以太网静态锁定

符号	参数	试验条件	等级	最大值 (1)	单位
LU	静态锁定类	TA = +25℃, 符合 JESD78A 标准	I	≥ ±200	mA

3.4 通用工作条件

表 11 通过工作条件

符号	参数	条件	最小值	最大值	单位
fHCLK	内部 AHB 时钟频率	—	0	216	MHz
fPCLK1	内部 APB1 时钟频率	—	0	108	
fPCLK2	内部 APB2 时钟频率	—	0	216	
VDD	标准工作电压	—	2.0	3.6	V
VDDA(1)	模拟部件工作电压	必须与 VDD(1)相同	2.0	3.6	V
VBAT	备用部件工作电压		1.6	3.6	V
TA	环境温度	—	-40	85	°C

(1)建议从同一电源为 VDD 和 VDDA 供电。

3.5 上电和掉电时的工作条件

下表中给出的参数是依据通用工作条件列出的环境温度下测试得出。

表 12 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
tVDD	VDD 上升速率	—	0	∞	us/V
	VDD 下降速率		20	∞	

3.6 内嵌复位和电源控制模块特性

下表中给出的参数是依据通用工作条件列出的 VDD 供电电压下测试得出。

表 13 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
VPVD	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.1	2.16	2.26	V
		PLS[2:0]=000 (下降沿)	2	2.07	2.16	V
		PLS[2:0]=001 (上升沿)	2.19	2.26	2.37	V
		PLS[2:0]=001 (下降沿)	2.09	2.17	2.27	V
		PLS[2:0]=010 (上升沿)	2.28	2.35	2.48	V
		PLS[2:0]=010 (下降沿)	2.18	2.26	2.38	V

		PLS[2:0]=011 (上升沿)	2.38	2.48	2.58	V
		PLS[2:0]=011 (下降沿)	2.28	2.36	2.48	V
		PLS[2:0]=100 (上升沿)	2.47	2.55	2.69	V
		PLS[2:0]=100 (下降沿)	2.37	2.45	2.59	V
		PLS[2:0]=101 (上升沿)	2.57	2.66	2.79	V
		PLS[2:0]=101 (下降沿)	2.47	2.57	2.69	V
		PLS[2:0]=110 (上升沿)	2.66	2.76	2.9	V
		PLS[2:0]=110 (下降沿)	2.56	2.67	2.8	V
		PLS[2:0]=111 (上升沿)	2.76	2.85	3	V
		PLS[2:0]=111 (下降沿)	2.66	2.77	2.9	V
VPVDhyst(1)	PVD 迟滞	—	—	100	—	mV
VPOR/PDR	通电/断电 复位阈值	下降沿	—	1.90	—	V
		上升沿	—	2.02	—	V
VPDRhyst(1)	PDR 迟滞	—	—	30	—	mV
TRSTTEMPO(1)	复位时间延迟	—	—	2	—	ms

(1)由设计保证，不在生产中测试。

3.7 内置的参照电压

下表中给出的参数是依据通用工作条件列出的 VDD 供电电压下测试得出。

表 14 内置的参考电压

符号	参数	条件	最小值	典型值	最大值	单位
VREFINT	内置参照电压	-40℃ < TA < +85℃	1.16	1.20	1.24	V
TS_vrefent(1)	当读出内部参照电压时，ADC 的采样时间	—	—	5.1	17.1	us
TCoeff(2)	温度系数	—	—	—	100	ppm/℃

(1) 最短的采样时间是通过应用中的多次循环得到。

(2) 由设计保证，不在生产中测试。

3.8 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见测试条件章节的电流消耗测试量说明。

电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于模拟输入模式。
- 所有的外设都处于关闭状态，除非特别说明。
- 当开启外设时：fPCLK1 = fHCLK/2，fPCLK2 = fHCLK。

表 15 运行模式下电流消耗

符号	参数	条件	fHCLK	典型值(1)		最大值(2)		单位
				使能所有 外设	关闭所有 外设	使能所有 外设	关闭所有 外设	
IDD	运行模式下的 供应电流	外部 时钟(3)	216MHz	36.29	25.49	38.50	27.56	mA
			168MHz	27.71	19.27	29.95	21.35	
			72MHz	13.09	9.38	14.93	11.21	
			48MHz	9.35	6.93	11.18	8.74	
			32MHz	6.88	5.25	8.68	7.04	
			24MHz	5.67	4.46	7.41	6.20	
			16MHz	4.43	3.63	6.16	5.34	
			8MHz	3.28	2.58	4.98	4.54	
		运行在高速 内部 RC 振 荡器(HSI)	128MHz	21.64	15.19	23.89	17.27	mA
			72MHz	13.03	9.39	15.03	11.31	
			48MHz	9.34	6.92	11.26	8.78	
			32MHz	7.55	5.73	8.73	7.08	
			24MHz	5.69	4.49	7.74	6.24	
			16MHz	4.45	3.66	6.21	5.39	
			8MHz	3.30	3.88	5.02	4.57	

- (1) 典型值是在 TA=25°C、VDD=3.3V 时测试得到。
- (2) 最大值是在 TA=85°C、VDD=3.6V 时测试得到。
- (3) 外部时钟为 8MHz，当 fHCLK>8MHz 时启用 PLL。

以太网的功耗

测试环境: VDD=3.3V, AVDD=3.3V, TA= 25°C

表 16 以太网功耗

条件	最小值	典型值	最大值	单位
100M 连接	-	128	-	mA
10M 连接	-	75	-	mA
未连接(自动协商模式)	-	65	-	mA
100M 传输	-	132	-	mA
10M 传输	-	79	-	mA
Power Down 模式	-	13	-	mA

表 17 睡眠模式下的电流消耗, 代码运行在 Flash 中

符号	参数	条件	fHCLK	典型值(1)		最大值(2)		单位
				使能所有 外设	关闭所有 外设	使能所有 外设	关闭所有外 设	
IDD	睡眠模式 下的供应 电流	外部时钟(3)	216MHz	25.72	7.01	27.73	8.70	mA
			168MHz	19.46	4.81	21.49	6.58	
			72MHz	9.53	3.25	11.31	4.92	
			48MHz	6.99	2.81	8.76	4.51	
			32MHz	5.32	2.54	7.07	4.23	
			24MHz	4.50	2.41	6.22	4.09	
			16MHz	3.66	2.28	5.36	3.96	
			8MHz	2.90	2.17	4.57	3.84	
		运行于高速内 部 RC 振荡器 (HSI)	128MHz	15.31	4.14	17.36	5.90	mA
			72MHz	9.47	3.20	11.36	4.93	
			48MHz	6.97	2.80	8.80	4.52	
			32MHz	5.32	2.54	7.11	4.26	
			24MHz	4.49	2.41	6.25	4.12	
			16MHz	3.65	2.27	5.39	3.98	
			8MHz	2.89	2.17	4.61	3.87	

(1)典型值是在 TA=25°C、VDD=3.3V 时测试得到。

(2)最大值是在 TA=85°C、VDD=3.6V 时测试得到。

(3)外部时钟为 8MHz, 当 fHCLK>8MHz 时启用 PLL。

表 18 停机和待机模式下的典型和最大电流消耗

符号	参数	条件	典型值(1)	最大值(2)	单位
IDD	停机模式下的 供应电流	调压器处于运行模式，低速、高速内部 RC 振荡器和外部高速振荡器处于关闭状态(没有独立看门狗)	210	1290	uA
		调压器处于低功耗模式，低速、高速内部 RC 振荡器和外部高速振荡器处于关闭状态(没有独立看门狗)	150	1220	
	待机模式下的 供应电流	低速内部 RC 振荡器、外部低速振荡器和 RTC、IWDG 处于关闭状态	0.7	2.2	
		低速内部 RC 振荡器处于开启状态，外部低速振荡器和 RTC、IWDG 处于关闭状态	1.0	2.5	
		外部低速振荡器处于开启状态，低速内部 RC 振荡器和 RTC、IWDG 处于关闭状态	1.0	2.6	
		外部低速振荡器和 RTC 处于开启状态，低速内部 RC 振荡器和 IWDG 处于关闭状态	1.3	2.7	
		低速内部 RC 振荡器和 IWDG 处于开启状态，外部低速振荡器和 RTC 处于关闭状态	1.0	2.7	
IDD_VBAT	备份区域的 供应电流	外部低速振荡器和 RTC 处于开启状态	0.9	1.3	

(1)典型值是在 TA=25°C、VDD=VBAT=3.3V 时测试得到。

(2)最大值是在 TA=85°C、VDD=VBAT=3.6V 时测试得到。

(3)由综合评估得出，不在生产中测试。

3.9 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 19 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
fHSE_ext	用户外部时钟源频率	—	0.615	8	35	MHz
VHSEH	OSC_IN 输入引脚高电平电压		0.48Vdd	—	Vdd	V
VHSEL	OSC_IN 输入引脚低电平电压		Vss	—	0.38Vdd	
tw(HSE)	OSC_IN 高或低的时间		5	62.5	—	ns
tr(HSE) tf(HSE)	OSC_IN 上升或下降的时间		—	4.1	20	
Cin(HSE)	OSC_IN 输入容抗	—	—	5	—	pF
DuCy(HSE)	占空比	—	45	50	55	%

来自外部振荡源产生的低速外部用户时钟

表 20 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
fHSE_ext	用户外部时钟源频率	—	—	32.768	1000	KHz
VLSEH	OSC32_IN 输入引脚高电平电压		0.48Vdd	—	VDD	V
VLSEL	OSC32_IN 输入引脚低电平电压		VSS	—	0.38Vdd	
tw(LSE) tw(LSE)	OSC32_IN 高或低的时间		450	—	—	ns
tr(LSE) tf(LSE)	OSC32_IN 上升或下降的时间		—	—	50	
Cin(LSE)	OSC32_IN 输入容抗	—	—	5	—	pF
DuCy(LSE)	占空比	—	30	—	70	%

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟(HSE)可以使用一个 4-16MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(注：这里提到的晶体谐振器就是我们通常说的无源晶振)

表 21 HSE 4-16MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
fOSC_IN	振荡器频率	—	4	8	16	MHz
tSU(HSE)	启动时间	VDD 是稳定的	TA = -40℃	—	790	us
			TA = 25℃	—	860	
			TA = 85℃	—	960	

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟(LSE)可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。(注：这里提到的晶体谐振器就是我们通常说的无源晶振)

表 22 LSE 振荡器特性(fLSE=32.768KHz)

符号	参数	条件	最小值	典型值	最大值	单位
tSU(HSE)	启动时间	VDD 是稳定的	TA = -40℃	—	321	ms
			TA = 25℃	—	221	
			TA = 85℃	—	223	

3.10 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部(HSI)RC 振荡器

表 23 HSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
fHSI	频率	—	—	8	—	MHz
ACC_HSI	HSI 振荡器精度	TA = -40~85℃	-2.5	—	2.5	%
tSU(HSI)	HSI 振荡器的启动时间	—	—	12	—	us
IDD(HSI)	HSI 振荡器功耗	—	—	3.5	—	uA

低速内部(LSI)RC 振荡器

表 24 LSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{LSI}	频率	—	38	40	42	kHz
t _{SU} (LSI)	LSI 振荡器启动时间	—	—	75	—	us
I _{DD} (LSI)	LSI 振荡器功耗	—	—	0.28	—	uA

3.11 以太网的晶体特性

表 25 以太网的晶体特性

参数	范围
频率	25MHz
频率误差 (25℃)	±30ppm
并联电容	最大 7pF
驱动功率	59.12uW/MHz
负载电容	18pF
老化速度 (25℃)	±3ppm/年最大值

3.12 从低功耗模式唤醒的时间

下表列出的唤醒时间是在一个 8MHz 的 HSI RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依

当前的操作模式而定：

- 停机或待机模式：时钟源是 RC 振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合通用工作条件测量得到。

表 26 低功耗模式的唤醒时间

符号	参数	典型值	单位
t _{WUSLEEP}	从睡眠模式中唤醒	10	CPU 时钟周期
t _{WUSTOP}	从停止模式唤醒（调节器为低功耗模式）	12	us
t _{WUSTDBY}	从待机模式唤醒	1600	us

3.13 PLL 特性

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 27 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值(1)	
fPLL_IN	PLL 输入时钟(2)	1	8	32	MHz
	PLL 输入时钟占空比	40	—	60	%
fPLL_OUT	PLL 倍频输出时钟	4	—	216	MHz
tLOCK	PLL 锁定时间	—	51.2	87.8	us
Jitter	循环抖动	—	—	200	ps

(1) 由综合评估得出，不在生产中测试。

(2) 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 fPLL_OUT 处于允许范围内。

3.14 存储器特性

闪存存储器

除非特别说明，所有特性参数是 TA = -40~85℃得到。

表 28 闪存存储器特性

符号	参数	条件	典型值	单位
tPROG	16 位的编程时间	—	50	us
tERASE	页擦除时间	—	25	ms
tME	整片擦除时间	—	6	s

表 29 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
NEND	擦写次数	TA = -40~85℃	100	—	—	千次
tRET	数据保存期限	TA = 105℃	20	—	—	年

3.15 绝对最大值 (电气敏感性)

静电放电 (ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上, 样品的大小与芯片上供电引脚数目相关(3 片 \times (n+1)供电引脚)。这个测试符合 JEDEC EIA/JESD22-A114 标准。

表 30 ESD 绝对最大额定值

符号	参数	条件	典型值	最大值	单位
VESD(HBM)	静电放电电压 (人体模型)	TA = +25°C, 符合 JEDEC EIA/JESD22-A114	3A	4000	V

3.16 I/O 端口特性

通用输入/输出特性

表 31 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
VIL	输入低电平电压	—		—	1.38	V
VIH	标准 I/O 脚, 输入高电平电压		1.59	—	—	
	FT I/O 脚, 输入高电平电压		1.59	—	—	
Vhys	标准 I/O 脚施密特触发器电压迟滞	—	—	0.21	—	V
	5V 容忍 I/O 脚施密特触发器电压迟滞		—	0.21	—	V
I _{lkg}	输入漏电流	VSS ≤ VIN ≤ VDD 标准 I/O 端口	—	—	±0.5	uA
		VIN = 5V 5V 容忍端口	—	—	±1	
RPU	弱上拉等效电阻	VIN = VSS	37	—	38.5	kΩ
RPD	弱下拉等效电阻	VIN = VDD	43.7	—	45.7	kΩ

CIO	I/O 引脚的电容			5		pF
-----	-----------	--	--	---	--	----

输出电压

表 32 输出电压特性

符号	参数	条件	最小值	最大值	单位
VOL	输出低电平	TTL 端口, $I_{IO} = +12mA$ VDD=3.3V		0.4	V
VOH	输出高电平		2.9		
VOL	输出低电平	CMOS 端口, $I_{IO} = +14mA$ VDD=3.3V		0.4	
VOH	输出高电平		2.9		
VOL	输出低电平	$I_{IO} = +34mA$ VDD=3.3V		1.3	
VOH	输出高电平		2		

3.17 NRST 引脚特性

表 33 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
VIL(NRST)	NRST 输入低电平电压	—	—	1.31	—	V
VIH(NRST)	NRST 输入高电平电压	—	—	1.57	—	
V _{hys} (NRST)	NRST 施密特触发器电压迟滞	—	—	260	—	mV
RPU	弱上拉等效电阻	VIN=VSS	—	37	—	kΩ
VF(NRST)	NRST 输入滤波脉冲	—	—	120	—	ns
VNF(NRST)	NRST 输入非滤波脉冲	—	25	—	—	ns

3.18 TIM 定时器特性

表 34 TIMx 特性

符号	参数	最小值	最大值	单位
tres(TIM)	定时器分辨率时间	1	—	tTIMxCLK
fEXT	CH1 至 CH4 的定时器外部时钟频率	0	FTIMCLK/2	MHz

ResTIM	定时器分辨率	—	16	位
tCOUNTER	当选择了内部时钟时，16 位计数器时钟周期	1	65535	tTIMxCLK
tMAX_COUNT	最大可能的计数	—	65535*65535	tTIMxCLK

3.19 CAN（控制器局域网）接口

有关输入输出复用功能引脚(CAN_TX 和 CAN_RX)的特性详情，参见 IO 端口特性章节。

3.20 12 位 ADC 特性

表 35 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	供电电压	—	2.0	3.3	3.6	V
VREF+	正参考电压	—	2.0	—	VDDA	V
fADC	ADC 时钟频率	—	0.6	—	14	MHz
fS	采样率	—	0.05	—	1	MHz
fTRIG	外部触发频率	fADC=14MHz	—	—	823	kHz
VAIN	转换电压范围	—	0	—	VREF+	V
RAIN	外部输入阻抗	—	—	—	50	kΩ
RADC	采样开关电阻	—	—	—	1	kΩ
CADC	内部采样和保持电容	—	—	—	—	pF
tCAL	校准时间	fADC=14MHz	5.9			us
			83			1/fADC
tlat	注入触发转换延迟	fADC=14MHz	—	—	0.214	us
			—	—	3	1/fADC
tlatr	常规触发转换延迟	fADC=14MHz	—	—	0.143	us
			—	—	2	1/fADC
tS	采样时间	fADC=14MHz	0.107	—	17.1	us
			1.5	—	239.5	1/fADC

tSTAB	通电时间	—	0	0	1	us
tCONV	总转换时间 (包括采样时间)	fADC=14MHz			18	us
			14 至 252 (ts+12.5 用于逐次逼近)			1/fADC

表 36 fADC=14MHz 时的最大 RAIN

TS (周期)	tS (us)	RAIN 最大值 (kΩ)
1.5	0.11	0.4
7.5	0.54	5.9
13.5	0.96	11.4
28.5	2.04	25.2
41.5	2.96	37.2
55.5	3.96	50
71.5	5.11	-
239.5	17.11	-

3.21 DAC 电气参数

表 37 DAC 特性

符号	参数	最小值	典型值	最大值	单位	注释
VDDA	模拟供电电压	2.0	-	3.6V	V	
VREF+	参考电压	2.0	-	3.6V	V	VREF+必须始终低于 VDDA
VSSA	地线	0	-	0	V	-
RLOAD	缓冲器打开时的负载电阻	5	-	-	kΩ	-
RO	缓冲器关闭时的输出阻抗	-	-	15	kΩ	-
CLOAD	负载电容	-	-	50	pF	在 DAC_OUT 引脚上的大电容(缓冲器打开时)
DAC_OUTsmall	缓冲器打开低端的 DAC_OUT 电压	50	-	-	mV	给出了最大的 DAC 输出跨度

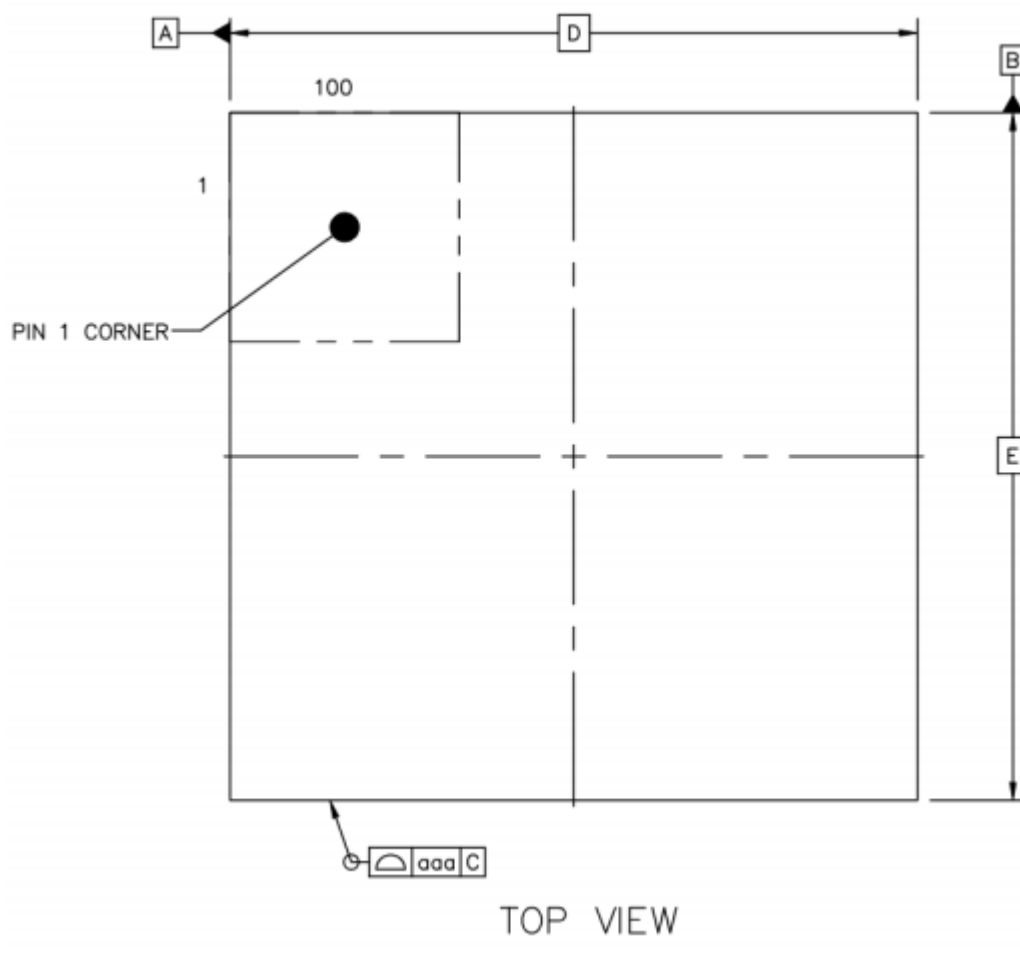
DAC_OUTbig	缓冲器打开高端的 DAC_OUT 电压	-	-	VREF+-0.2	V	
DAC_OUTsmall	缓冲器关闭低端的 DAC_OUT 电压	-	0.5	-	mV	给出了最大的 DAC 输出跨度
DAC_OUTbig	缓冲器关闭高端的 DAC_OUT 电压	-	-	VREF+- 0.03	V	
DNL	非线性失真 (2 个连续码 之间的偏差-1LSB)	-	-	+-2	LSB	DAC 配置为 12 位
INL	非线性累积 (在代码 i 时 测量的数值与代码 DAC_OUT 大和代码 DAC_OOUT 小之间的连线 间的偏差)	-	-	+-4	LSB	DAC 配置为 12 位
Offset Error	偏移误差 (代码 0x800 时 的测量值与理想值 VREF+/2 之间的偏差)	-	15	25	mV	VREF+ = 3.3 V 时, DAC 配置为 12 位
tSETTLING	设置时间(全范围: 0 位输入代码从小值转变为 大值, DAC_OUT 达到其终 值的±1 LSB)	-	3	4	us	C LOAD ≤ 50 pF, R LOAD ≥ 5kΩ
Update rate	当输入代码为较小变化时 (从数值 i 变到 i+1 LSB), 得到正确 DAC_OUT 的大 频率	-	-	1	MS/s	C LOAD ≤ 50 pF, R LOAD ≥ 5kΩ
tWAKEUP	从关闭状态唤醒的时间 (设置 DAC 控制寄存器中 的 ENx 位)	-	6.5	10	us	C LOAD ≤ 50 pF, R LOAD ≥ 5kΩ 输入代码介于小 和大可能数值之 间
PSRR+	电源抑制比 (相对于 VDDA) (静态直流测量)	-	-60	-50	dB	没有 RLOAD , C LOAD≤ 50 pF

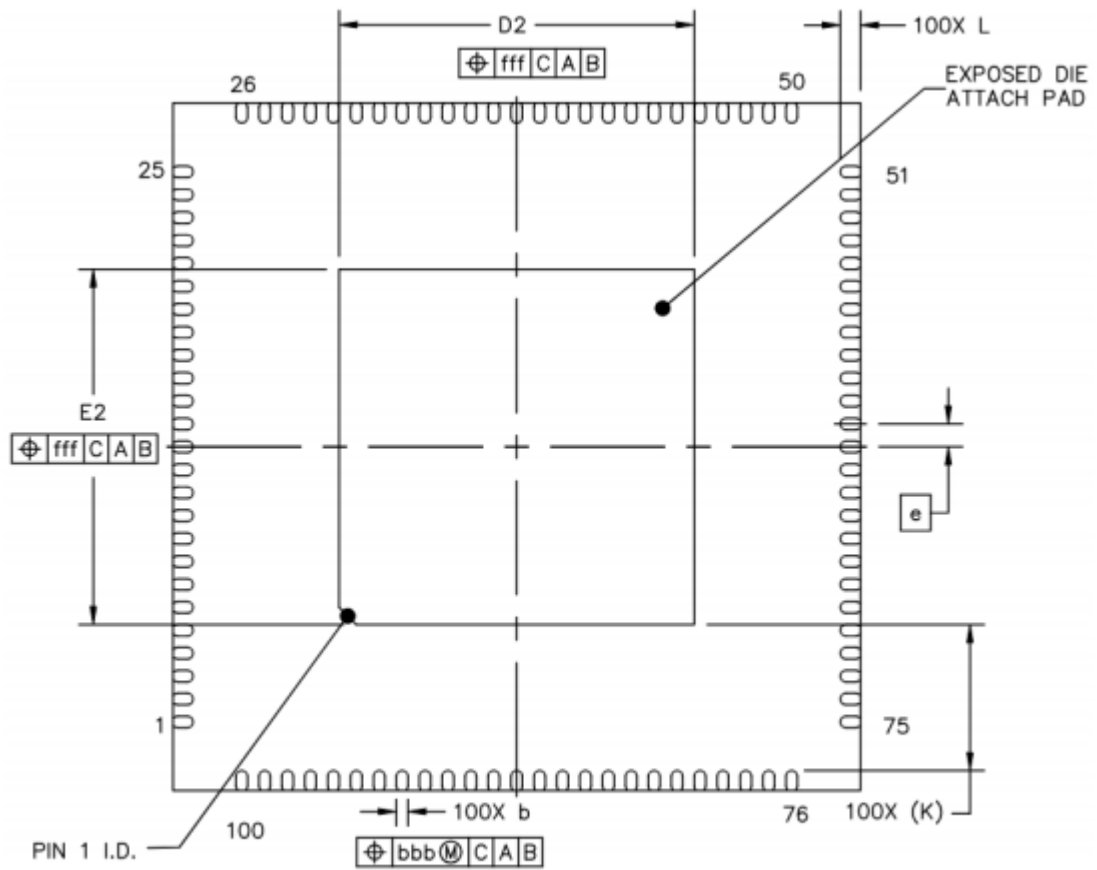
3.22 温度传感器特性

表 38 温度传感器特性

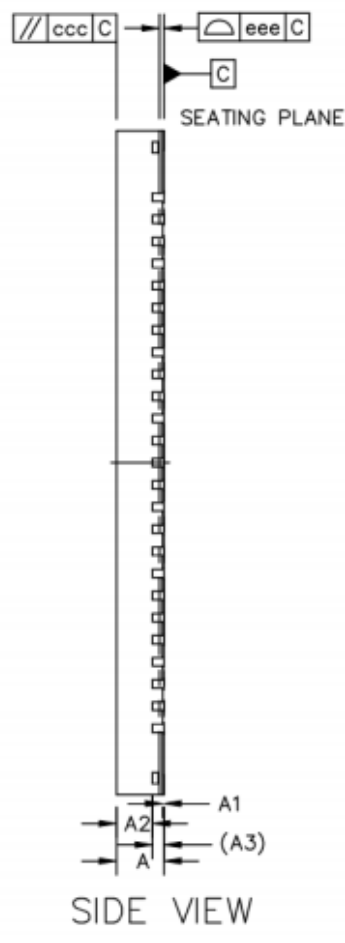
符号	参数	最小值	典型值	最大值	单位
Avg_Slope	平均斜率	—	5	—	mV/°C
V25	25°C 时的电压	—	1.43	—	V
tSTART	建立时间	—	—	10	us
TS_temp	当读取温度时, ADC 采样时间	—	—	17.1	us

4 封装描述





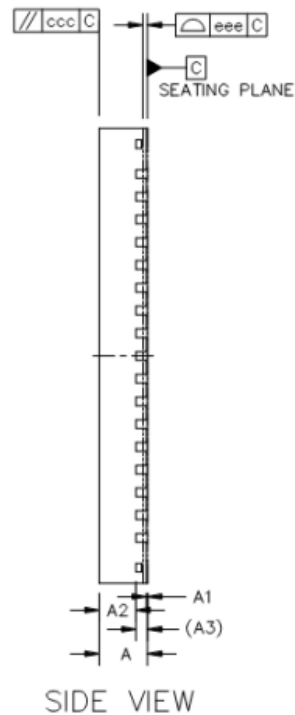
BOTTOM VIEW



		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	1.05	1.1	1.15
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.9	---
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.15	0.2	0.25
BODY SIZE	X	D	12 BSC		
	Y	E	12 BSC		
LEAD PITCH		e	0.4 BSC		
EP SIZE	X	D2	6.1	6.2	6.3
	Y	E2	6.1	6.2	6.3
LEAD LENGTH		L	0.25	0.35	0.45
LEAD TIP TO EXPOSED PAD EDGE		K	2.55 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.07		
EXPOSED PAD OFFSET		fff	0.1		

图 3 W55MH32L 封装描述





		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.8	0.85	0.9
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.65	---
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.15	0.2	0.25
BODY SIZE	X	D	8 BSC		
	Y	E	8 BSC		
LEAD PITCH		e	0.4 BSC		
EP SIZE	X	D2	5.4	5.5	5.6
	Y	E2	5.4	5.5	5.6
LEAD LENGTH		L	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE		K	0.85 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.07		
EXPOSED PAD OFFSET		fff	0.1		

图 4 W55MH32Q 封装描述

5 文档历史信息

版本	日期	描述
Ver. 1.0.0	2024-10-31	第一版发布

版权声明

Copyright 2024 WIZnet H.K. Limited 版权所有

技术支持:support@wiznet.hk

销售 & 代理:sales@wiznet.hk

更多信息, 请登录:<https://www.wiznet.io>