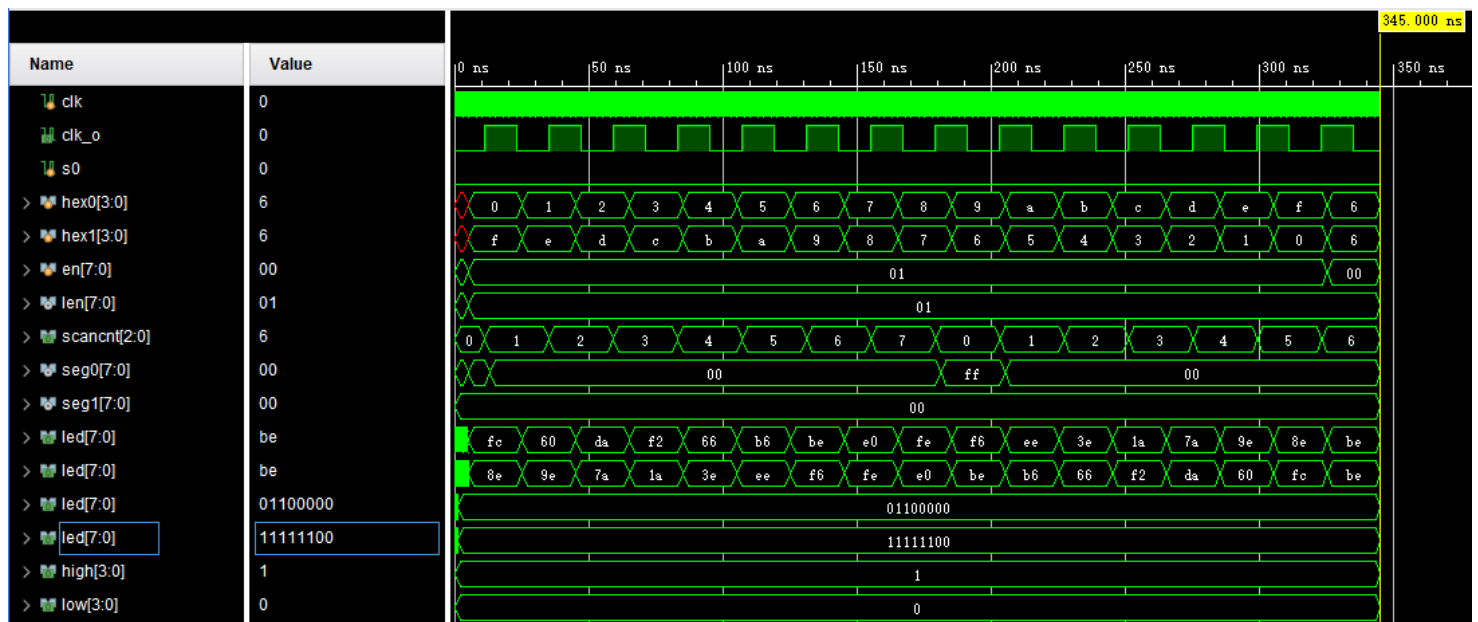


对单个数码管进行仿真：



仿真条件：开关 s0 始终置无效，输入时钟为 clk，分频时钟为 clk\_o。为便于观察改变了分频时钟周期。

端口说明：led[7:0]从上到下依次为 hex\_l(对应输入 hex0)，hex\_h(对应输入 hex1)，cntled\_h(对应 high)，cntled\_l(对应 low)，分别表示拨码输入低位、拨码输入高位、倒计时数字显示高位、倒计时数字显示低位。seg0 和 seg1 分别对应 DN1 和 DN0 组数码管。

对于使能输入端 en、使能输出端 len、scancnt、seg0 和 seg1：

初始时，使能输入端 en=8'b0000\_0000，此时使能输出端 len=8'b0000\_0000。scancnt 为初始值 3'b000，seg0=8'd0，seg1=8'd0。

5ns 时，令使能输入端为 en=8'b0000\_0001 并保持至 325ns，可见：

5ns 时，由于 scancnt=3'b000，使能输出端改变，len=8'b0000\_0001 并保持至 325ns，此时 seg0=8'hff；scancnt 在下一个分频时钟上升沿之前保持 3'b000。

在下一个分频时钟上升沿时，scancnt=3'd1，此后的第一个时钟上升沿(clk)，seg0=8'b0000\_0000。

在之后每个分频时钟上升沿，scancnt 计数依次加一，当计数至 3'd7 时，下一个分频时钟上升沿时 scancnt=3'd0，此后的第一个时钟上升沿(clk)，seg0=8'hff 并保持一个分频时钟周期。之后 scancnt 在每个分频时钟上升沿计数依次加一，seg0 保持 8'd0 不变。

在 325ns~345ns，令 en=8'b0000\_0000，由于 scancnt=3'd6，故 len 保持 8'b0000\_0001 不变。

由于 en=8'b0000\_0001 和 en=8'b0000\_0000 时均不改变 seg1 的值，故 seg1=8'b0000\_0000 保持不变。

对于拨码输入 hex0、hex1 和各 led 输出：

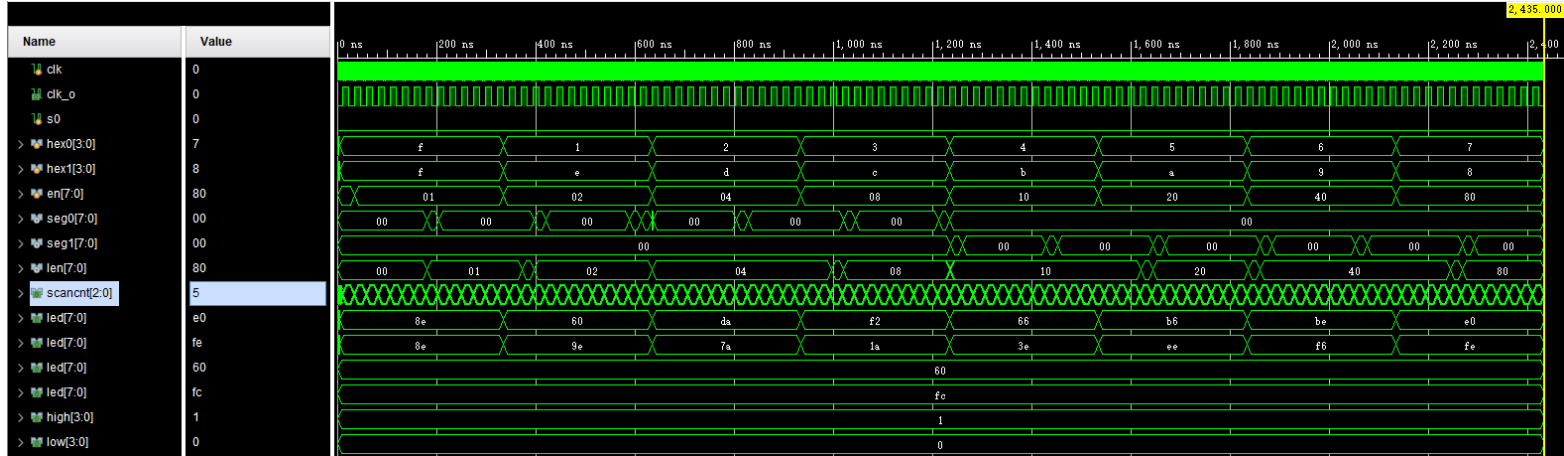
0~5ns，hex0、hex1 未被赋值，为高阻态。在第一个时钟上升沿到 5ns，各 led 由译码模块赋默认值 8'b0000\_0000。

5ns~325ns，每延迟 20ns，使 hex0 的值从 4'h0 依次增加到 4'hf，hex1 的值从 4'hf 依次减小到 4'h0；led\_l 和 led\_h 对应输出。

325~345ns，令 hex0=8'h6；hex1=8'h6，led\_l 和 led\_h 对应输出。

在 0~345ns 间，由于计数器未计满 500 个分频时钟周期，high 和 low 保持 4'd1 和 4'd0 不变，故 5ns~345ns，cntled\_h 和 cntled\_l 对应输出 h'60 和 h'fc。

对 8 个数码管进行仿真：



仿真条件：开关 s0 始终置无效，输入时钟为 clk，分频时钟为 clk\_o。为便于观察改变了分频时钟周期。

端口说明：led[7:0]从上到下依次为 hex\_l(对应输入 hex0)，hex\_h(对应输入 hex1)，cntled\_h(对应 high)，cntled\_l(对应 low)，分别表示拨码输入低位、拨码输入高位、倒计时数字显示高位、倒计时数字显示低位。seg0 和 seg1 分别对应 DN1 和 DN0 组数码管。

对于使能输入端 en、使能输出端 len、scancnt、seg0 和 seg1：

在 0~30ns，使能输入端 en=8'b0000\_0000。此后每隔 300ns，依次令 en=8'b0000\_0001、en=8'b0000\_0010、en=8'b0000\_0100、en=8'b0000\_1000、en=8'b0001\_0000、en=8'b0010\_0000、en=8'b0100\_0000、en=8'b1000\_0000。初始时，scancnt=3'd0，此后每个分频时钟上升沿加一，直到 scancnt=3'd7，下一个分频时钟上升沿时从 0 开始计数。seg0 和 seg1 的初始值和默认值均为 8'b0000\_0000。

181ns 时，scancnt=3'd0，且 en=8'b0000\_0001，故在下一个时钟上升沿 seg0=8'hff 并保持一个分频时钟周期，同时 len=8'b0000\_0001。

371ns 时，scancnt=3'd0，且 en=8'b0000\_0010，故在下一个时钟上升沿 len=8'b0000\_0000 并保持一个分频时钟周期。

395ns 时，scancnt=3'd1，且 en=8'b0000\_0010，故在下一个时钟上升沿 seg0=8'hda 并保持一个分频时钟周期，同时 len=8'b0000\_0010。

587ns 时，scancnt=3'd1，且 en=8'b0000\_0010，故在下一个时钟上升沿 seg0=8'hda 并保持一个分频时钟周期。

635ns 时，scancnt=3'd3，且 en=8'b0000\_0100，故 seg0=8'hbf 并保持一个时钟周期。

803ns 时，scancnt=3'd2，且 en=8'b0000\_0100，故在下一个时钟上升沿 seg0=8'hbf 并保持一个分频时钟周期。

1019ns 时，scancnt=3'd3，且 en=8'b0000\_1000，故在下一个时钟上升沿 seg0=8'hfc 并保持一个分频时钟周期。

1211ns 时，scancnt=3'd3，且 en=8'b0000\_1000，故在下一个时钟上升沿 seg0=8'hfc 并保持一个分频时钟周期。

1235ns 时，scancnt=3'd4，且 en=8'b0001\_0000，故 len=8'h00 并保持一个时钟周期。此

后 seg1=8'h66 并保持一个分频时钟周期。

1427ns 时, scancnt=3'd4, 且 en=8'b0001\_0000, 故在下一个时钟上升沿 seg1=8'h66 并保持一个分频时钟周期。

1619ns 时, scancnt=3'd4, 且 en=8'b0010\_0000, 故在下一个时钟上升沿 len=8'h00 并保持一个分频时钟周期。

1643ns 时, scancnt=3'd5, 且 en=8'b0010\_0000, 故在下一个时钟上升沿 seg1=8'hee 并保持一个分频时钟周期。

1835ns 时, scancnt=3'd5, 且 en=8'b0100\_0000, 故在下一个时钟上升沿 len=8'h00 并保持一个分频时钟周期。

1859ns 时, scancnt=3'd6, 且 en=8'b0100\_0000, 故在下一个时钟上升沿 seg1=8'hfc 并保持一个分频时钟周期。

2051ns 时, scancnt=3'd6, 且 en=8'b0100\_0000, 故在下一个时钟上升沿 seg1=8'hfc 并保持一个分频时钟周期。

2243ns 时, scancnt=3'd6, 且 en=8'b1000\_0000, 故在下一个时钟上升沿 len=8'h00 并保持一个分频时钟周期。

2267ns 时, scancnt=3'd7, 且 en=8'b1000\_0000, 故在下一个时钟上升沿 seg1=8'hfc 并保持一个分频时钟周期。

对于拨码输入 hex0、hex1 和各 led 输出:

0~5ns, hex0、hex1 未被赋值, 为高阻态。在第一个时钟上升沿到 5ns, 各 led 由译码模块赋默认值 8'b0000\_0000。

5ns~35ns, hex0=4'hf, hex1=4'hf; 35ns~2435ns, 每延迟 300ns, 使 hex0 的值从 4'h1 依次增加到 4'h7, hex1 的值从 4'hf 依次减小到 4'h8; led\_l 和 led\_h 对应输出。

在 0~2435ns 间, 计数器未计满 500 个分频时钟周期, high 和 low 保持 4'd1 和 4'd0 不变, 故 5ns~2435ns, cntled\_h 和 cntled\_l 对应输出 h'60 和 h'fc。