



初始时，使能端 `en_i` 置有效，清零端 `rst_n_i` 置有效，可见：

第一个时钟上升沿时，输出 `gray_o=4'b0000`，为清零后信号。

在 10ns 时，将清零端置无效，开始计数，可见：

在 10ns~15ns 内，二进制计数器 `bin=4'b0001`，格雷码输出 `gray_o=4'b0001`；

第一个时钟上升沿，二进制计数器加一 `bin=4'b0010`，格雷码输出 `gray_o=4'b0011`；

第二个时钟上升沿，二进制计数器加一 `bin=4'b0011`，格雷码输出 `gray_o=4'b0010`；

第三个时钟上升沿，二进制计数器加一 `bin=4'b0100`，格雷码输出 `gray_o=4'b0110`；

第四个时钟上升沿，二进制计数器加一 `bin=4'b0101`，格雷码输出 `gray_o=4'b0111`；

第五个时钟上升沿，二进制计数器加一 `bin=4'b0110`，格雷码输出 `gray_o=4'b0101`；

在 60ns 时，将清零端 `rst_n_i` 置有效，则在下一个时钟上升沿时，二进制计数器 `bin=4'b0000`，格雷码输出 `gray_o=4'b0000`；

在 80ns 时，清零端 `rst_n_i` 置无效，使能端有效，继续计数，则二进制计数器 `bin=4'b0001`，格雷码输出 `gray_o=4'b0001`，其后可见：

第一个时钟上升沿，二进制计数器加一 `bin=4'b0010`，格雷码输出 `gray_o=4'b0011`；

第二个时钟上升沿，二进制计数器加一 `bin=4'b0011`，格雷码输出 `gray_o=4'b0010`；

第三个时钟上升沿，二进制计数器加一 `bin=4'b0100`，格雷码输出 `gray_o=4'b0110`；

在 110ns 时，将使能端 `en_i` 置无效，可见：

在下一个时钟上升沿时，二进制计数器保持上一个时钟周期 `bin=4'b0100`，格雷码输出也保持 `gray_o=4'b0110`。