

实验三 加法器

2018 年秋季学期

加法是数字系统中最常执行的运算，加法器是 ALU 的核心部件。减法可以看作是被减数与负的减数的加法。即用加法器同时实现加法和减法两种运算。乘法也可以利用移位相加的算法来实现。因此，加法器可以说是计算机中最“繁忙”的部件了。

本实验的目的是复习一位全加器的原理，学习用简单 ALU 的设计方式。

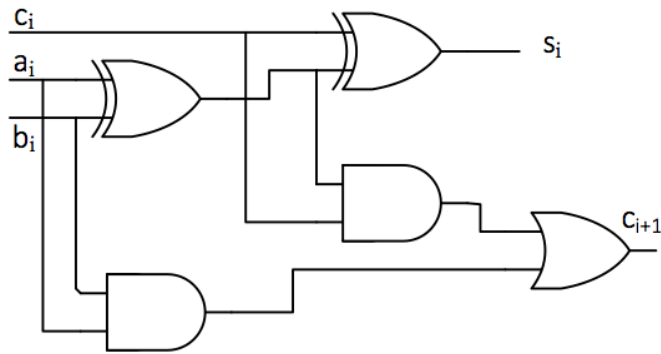
3.1 加法器

多位加法器可以由一位加法器级联而成，图 3-1(a)是一位全加器真值表，输入为 a_i 、 b_i 和 c_i ，输出为 s_i 和 c_{i+1} ；图 3-1(b)是一位加法器电路图，图 3-1(d)是四位行波进位加法器框图。输入为 a (a_0 - a_3)、 b (b_0 - b_3) 和 c_{in} ，输出为 s (s_0 - s_3) 和 c_{out} ；

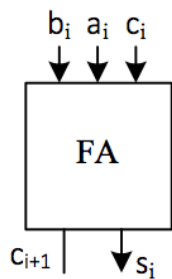
一位全加器的设计相对简单，请读者根据电路图自行思考如果设计一个串行进位加法器电路。串行加法器速度很慢，因为进位必须从最低位传至最高位。要想构建速度较快的加法器，就要利用附加逻辑，提前算出进位信息，这就是先行进位加法器的设计思想，先行进位加法有几种常用的算法，感兴趣的同学可以查找资料阅读。

c_i	a_i	b_i	s_i	c_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

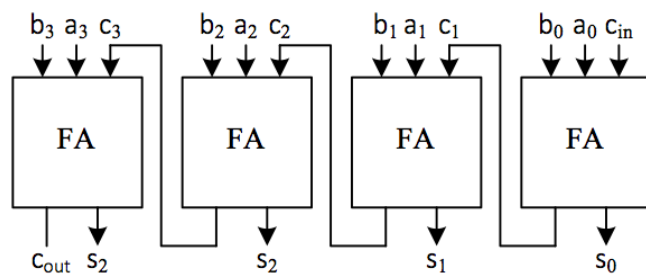
(a) 一位全加器真值表



(b) 一位全加器电路图



(c) 一位全加器框图



(d) 四位串行全加器

图 3-1: 全加器

3.2 八位加法器实现

上述四位串行加法器的设计，如果推广到更多位加法器的设计，程序代码将会变得异常复杂，运行效率也将很低。在 Verilog 语言中，可以使用算术赋值语句和向量来执行这种算术运算。如果我们定义如下向量：

```
1 input  [n-1:0]  in_x, in_y;
2 output [n-1:0]  out_s;
```

则算术赋值语句

```
1 out_s = in_x + in_y;
```

就可以实现 n 位加法器了。

请注意，该代码定义了可以生成 n 位加法器的电路，但是该加法器电路并不包含加法过程中产生的进位输出信号和算术溢出信号。

溢出信号是用于判断运算结果 `out_s` 是否正确的信号。可以证明，算术溢出信号可以用下面的表达式得到：

$$Overflow = (in_{x_{n-1}} == in_{y_{n-1}}) \&\& (out_{s_{n-1}} \neq in_{x_{n-1}}) \quad (3-1)$$

其判断原理是：如果两个参加加法运算的变量符号相同，而运算结果的符号与其不相同，则运算结果不准确，产生溢出。即两个正数相加结果为负数，或者两个负数相加结果为正数，则发生了溢出。一正一负两个数相加是会产生溢出的。当然，还有其他的判断溢出位的方式，请大家参照相关资料，了解其他判断运算是否溢出的方法。

进位信号可以用下面的表达式得到：

```
1 {out_c,out_s} =in_x + in_y;
```

此表达式执行后，`out_c` 即为进位位，`out_s` 即为加法运算结果，这里的进位位仅用于表示在加法运算过程中，操作数的最高位向外是否有进位，和我们传统意义上的进位和借位的概念不完全一致。

3.3 实验内容

3.3.1 简单加减法运算器的设计

上述加法器只能实现加法运算，如果要执行减法运算，必须再设计一个减法运算器。其实，在实际的运算器中，如果参加运算的操作数都是补码的话，可以用加法器同时实现加法和减法运算，常用的运算器也正是这样操作的。请查阅相关资料，了解在补码状态下，用加法来完成减法运算的原理。

请根据硬件资源，完成一个进行补码加减运算的 4 位加减运算器，此加减运算器的核心部件是一个 4 位加法器，能够根据控制端完成加、减运算，并能判断结果是否为 0，是否溢出，是否有进位等。这里，输入的操作数 A 和 B 都已经是补码。

图 3-2 是一个参考逻辑图，输入信号有：两个 4 位的参与运算的数据的补码操作数 A 和操作数 B，一个控制做加法还是做减法的加/减控制端 C_n 。输出信号有：一个 4 位的结果 Result、一位进位位，一位溢出位和一位判断结果是否为零的输出位。

在图中已经加入了对减数进行求补操作，将减法变成加法的过程。即：如

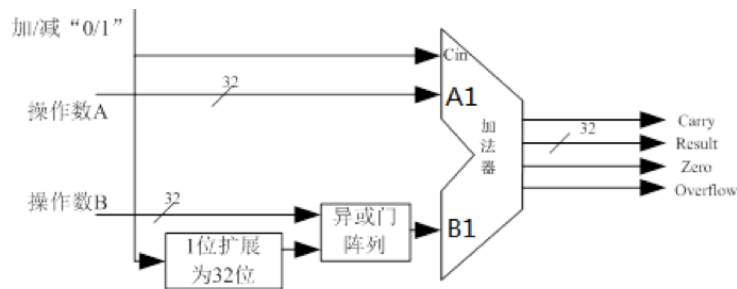


图 3-2: 简单加减 ALU

$A - B$ ，可以先求出 $(-B)$ 的值，然后再和 A 相加，即 $A - B = A + (-B)$ 。对于补码而言， $-B$ 的补码就是将 B 连同符号位在内全部取反再加一的过程。

请查找资料，自行设计具有此功能的 ALU。

☞ 思考题 1:

在此加减运算的运算器中，如果用判断参与运算的加数和运算结果符号位是否相同的方法来判断是否溢出，那么此时判断溢出位的时候，应该是比较操作数 A 、 B 和运算结果的符号位，还是比较 $A1$ 、 $B1$ 和运算结果的符号位？

☞ 思考题 2:

方法一:

```
1 assign t_no_Cin = {n{ Cin }}^B ;
2 assign {Carry, Result} = A + t_no_Cin + Cin;
3 assign Overflow = (A[n-1] == t_no_Cin[n-1]) && (Result [n-1] != A[n-1]);
```

方法二:

```
1 assign t_add_Cin = ( {n{V}}^B )+ Cin ; // 在这里请注意^运算和+运算的顺序
2 assign { Carry, Result } = A + t_add_Cin;
3 assign Overflow = (A[n-1] == t_add_Cin[n-1]) && (Result [n-1] != A[n-1]);
```

以上两种方法的产生的运算结果、进位位和溢出位值都是完全是一样的吗？如果不一样，为什么结果会不一样呢？在哪一步产生了差别？哪一个正确？

☞ 思考题 3:

在判断输出结果是否为零的时候也有两种判断方式，一种是用 if 语句，将 **Result** 和 “0” 相比较，这样在硬件上会产生一个比较器。还可以使用如下语句：

```
1 assign zero = ~(| Result);
```

“| Result” 操作称为一元约简运算，这个运算在硬件上几个逻辑门就可以实现了，请查阅 Verilog 相关语法资料，了解此运算的操作过程。

选择你认为好的方式来进行结果是否为“0”的判断。

✎ 关于加法器测试值的设计

在本实验的测试过程中，操作数比较多，位数也比较长，如果使用枚举的方式对每一个值都进行测试，当然测试得非常充分，但是，测试结果过长，阅读不方便而且也没有完全的必要。因此在测试的时候，选取一些关键、边界和具有典型意义的值很重要。例如这里我们要求设计一个 4 位的补码加减法器，输入和输出全部是补码，操作数的取值范围为 -8 到 +7，我们可以对两个操作数进行如下取值：7, 6, 2, 1, 0, -1, -2, -7, -8 等。观察仿真结果，然后根据需要再添加其他的测试值。

在测试加法器中，可以利用 test bench 中的 task 功能来进行自动测试。

```
1 task check; // 测试任务
2     input [4:0] results; //ALU的结果预期正确输出
3     input resultof, resultc, resultz; //ALU的预期溢出，进位，零位
4     begin
5         if(outputs!=results) // 比较预期结果和测试单元输出的 outputs
6             begin // 出错时显示
7                 $display("Error:x=%h,y=%h,ctrl=%b,s_should_be_%h,
8  get_%h", inputa, inputb, inputaluop, results, outputs);
9             end
10        // 自行添加溢出，进位和零位的比较
11    end
12 endtask
```

在测试时，可以调用 check 任务来判断结果是否正确。

```
1 for(i=-8;i<=7;i=i+1)
2     for (j=-8;j<=7;j=j+1)
3         begin
4             inputa=i;
5             inputb=j; // 设置两个输入
6             inputaluop=4'b0000; //ALU的操作码
7             k = * ; // 此处自行计算正确的输出，填入*处
8             of= * ; // 可分不同情况手工填写
```

```
9      z = * ;
10     c = * ;
11     #20 check(k[3:0],of,c,z);
12     end
```

3.3.2 实现一个带有逻辑运算的简单 ALU

设计一个能实现如下功能的简单 ALU

表 3-1: ALU 功能列表

功能选择	功能	操作
000	加法	A+B
001	减法	A-B
010	取反	Not A
011	与	A and B
100	或	A or B
101	异或	A xor B
110	比较大小	If A>B then out=1; else out=0;
111	判断相等	If A==B then out=1; else out=0;

在实现此 ALU 的时候，请考虑各种运算的进位位 C 和溢出位 overflow 位的输出。（一般情况下，涉及加减运算的，可以按照加减运算器来考虑进位位和溢出位；涉及逻辑运算的，可以直接设置进位位和溢出位为“0”。）

由于开发板上输入有限，可以使用 SW 作为数据输入，button 作为选择端。