
IMPLEMENTAÇÃO DE MODULAÇÃO PWM PARA CONTROLE DE INVERSOR MONOFÁSICO EM FPGA

September 4, 2019

LINSE/EEL/CTC/UFSC

Setembro de 2019

Contents

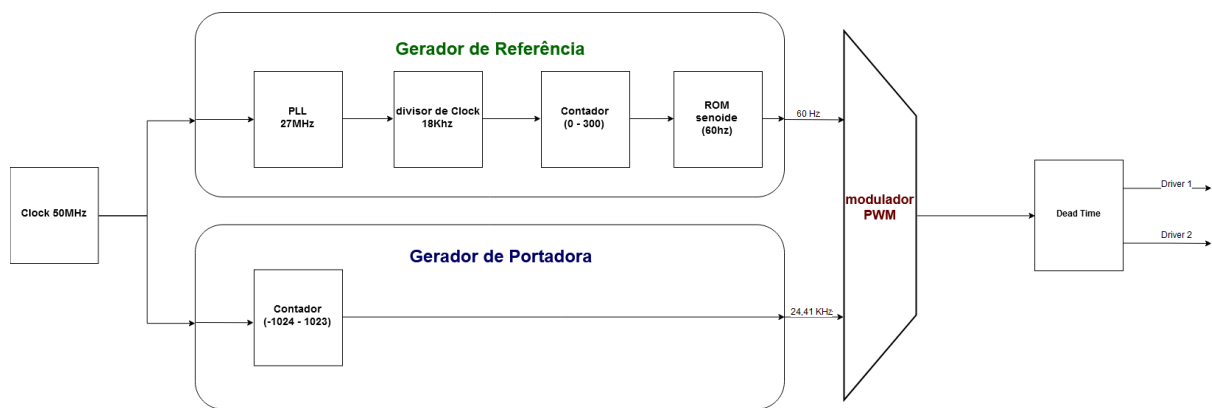
1	visão geral	1
2	Gerador de referencia	2
3	Portadora	3
4	PWM	4
5	Dead Time	5
6	Simulações	6

Abstract

Neste documento será detalhado o processo de implementação do código para modulação AM em FPGA. Foi utilizado simulações em modelsim, visualização em matlab e testes com o kit de desenvolvimento DE2_115 e um osciloscópio. Neste documento somente será analisado a parte do controle digital usando FPGA e pulsos PWM. Os sinais de saída serão utilizados para comutar as chaves de um inversor monofásico.

Chapter 1

visão geral



O esquema mostra o estágio de controle para o inversor de frequência monofásico. Nele a partir de um clock de 50 MHz são criados uma onda senoidal de 60 HZ e uma portadora dente de serra de 24,41KHz. O modulador PWM irá utilizar esses dois sinais de referencia para criar um sinal modulado. A partir deles e da maquina de estados do Dead Time os drivers de saída 1 e 2 serão criados.

Chapter 2

Gerador de referencia

Esse bloco é responsável por gerar a onda senoidal de 60 Hz, com amplitude máxima de 820, baseado em uma memória ROM com os valores de uma senoide criada em Matlab. primeiramente um PLL usa o clock de 50 MHz como referência para criar um clock de 27 MHz, e em seguida passa por um divisor de clock para 18 KHZ. A partir dele um contador de 0 a 300 será usado para modificar os endereços da memória ROM e criar a senoide.

Chapter 3

Portadora

Bloco responsável por gerar a portadora de 24,41 KHz dente de serra. Um contador de -1024 a 1023 com clock de 50 MHz é utilizado para criar a portadora.

Chapter 4

PWM

Modulador para geração do sinal PWM. UM comparador compara os sinais da referência e da portadora, enquanto o sinal da referencia for maior que a portadora a saída estará em nível alto.

Chapter 5

Dead Time

Bloco de extrema importância para evitar curtos no circuito. Impede que os dois drivers estejam ativos no mesmo instante de tempo. Uma máquina de estados é usado para deixar um intervalo de 4 ciclos de clock entre um sinal voltar a ser nível baixo e outro passar a ser nível alto.

Chapter 6

Simulações

Para comprovação do funcionamento foram feitas simulações no modelsim e utilizado o Matlab para verificação da frequência de operação dos sinais.

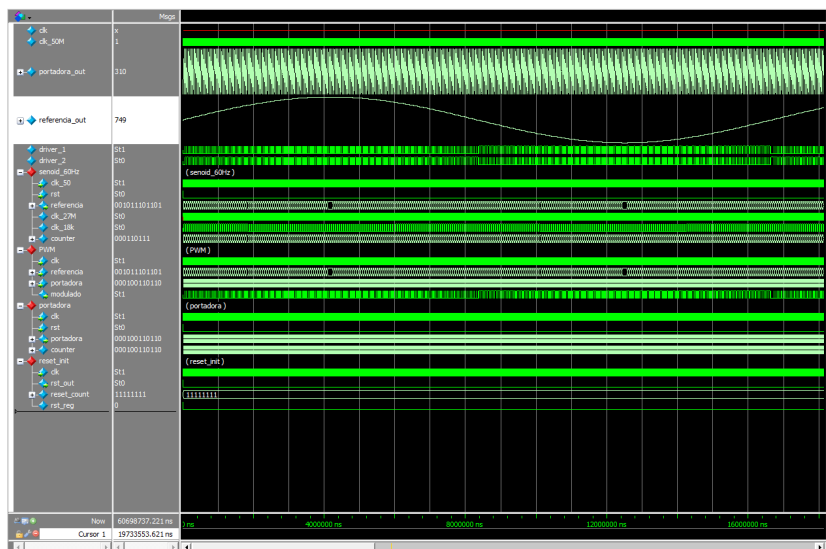


Figure 6.1: Simulação realizada em Modelsim

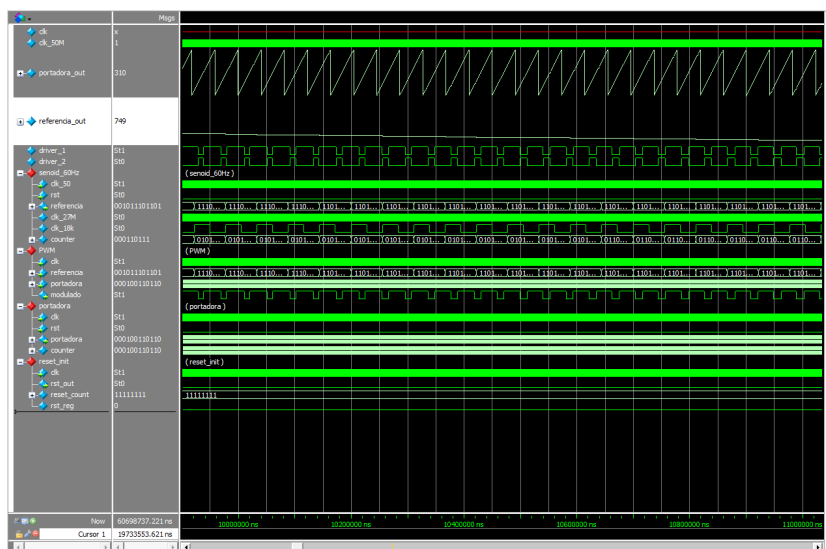


Figure 6.2: Pulsos modulados em Modelsim

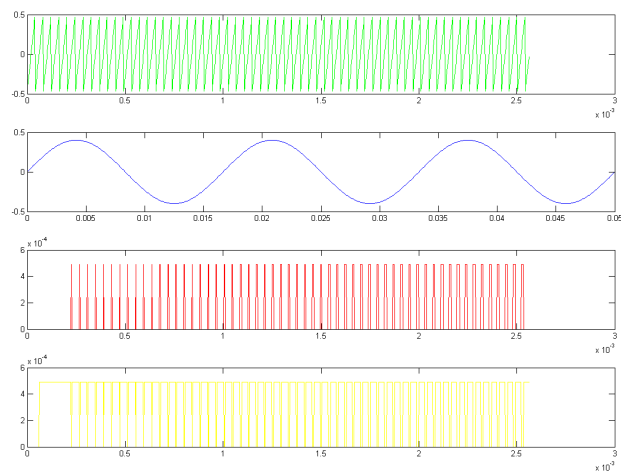


Figure 6.3: sinais em Matlab da portadora, referencia, driver 1 e driver 2 respectivamente

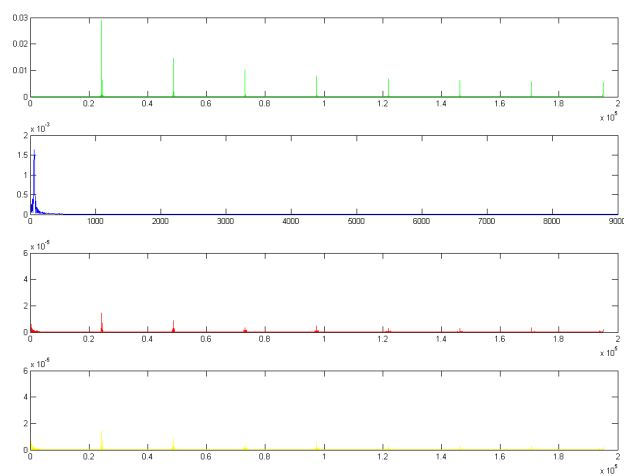


Figure 6.4: FFT em Matlab da portadora, referencia, driver 1 e driver 2 respectivamente

Também foram verificado os sinais utilizando a placa DE2_115. Foram externados no GPIO da placa DE2_115 os sinais de clock 50 MHz, driver 1 e driver 2 e utilizando um osciloscópio foi possível verificar a frequência dos sinais e o tamanho dos pulsos.

REFERENCES

1. AVELINO, W.O. Desenvolvimento de um Inversor Monofásico Utilizando Controlador Digital Baseado em FPGA. Trabalho de Conclusão de Curso (Graduação em Engenharia Elétrica). Fortaleza/CE: Universidade Federal do Ceará, 2010.