

# 计算机组成原理A

## ---第4章 存储系统作业参考解答

1. 某32位计算机系统采用半导体存储器，其地址码是32位，若使用512M×8位的DRAM芯片组成4GB主存，并采用内存条的形式，问：

- (1) 若每个内存条为1G×32位，共需要多少内存条？
- (2) 每个内存条内共有多少片DRAM芯片？
- (3) 主存需要多少DRAM芯片？

**【解】**：(1) 每个内存条为：  $1\text{G} \times 32\text{位} = 4\text{GB}$

则4GB主存需要  $4/4 = 1$  条。

(2) 每个内存条有DRAM芯片：  $(1\text{G} \times 32) / (512\text{M} \times 8) = 8$  片

(3) 主存需要DRAM芯片数：  $= 1 \times 8 = 8$  片



2. 设主存储器容量为256M字，字长为64位，模块数 $m=8$ ，分别用顺序方式和交叉方式进行组织。主存储器的存储周期 $T=400\text{ns}$ ，数据总线宽度为64位，总线传送周期 $\tau=50\text{ns}$ 。若按地址顺序连续读取16个字，问顺序存储器和交叉存储器的带宽各是多少？

**【解】**：顺序存储器和交叉存储器按地址顺序连续读出16个字的信息总量都是：  
 $q=64\text{b} \times 16=1024\text{b}$

顺序存储器和交叉存储器连续读出16个字所需的时间分别是：

$$t_{\text{顺}}=nT=16 \times 400\text{ns}=6400\text{ns}$$

$$t_{\text{交}}=T+(n-1)\tau=400\text{ns}+15 \times 50\text{ns}=1150\text{ns}$$

顺序存储器和交叉存储器的带宽分别是：

$$W_{\text{顺}}=q/t_{\text{顺}}=1024\text{b} \div 6400\text{ns}=160\text{Mb/s}$$

$$W_{\text{交}}=q/t_{\text{交}}=1024\text{b} \div 1150\text{ns} \approx 890.4\text{Mb/s}$$



3. CPU执行一段程序时, Cache完成存取的次数为48000次, 主存完成存取的次数为2000次, 已知Cache存取周期为40ns, 主存存取周期为240ns, 求Cache/主存系统的效率和平均访问时间。

**【解】** : 命中率:  $h = 48000 / (48000 + 2000) = 96\%$

倍率 $r$ :  $r = t_m / t_c = 240 / 40 = 6$

平均访问时间:

$$t_a = t_c * h + (1 - h) * t_m = 40 * 0.96 + 0.04 * 240 = 48 \text{ ns}$$

效率:  $e = t_c / t_a = 40 / 48 = 83.3\%$

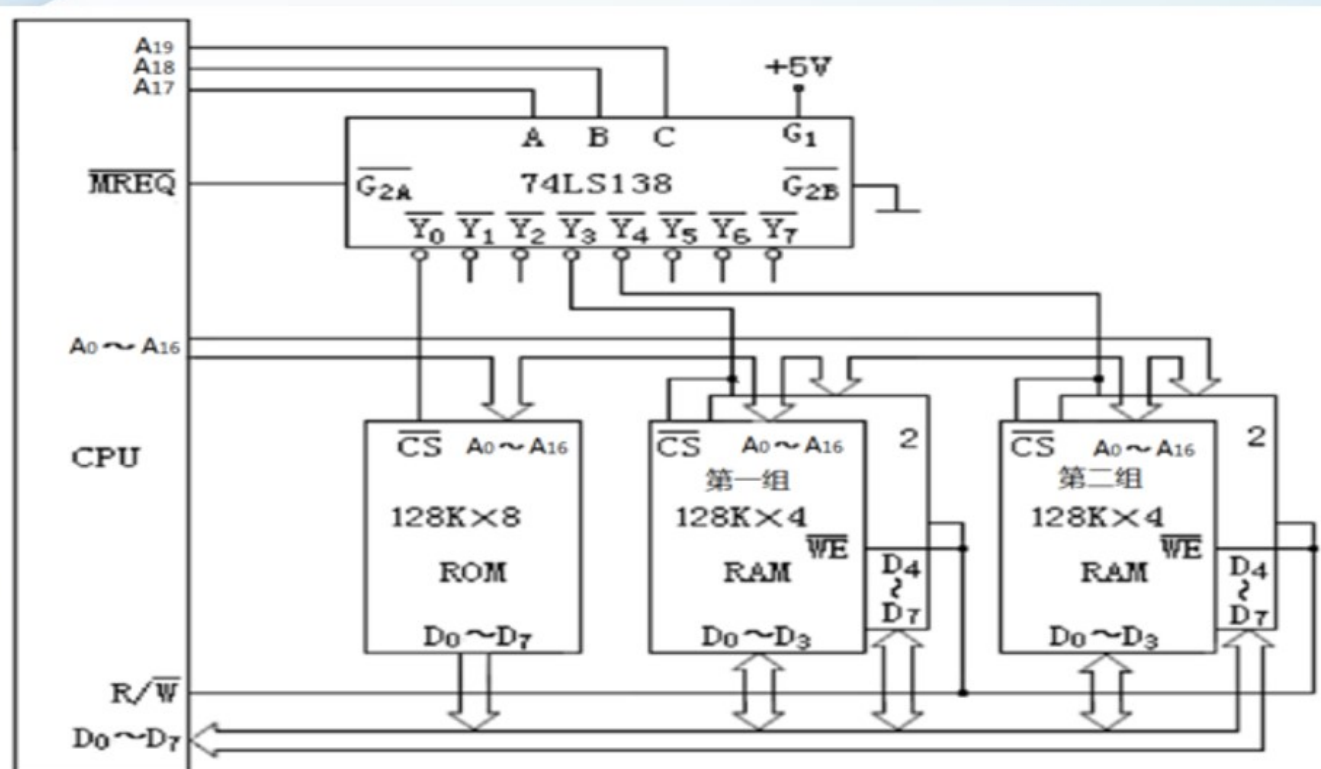




4. 某存储器与CPU的连接如图所示；ROM区域1片ROM芯片，其大小为128KB；RAM区域大小为256KB，RAM芯片使用128K×4位的SRAM芯片，有WE#和CS#信号控制端。CPU地址总线为20位，数据总线为8位，读/写控制信号为R/W#，访存允许信号为MREQ#。问：

- (1) RAM区域需要几片SRAM？分为几组？
- (2) 试分析ROM和各组RAM的地址范围。





【解】：

- (1) 由图可知，RAM区域需4片SRAM存储芯片，分2组。
- (2) 由图可知，ROM、RAM片内译码需要地址线17位 ( $A_{16}--A_0$ )。

$A_{19}A_{18}A_{17}$ 用于片间译码

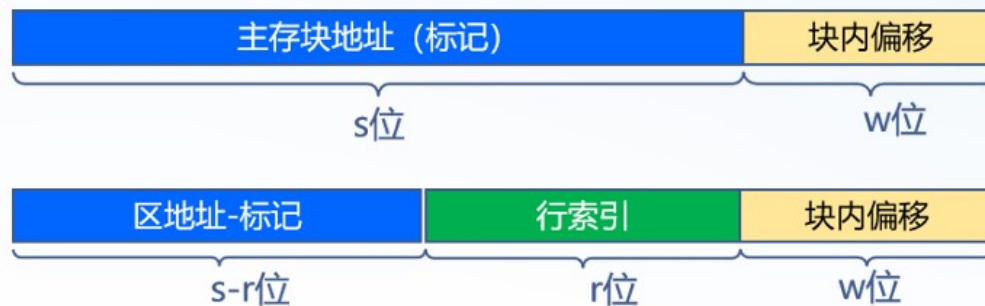
	$A_{19}$	$A_{18}$	$A_{17}$	$A_{16}$	$A_{15}-----A_0$	地址范围
ROM	0	0	0	0	0-----0	00000H
				1	1-----1	1FFFFH
RAM1	0	1	1	0	0-----0	60000H
				1	1-----1	7FFFFH
RAM2	1	0	0	0	0-----0	80000H
				1	1-----1	9FFFFH



5. 某计算机字长32位, cache 由 256个存储块构成, 主存包含 16K 个存储块, 每块由 64 个字组成, 访问地址为字节地址。

(1) 若采用全相联映射方式, 给出主存地址的划分情况, 并标出各部分的位数;

(2) 若采用直接相联映射方式, 给出主存地址的划分情况, 并标出各部分的位数。





**【解】**：由题干计算机字长32位=4个字节= $2^2$ 字节，每块由64个字= $2^6$ 字组成，访问地址为字节地址可知，块内偏移字段的位数  $w=6+2=8$ 位。

(1) 主存包含 16K 个存储块，即 $2^{14}$ ，主存块地址字段位数 $s=14$ 位。



(2) 采用直接映射，由题干条件，cache 由 256个存储块构成， $256=2^8$ ，可得行索引字段位数 $r=8$ 位。区地址字段位数 $=s-r=14-8=6$ 位。

或 主存块数/cache块数 $=2^{14}/2^8=2^6$ ，区地址字段位数=6位。



6. 某计算机的 cache 由 64 个存储块构成, 采用 4 路组相联映射方式, 主存包含 4096 个存储块, 每块由 128 个字组成, 访问地址为字地址。

(1) 主存地址和 cache 地址各有多少位?

(2) 按照题干条件中的映射方式, 列出主存地址的划分情况, 并标出各部分的位数。



**【解】**：（1）存储块每块128字，即 $2^7$ 字，块内偏移需要7位。

主存有4096块，即 $2^{12}$ 块，块地址12位；故主存地址位数 $=12+7=19$ 。

Cache有64块，即 $2^6$ 块，块地址需要6位。故Cache地址位数 $=6+7=13$ 。

（2）块内偏移字段位数，由（1）的分析可知， $w=7$ 位。

因为采用4路组相联，即Cache每组4行，则Cache分组数量 $=64/4=16=2^4$ 组，故组索引字段位数为： $d=4$ 位。标记字段位数 $=12-4=8$ 位。



7. 某计算机字长32位，其主存容量为 4MB，cache 容量为 16KB，每块包含 8 个字，每字为 32 位，映射方式采用 4 路组相联。设 cache 的初始状态为空，CPU 依次从主存第 0,1,2,...,99 号单元读出 100 个字（每次读一个字），并重复此操作 10 次，替换算法采用 LRU 算法。

- (1) 若按字编址，列出主存地址的划分情况，并标出各部分的位数。
- (2) 求 cache 的命中率。
- (3) 若 cache 比主存快 10 倍，分析采用 cache 后存储访问速度提高了多少。





**【解】**：（1）存储块每块8字，即 $2^3$ 字，块内偏移字段需要**3**位。

主存有4MB，机器字长32位，即一个字=32位=4B（ $2^2$ 字节），由此可知主存按字编址，有 $4\text{MB}/4\text{B}=1\text{M}$ 字。其块数为： $1\text{M}/8=2^{17}$ 块

Cache有16KB=4K字，即 $2^{12}$ 字，因为存储块每块8字，故Cache块数（行数）= $4\text{K字}/8=512\text{块}=2^9\text{块}$ 。

因为采用4路组相联，即Cache每组4行，

则Cache分组数量= $512/4=128=2^7$ 组，故组索引字段位数为： $d=7$ 位。

因此，标记字段位数= $20-3-7=10$ 位。



(2) 由(1)得到的结果, Cache分为128组, 每组4行, 每行(块)8个字。Cache初始状态为空。主存从0到99号单元的100个字, 将依次载入Cache前13组内的任意一行(最后一组, 只载入4个字: 96--99)。

第一次访问, 每个数据块的第一次读访问都没有命中, 会将对应数据块载入, 后续相邻的7次访问都会命中。其命中次数=**100-13=87**;

第二次循环访问开始, 都全部命中, 即后续的9次循环都命中, 命中次数=**100×9=900**

故命中率 $h=(900+87)/(100\times 10)=98.7\%$



(3) Cache/主存系统的效率:

$$e = \frac{1}{h + (1-h)r} = \frac{1}{0.987 + (1-0.987) \times 10} \approx 89.5\%$$

即 
$$e = \frac{t_c}{t_a} = 89.5\% \Rightarrow t_a = \frac{t_c}{0.895}$$

由题意,  $t_m/t_c = 10$

采用 cache 后存储访问速度提高的倍数为:

$$\frac{t_m}{t_a} = \frac{10 t_c}{t_c / 0.895} = 8.95$$



8. cache 的容量为 16K 块，每块是一个 32位字，主存容量是 cache 容量的 256 倍，按字节编址。若程序要访问下列地址单元的数据，请给出不同映射方式下，cache的相应标志（即载入cache哪一行/组，对应tag是多少，要求用十六进制表示）。设cache为空，访问对应地址单元时从主装载入数据到cache。

主存地址单元：000008H, 010004H, 01FFFCH

- (1) 直接相联映射方式;
- (2) 4路组相联映射方式。





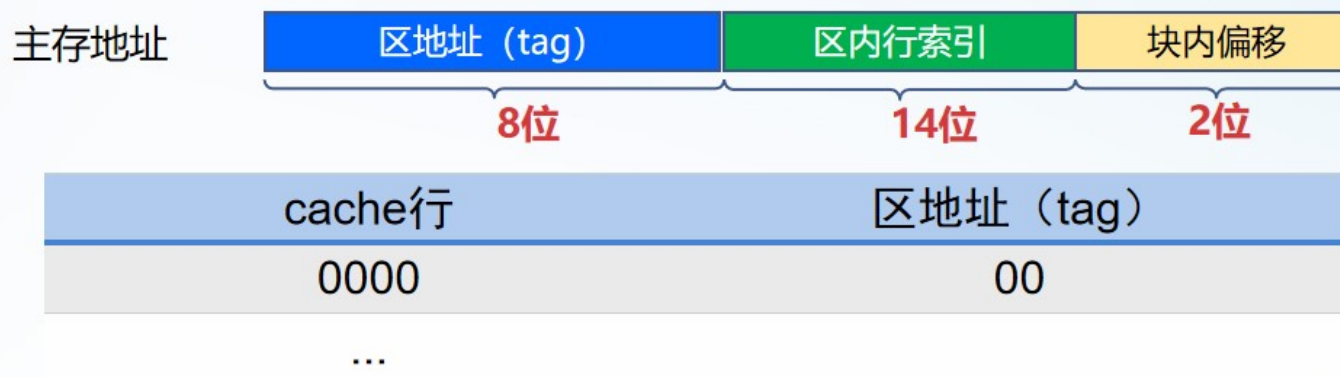
**【解】： (1) 直接相联映射方式：**

存储块每块是一个 32 位字，按字节编址，即 $2^2$ 字节，块内偏移需要**2**位。

Cache有16k块，即 $2^{14}$ 块（行），即区内行索引字段位数 **$r=14$** 位。

主存容量是 cache 容量的 256 倍，即 $2^{22}$ 块， $s=22$ 位。

区地址字段位数= $s-r=20-14=8$ 位。





主存地址单元: 000008H, 010004H, 01FFFCH

000008H → 0000,0000,0000,0000,0000,1000

010004H → 0000,0001,0000,0000,0000,0100

01FFFCH → 0000,0001,1111,1111,1111,1100

载入后cache相应标志 (十六进制表示)

主存地址	cache行	区地址 (tag)
000008	0002	00
010004	0001	01
01FFFC	3FFF	01



**【解】：** (2) **组相联映射方式：**

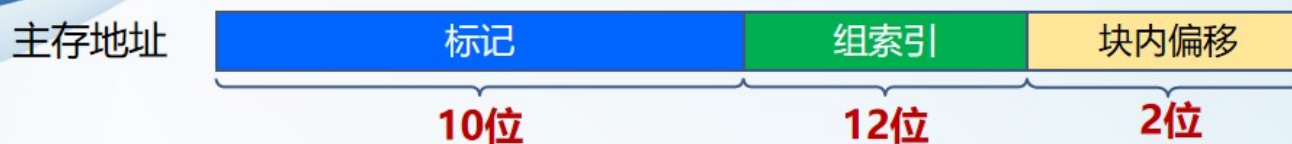
Cache有16k块，由题干条件，采用4路组相联映射。则cache分组数量为：

$$16K/4=4K=2^{12}\text{组}$$

**组索引**字段位数 $d=12$ 位。主存有 $2^{22}$ 块， $s=22$ 位。

**标记** (tag) 地址字段位数 $=s-d=22-12=10$ 位。





主存地址单元: 000008H, 010004H, 01FFFCH

000008H → 0000,0000,0000,0000,0000,1000

010004H → 0000,0001,0000,0000,0000,0100

01FFFCH → 0000,0001,1111,1111,1111,1100

载入后cache相应标志（十六进制表示）

主存地址	cache组	标记 (tag)
000008	002	000
010004	001	004
01FFFC	FFF	007

