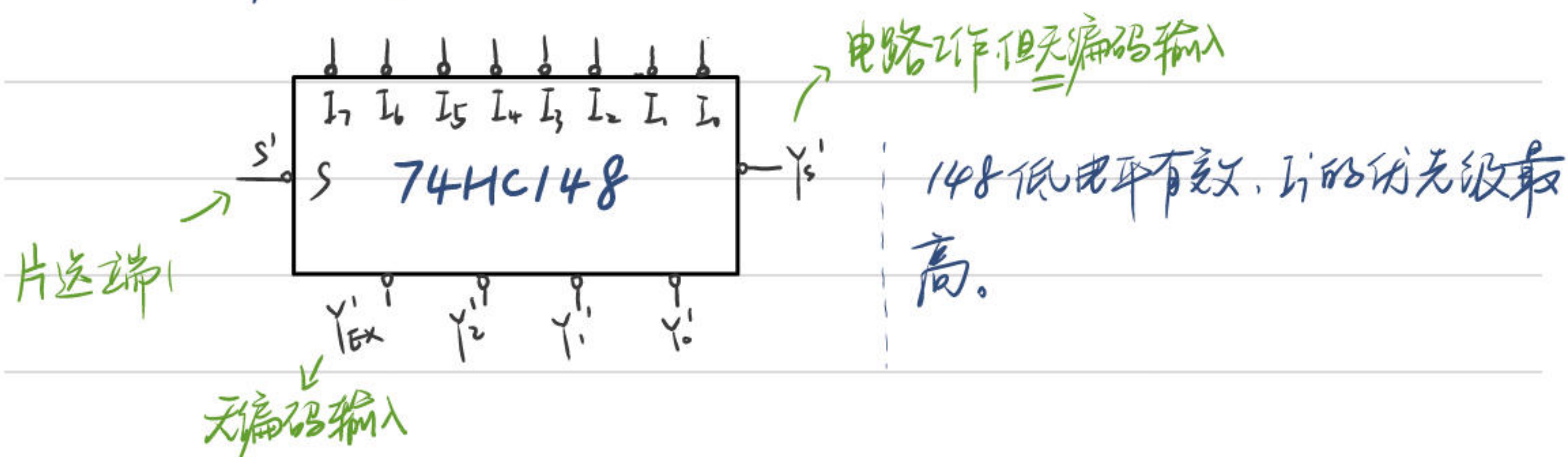
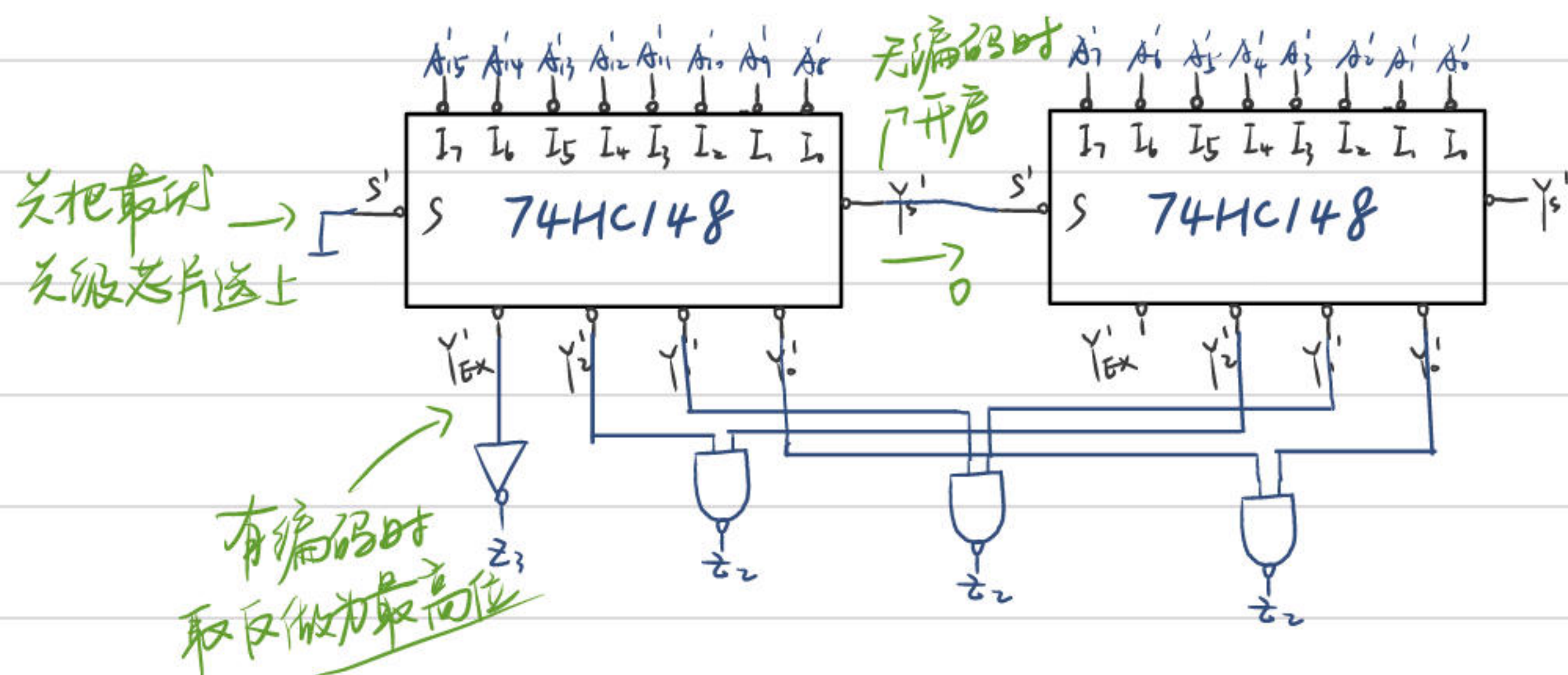


组合逻辑电路模块:

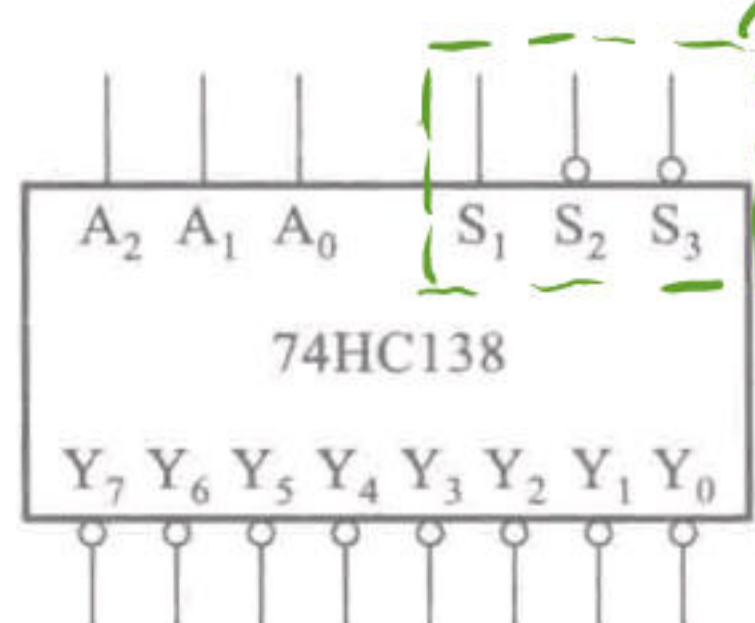
A. 优先编码器:



组合例子: 8-3线优先编码器接成16-4线优先编码器



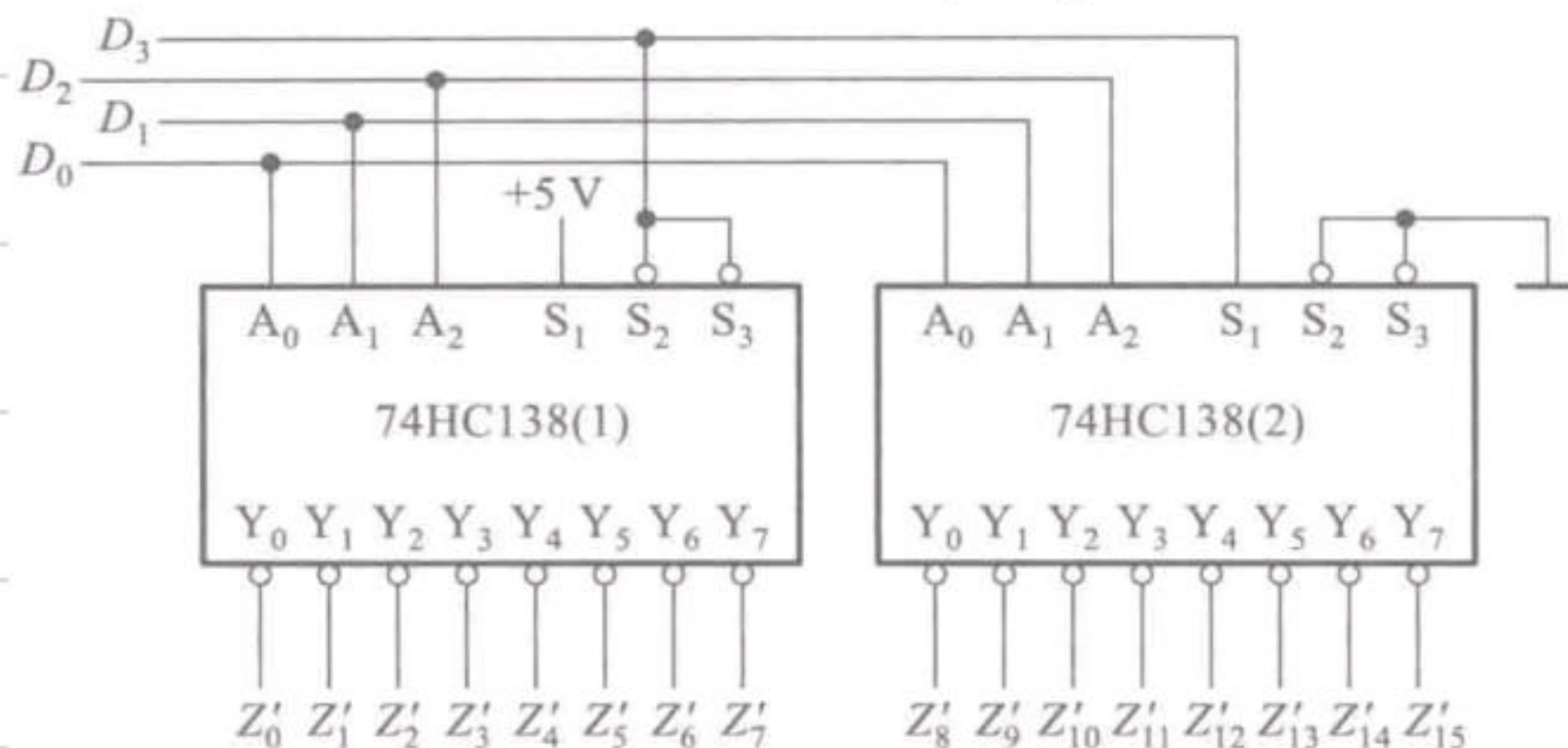
B. 译码器 (38)



芯片选端: 当 $S_1=1, S_2'+S_3'=0$ 时, 译码器工作.

输入高电平有效, 输出低电平有效

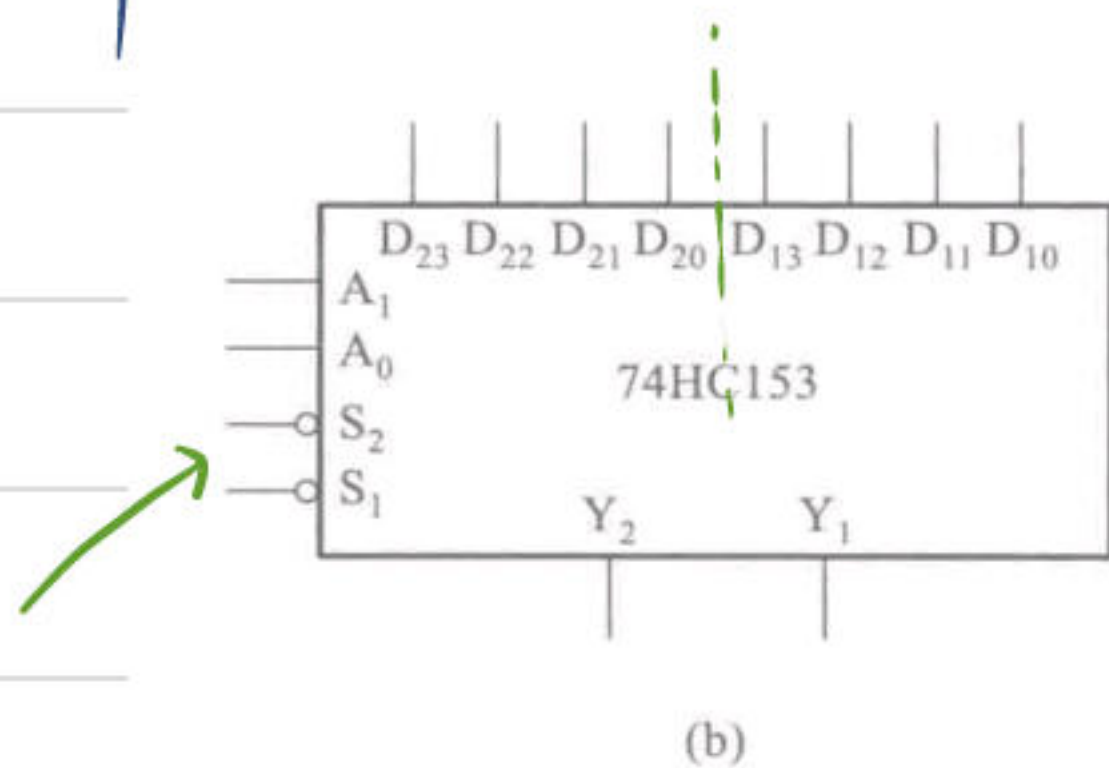
组合例子：3-8译码器扩展为4-16译码器



D_3 : 用于选择芯片.

图 4.5.2 用两片 74HC138 接成的 4 线-16 线译码器

C. 数据选择器

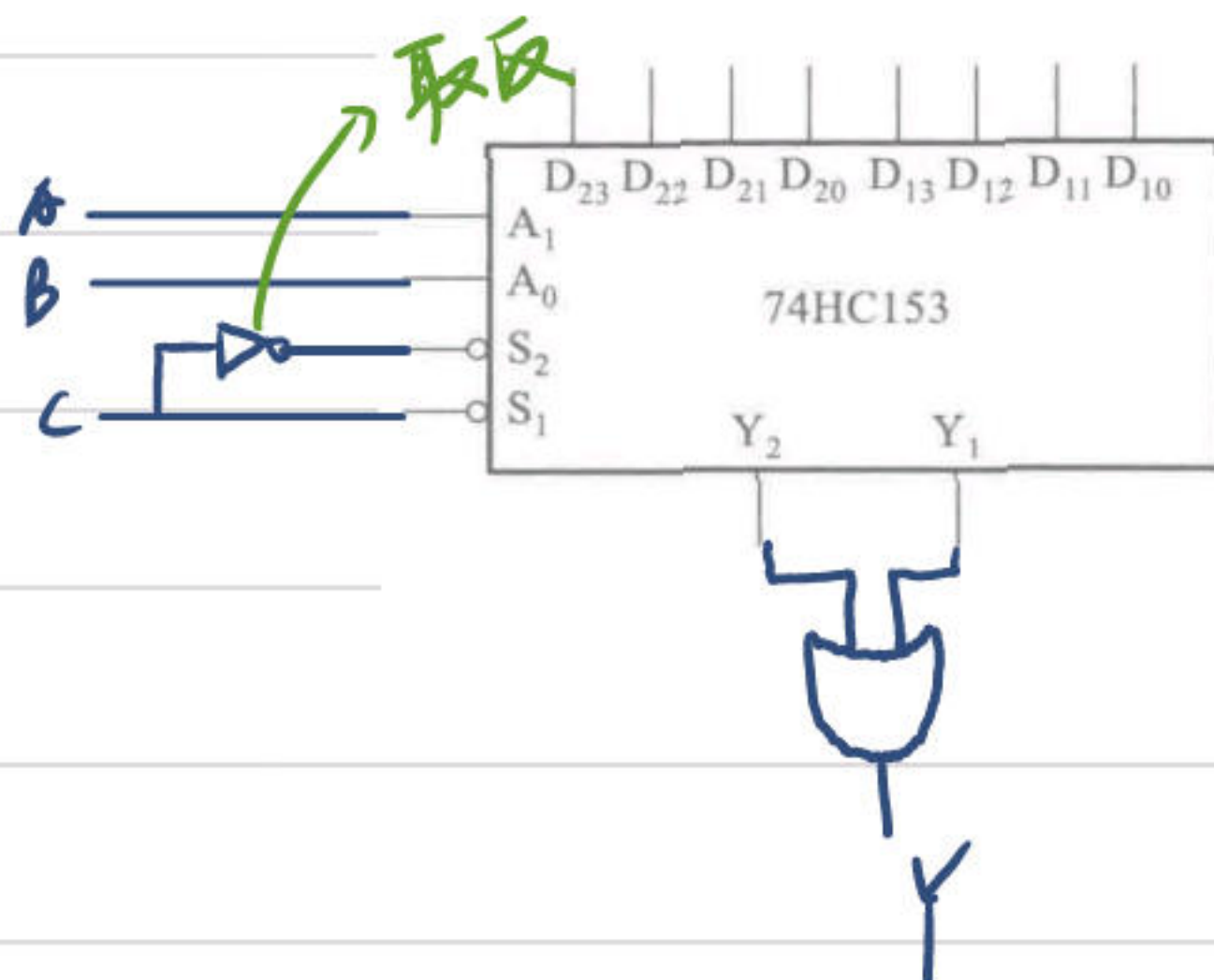


输入端由高电平有效

片选端

图 4.4.20 双 4 选 1 数据选择器 74HC153

组合例子：8选1



扩展的部分可以利用其片选端扩展

D. 比较器 (74HC85)

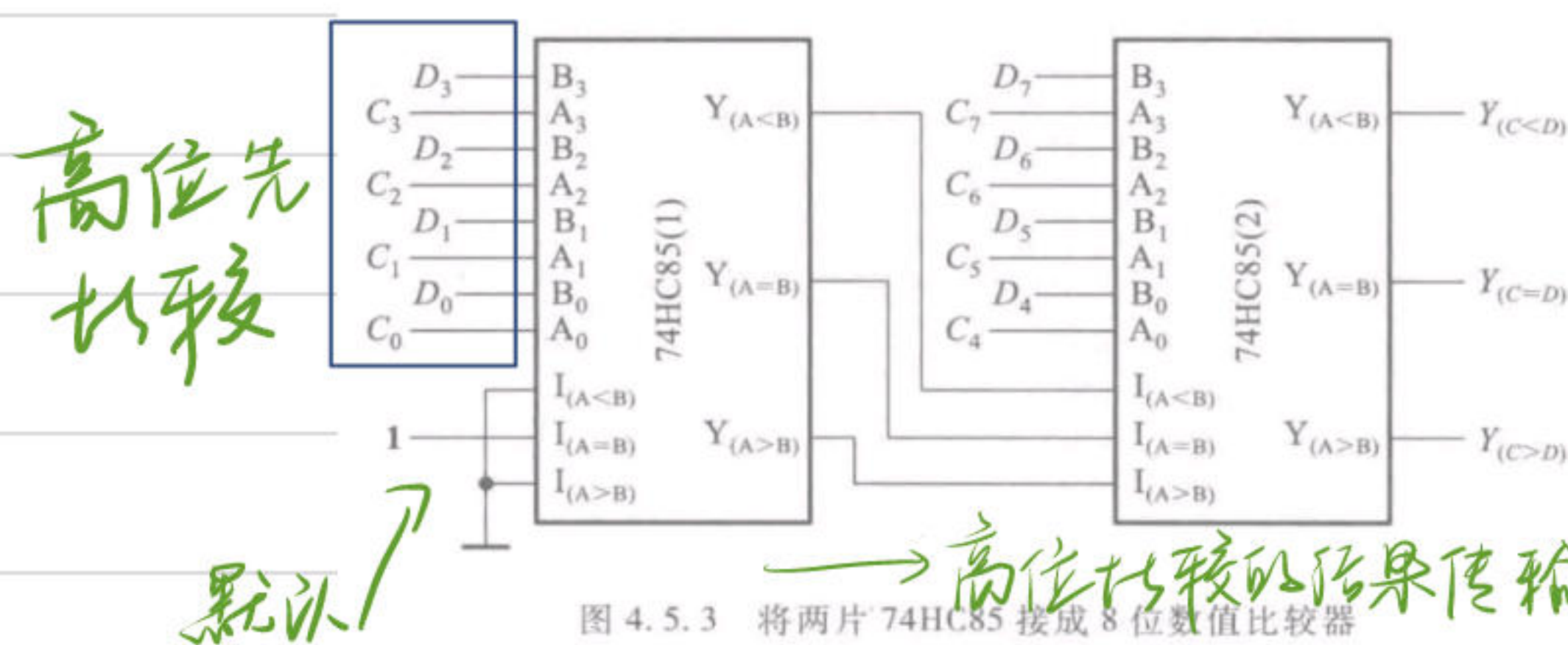


图 4.5.3 将两片 74HC85 接成 8 位数值比较器

E. 加法器

串行进位加法器:

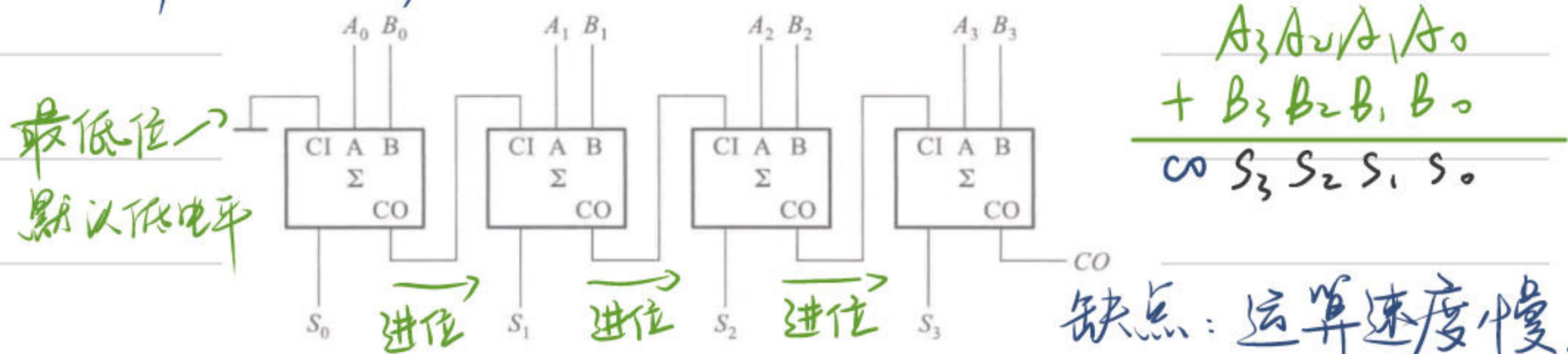


图 4.4.24 4 位串行进位加法器

超前进位加法器:

优点: 运算速度快。
但增加了电路复杂程度。

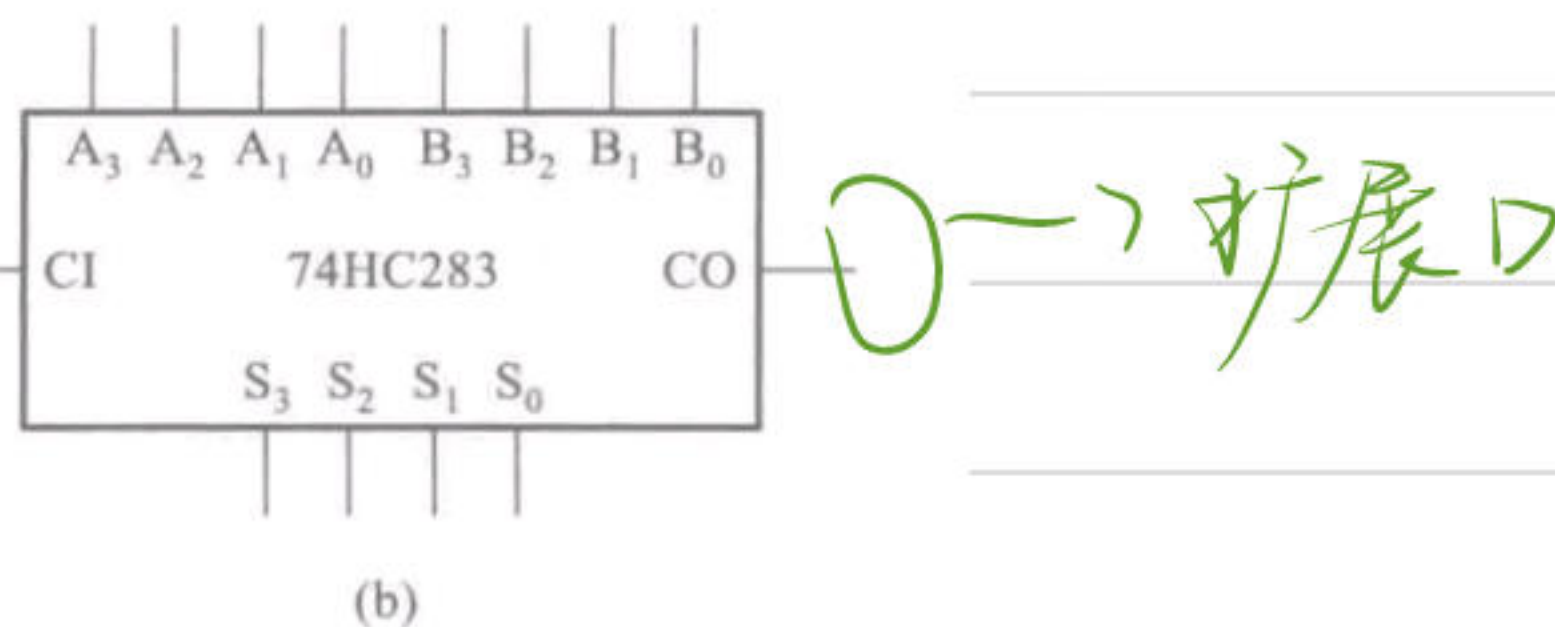


图 4.4.25 4 位超前进位加法器 74HC283

半导体存储电路

通常将只能存储一位数据的电路叫做存储单元,将用于存储一组数据的存储电路叫做寄存器(Register),将用于存储大量数据的存储电路叫做存储器(Memory)。寄存器和半导体存储器中都包含了许多存储单元。

早期的 EPROM 曾经采用紫外线照射的方法进行擦除,但不仅擦除操作非常费时,而且器件的成本也比较高,所以现在已经被使用电信号擦除的 EPROM(Electrically Erasable Programmable Read-Only Memory,简称 E²PROM)所取代。目前在 U 盘和各种便携式移动设备中广泛使用的“闪存”(Flash Memory)就是一种 E²PROM。虽然 EPROM 中的数据可以擦除改写,但由于擦除改写的速度相对读出的速度慢得多,所以通常仍然将它用作只读存储器。

电信号擦除

A. SR 锁存器

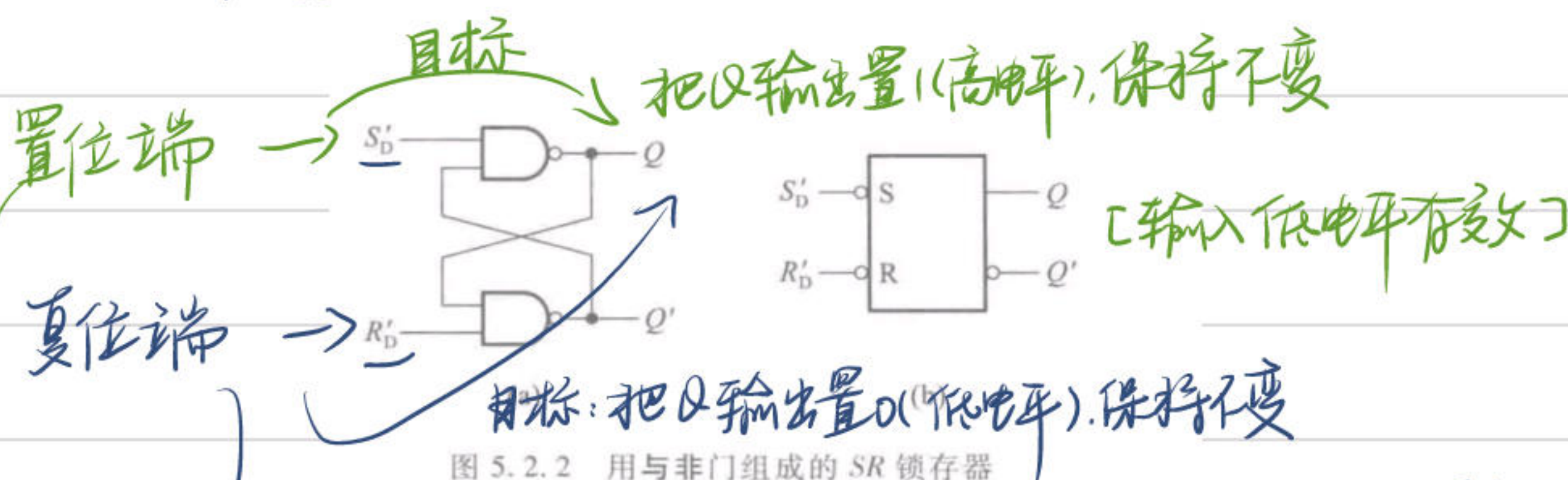


图 5.2.2 用与非门组成的 SR 锁存器

(a) 电路结构 (b) 图形符号

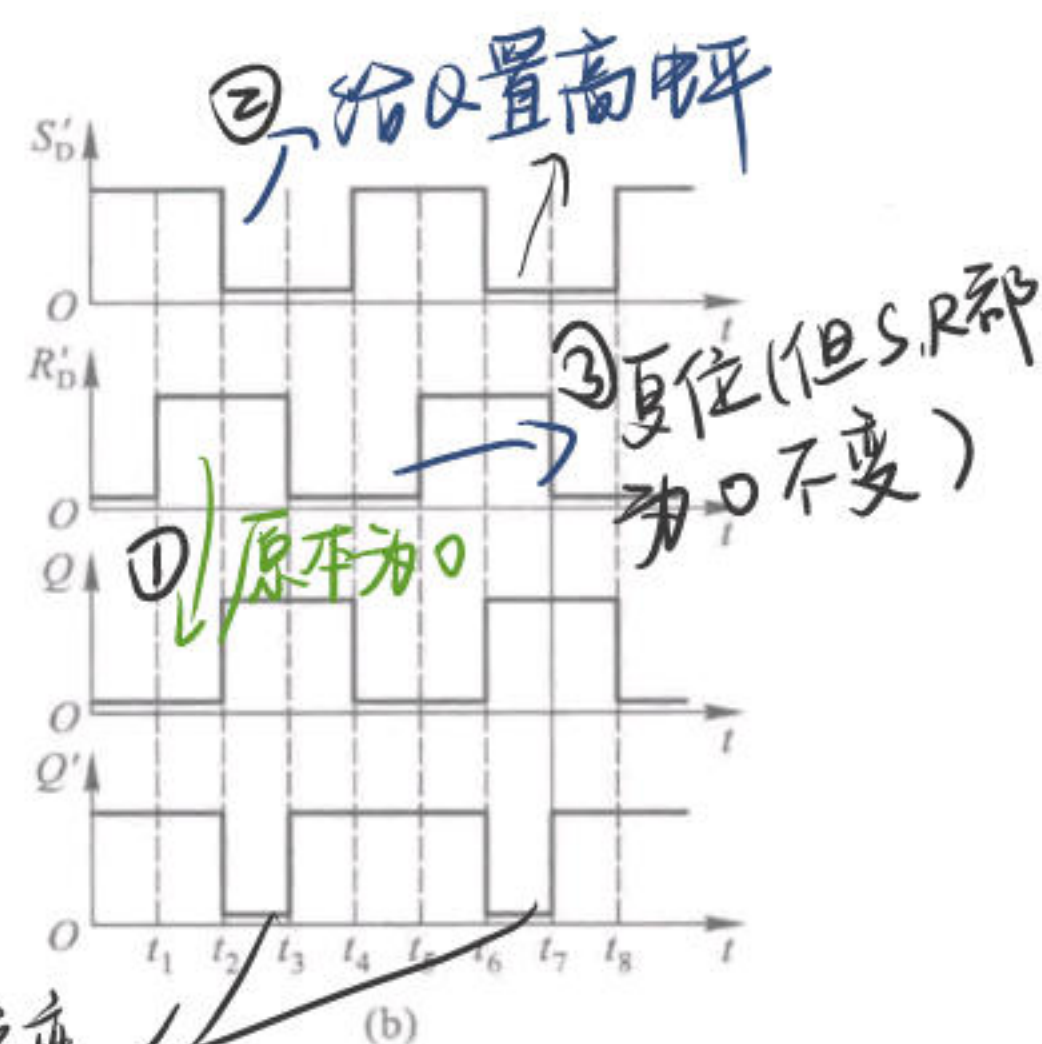
表 5.2.2 用与非门组成的 SR 锁存器的特性表

S'_D	R'_D	Q	Q'
1	1	0	0
1	1	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
0	0	0	1 ^①
0	0	1	1 ^①

① S'_D, R'_D 的 0 状态同时消失以后状态不定。

前状态 $Q=0, Q'=1$
当 S'_D 置位端有效时

Q 置位变为 $Q=1$



S'_D 与 R'_D 的突变

由于 $S'_D = R'_D = 0$ 时出现非定义的 $Q = Q' = 1$ 状态,而且当 S'_D 和 R'_D 同时回到高电平以后锁存器的状态难以确定,所以在正常工作时同样应当遵守 $S'_D R'_D = 0$ 的约束条件,即不应加以 $S'_D = R'_D = 0$ 的输入信号。

B. 触发器

① 由于与非门的特性, 当 $CLK=0$ 时, 输出①②都为高电平, S, R 输入无效

② 高电平输入, 才读取 S, R 的值。

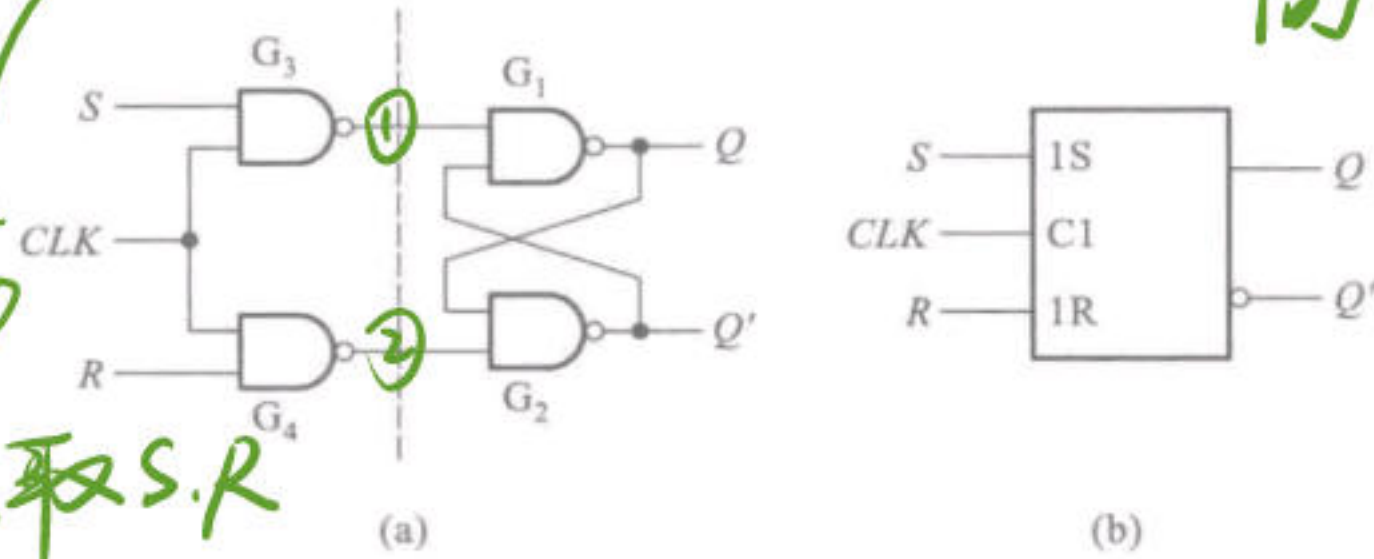


图 5.3.1 电平触发 SR 触发器 (门控 SR 锁存器)
(a) 电路结构 (b) 图形符号

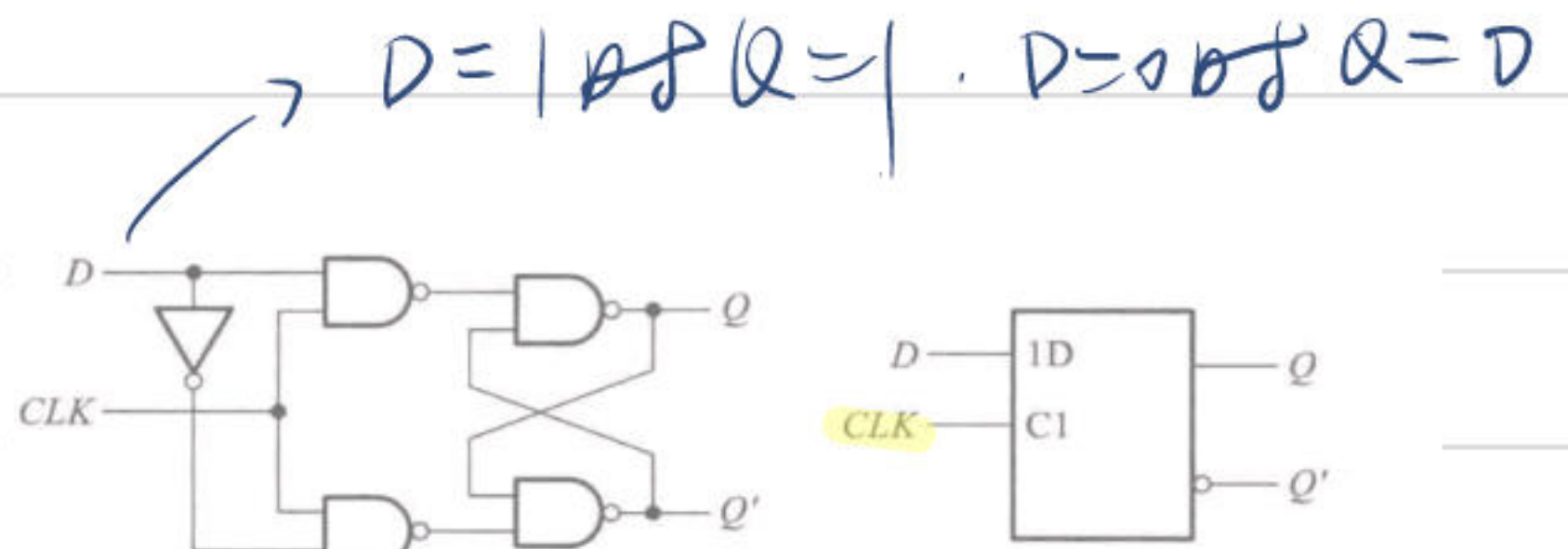
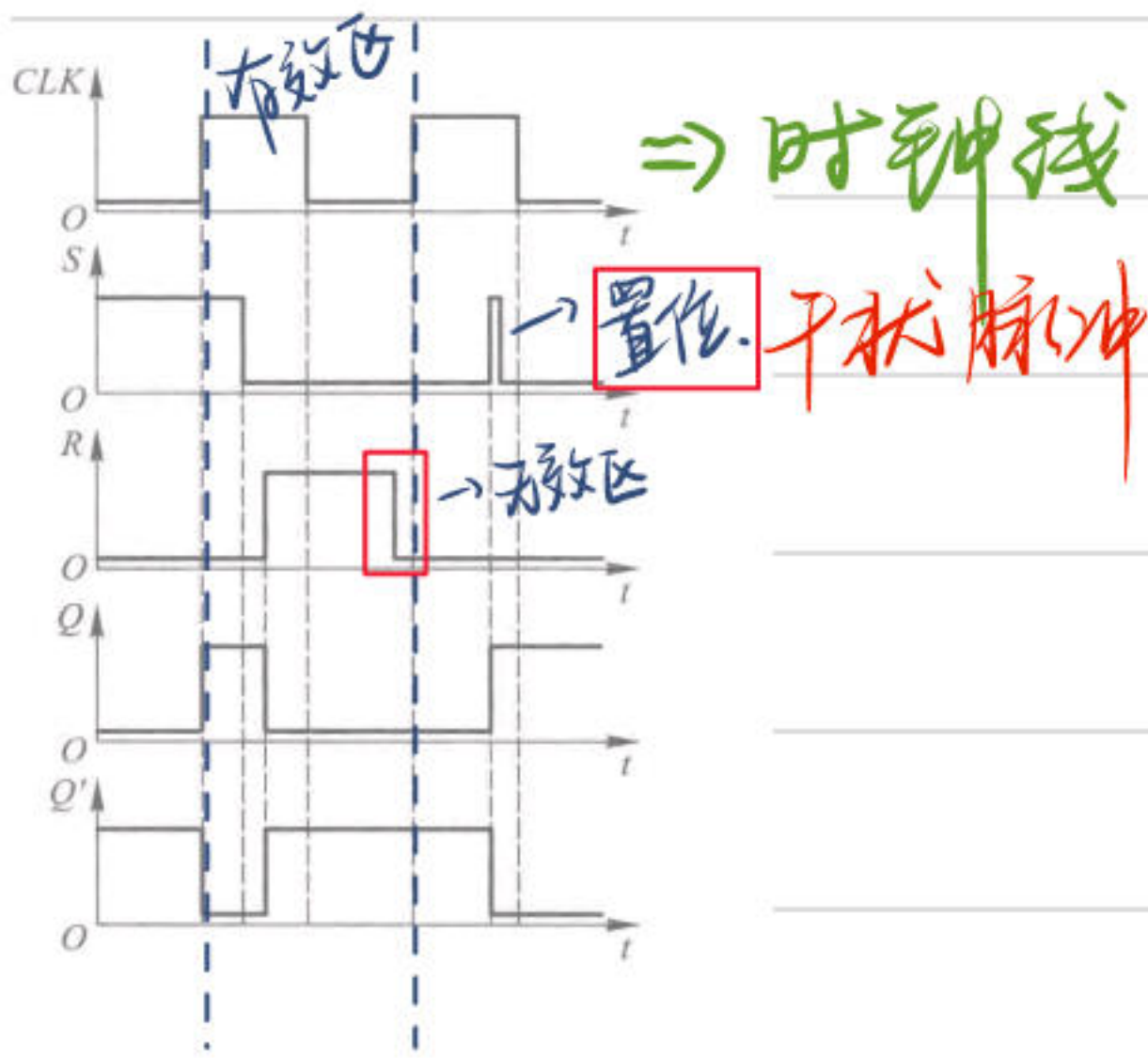


图 5.3.4 电平触发 D 触发器 (D 型锁存器)

边沿触发

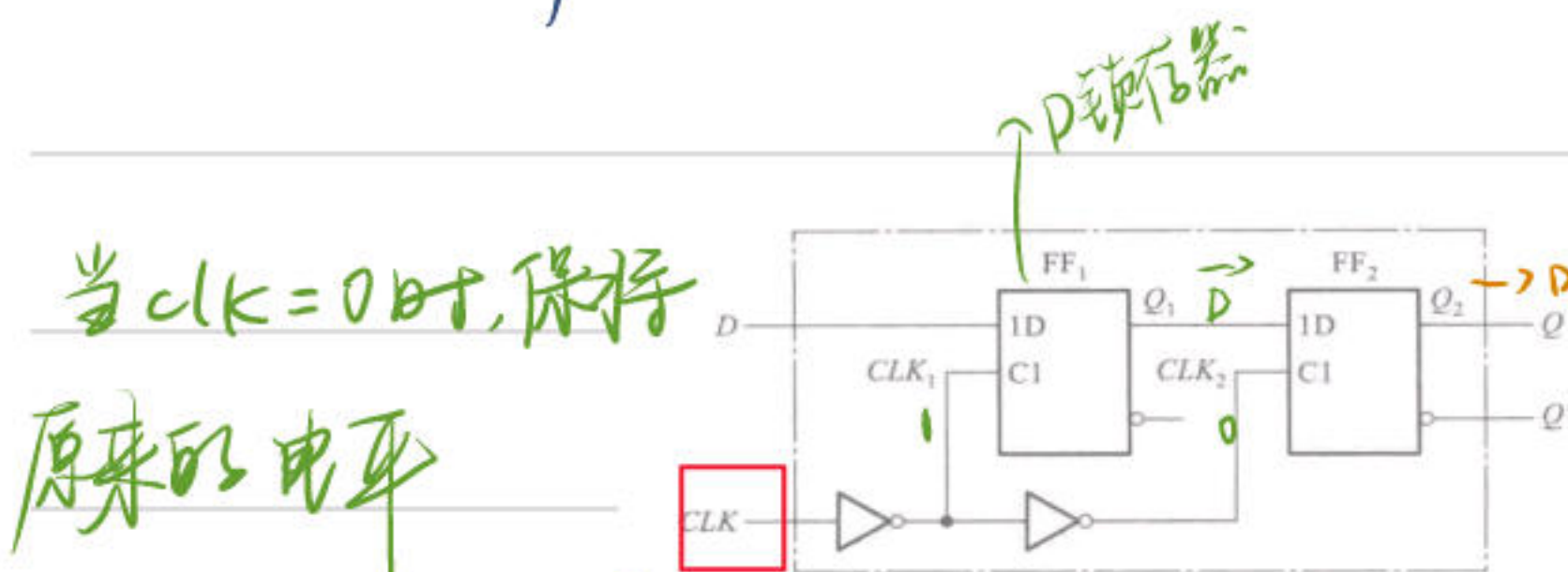


表 5.3.3 图 5.3.7 边沿触发器的特性表

CLK	D	Q	Q'
x	x	x	Q
0	0	0	1
0	1	1	0
1	0	0	1
1	1	1	0

边沿触发标志

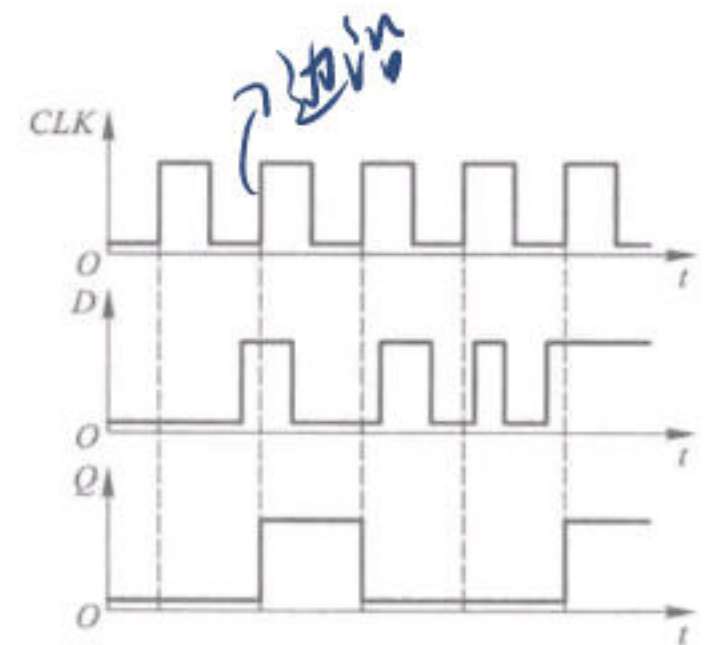


图 5.3.9 例 5.3.3 的电压波形图

当 $CLK=0$ 时, 保持原来的电平

当 $CLK=1$ 时的瞬间

D 的信号传给 FF_2

当 $CLK=1$ 时, FF_1 截止

FF_2 保持原来的电平

优点: 提高了触发器抗干扰能力。

脉冲触发触发器

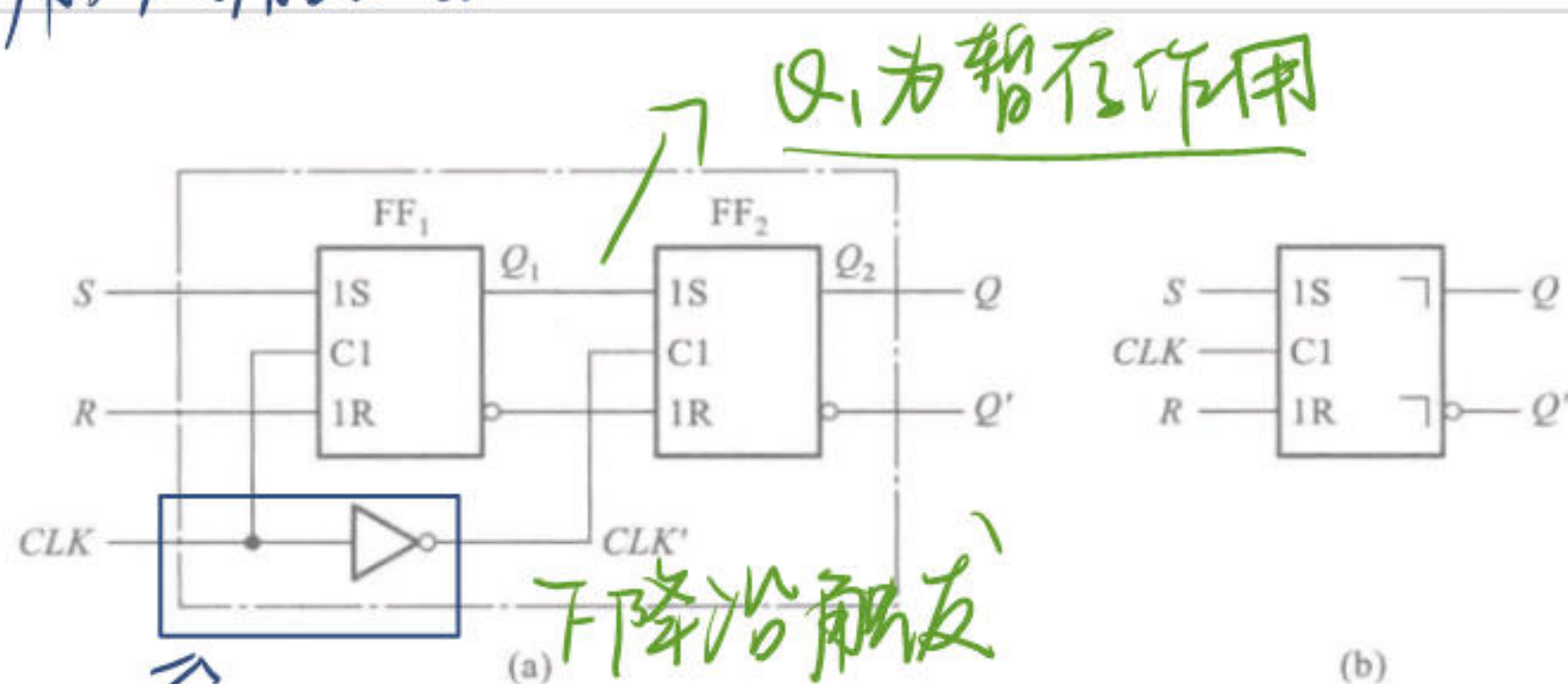


图 5.3.10 脉冲触发的 SR 触发器

与边沿触发少了 D

逻辑分类

A. SR 触发器:

$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \end{cases}$$

B. JK 触发器

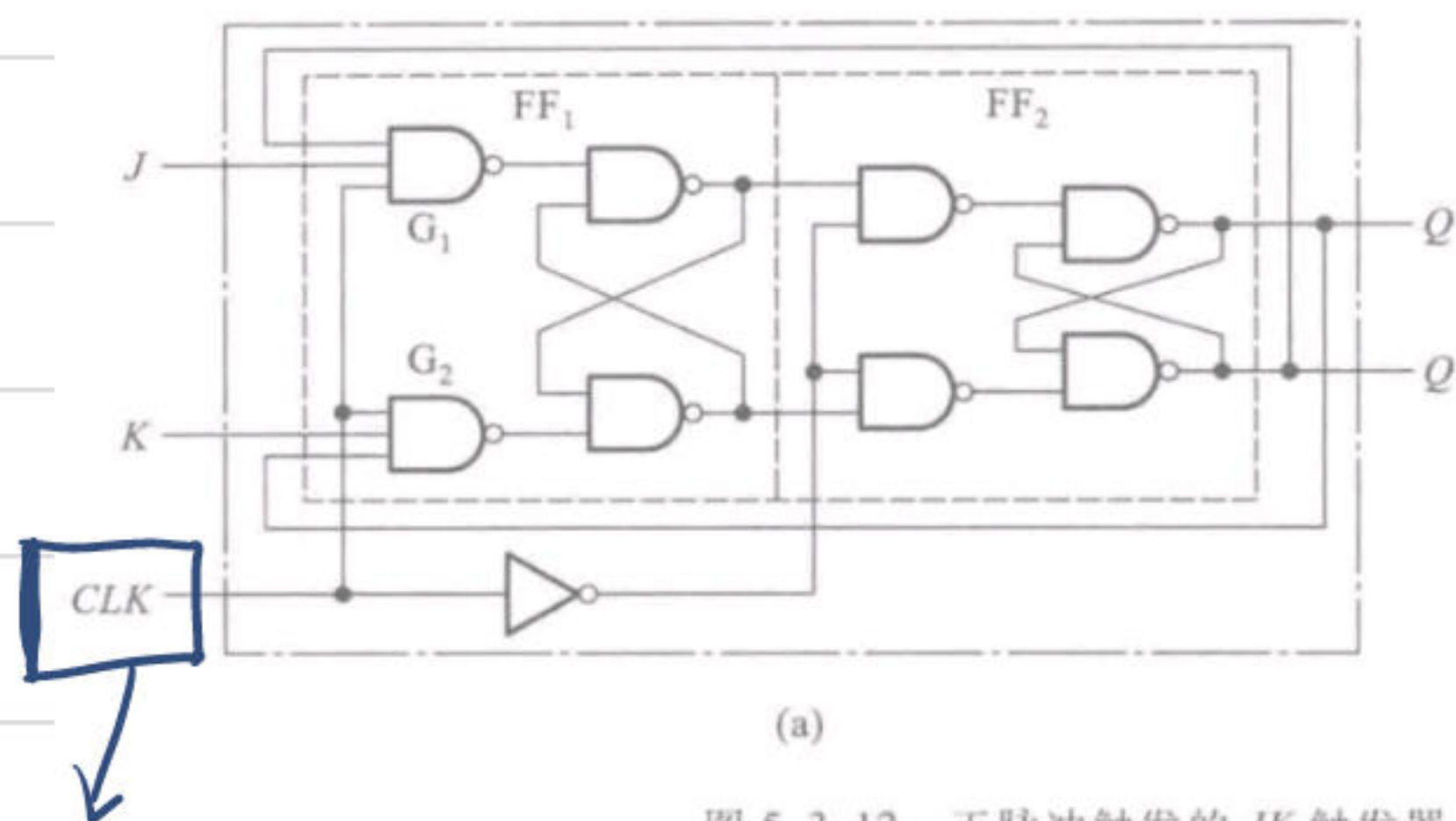


图 5.3.12 正脉冲触发的 JK 触发器

(a) 电路结构图 (b) 图形逻辑符号

当 JK=1 时, CLK 下降沿到达时, Q 与之前状态相反

当 JK=0 时, CLK 下降沿到达时, Q 保持之前状态

表达式: $Q^* = JQ' + K'Q$

JK 触发器经典例题:

【例 5.3.6】在图 5.3.12 所示的脉冲触发 JK 触发器中,已知 CLK、J、K 的电压波形如图 5.3.15 所示,试画出与之对应的输出端电压波形。设触发器的初始状态为 $Q=0$ 。

解: 由图 5.3.15 可见,第一个 CLK 高电平期间始终为 $J=1, K=0$, CLK 下降沿到达后触发器置 1。

第二个 CLK 的高电平期间 K 端状态发生过变化,因而不能简单地以 CLK 下降沿到达时 J、K 的状态来决定触发器的次态。因为在 CLK 高电平期间出现过短时间的 $J=0, K=1$ 状态,此时主触发器便被置 0,所以虽然 CLK 下降沿到达时输入状态回到了 $J=K=0$,但从触发器仍按主触发器的状态被置 0,即 $Q^*=0$ 。

第三个 CLK 下降沿到达时 $J=0, K=1$ 。如果以这时的输入状态决定触发器次态,应保持 $Q^*=0$ 。但由于 CLK 高电平期间曾出现过 $J=K=1$ 状态,CLK 下降沿到达之前主触发器已被置 1,所以 CLK 下降沿到达后从触发器被置 1。

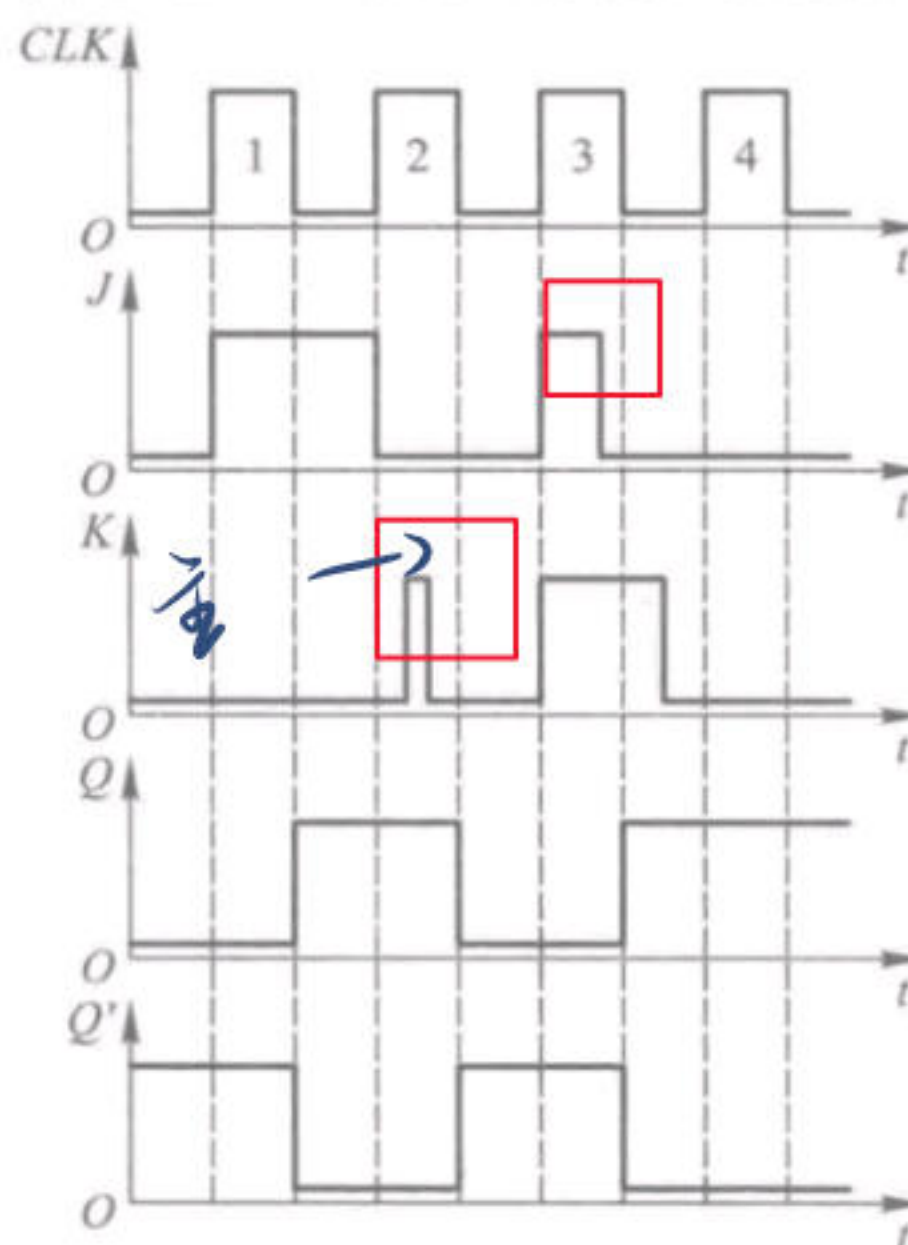


图 5.3.15 例 5.3.6 的电压波形图

T 触发器

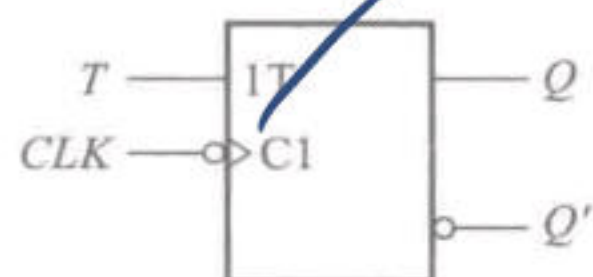


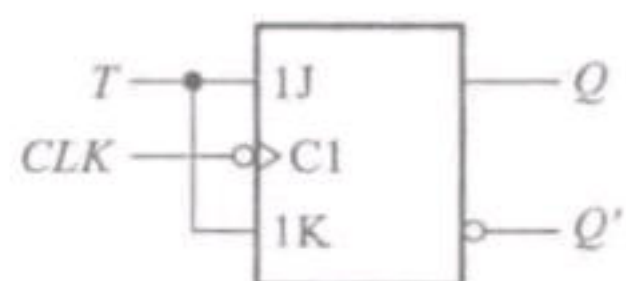
图 5.3.16 T 触发器的图形逻辑符号

边沿触发 [上升沿有效]

当 $T=0$ 时, 时钟信号到达后, 其状态保持不变, $T=1$ 时, Q 与 Q^* 相反

Q 是 Q^* 的前一个状态

$$Q^* = TQ' + T'Q$$



(b)

: JK 触发器改 T 触发器

JK 触发器是这几种触发器最复杂的

时序逻辑电路

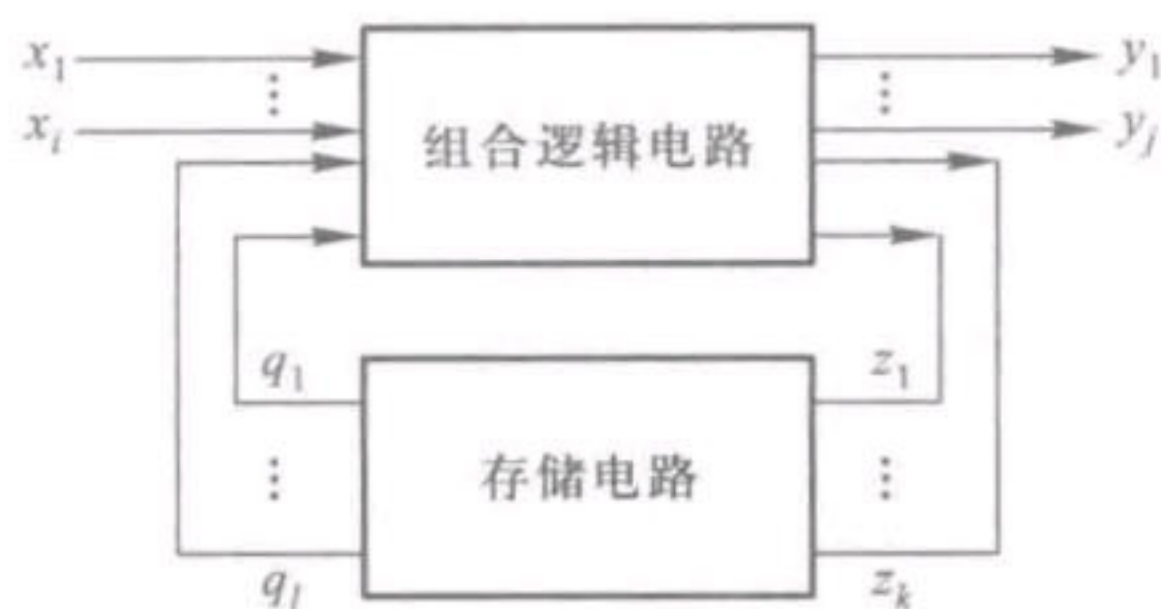


图 6.1.2 时序逻辑电路的结构框图

$$\begin{cases} Y = F[X, Q] \\ Z = G[X, Q] \\ Q^* = H[Z, Q] \end{cases}$$

分析方法:

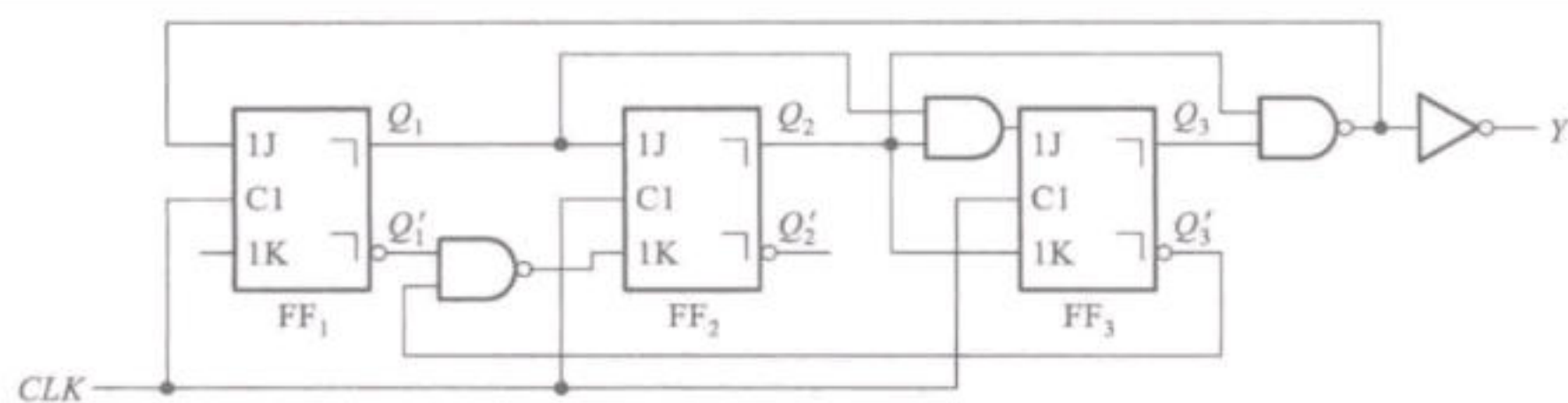


图 6.2.1 例 6.2.1 的时序逻辑电路

Q^* : 现态, Q : 次态

解: (1) 从图 6.2.1 给定的逻辑图可写出电路的驱动方程为

$$\begin{cases} J_1 = (Q_2 \cdot Q_3)' & K_1 = 1 \\ J_2 = Q_1 & K_2 = (Q_1' \cdot Q_3')' \\ J_3 = Q_1 \cdot Q_2 & K_3 = Q_2 \end{cases} \quad (6.2.1)$$

(2) 将式(6.2.1)代入 JK 触发器的特性方程 $Q^* = JQ' + K'Q$ 中去, 于是得到电路的状态方程

$$\begin{cases} Q_1^* = (Q_2 \cdot Q_3)' Q_1' \\ Q_2^* = Q_1 \cdot Q_2' + Q_1' \cdot Q_3' \cdot Q_2 \\ Q_3^* = Q_1 \cdot Q_2 \cdot Q_3' + Q_2' \cdot Q_3 \end{cases} \quad (6.2.2)$$

(3) 根据逻辑图写出输出方程为

$$Y = Q_2 \cdot Q_3 \quad (6.2.3)$$

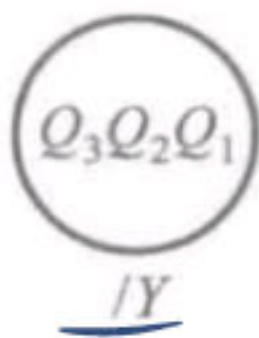
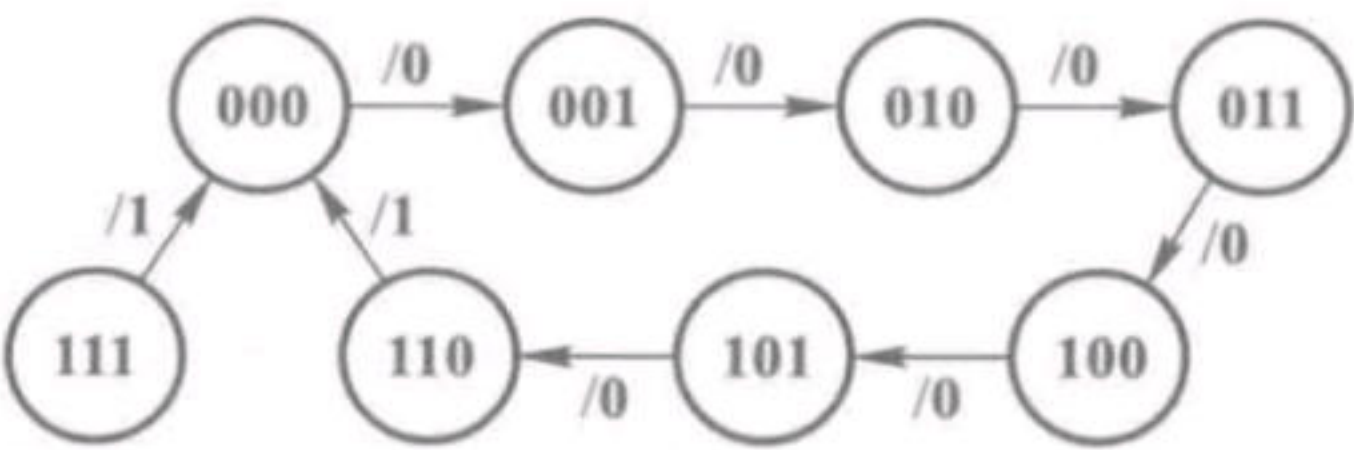
表 6.2.1 图 6.2.1 电路的状态转换表

次态 Q_3^*	次态 Q_2^*	次态 Q_1^*	现态 Q_3	现态 Q_2	现态 Q_1	输出 Y
0	0	0	0	0	0	0
0	0	1	0	0	1	0
0	1	0	0	1	0	0
0	1	1	0	1	1	0
1	0	0	1	0	0	0
1	0	1	1	0	1	0
1	1	0	1	1	0	1
1	1	1	1	1	1	1

② 状态转换表

输出状态看次态

Date: /



②' 状态转换图

1的右边为输出

图 6.2.2 图 6.2.1 电路的状态转换图

