

1. 截止2019年，世界上最快的超级计算机是：

- ☐ A 神威·太湖之光
- ☐ B Summit
- ☐ C Sierra
- ☐ D 天河二号

2. 截止2019年，在TOP500中，
拥有超算最多的国家/地区是

- A 中国
- B 美国
- C 日本
- D 欧盟

3. 下列部件中，属于运算器的是

- ☐ A ALU
- ☐ B PC(程序计数器)
- ☐ C AR
- ☐ D Cache

4.计算机硬件能直接识别和执行的计算机语言是

- ☐ A 智能语言;
- ☐ B 高级语言;
- ☐ C 汇编语言;
- ☐ D 机器语言。

5. 某计算机的内存为16GB ,
若用 2^n B表示 , 则n的值为 :

A 24

B 30

C 34

D 44

1. 下列设备中，属于输入/输出设备的是：

- ☐ A 运算器
- ☐ B 麦克风
- ☐ C 打印机
- ☐ D 控制器
- ☐ E 键盘，鼠标
- ☐ F 扫描仪

2. 下列内容中，不属于计算机硬件系统的是

- A Linux
- B CPU
- C 存储器
- D 数据库管理系统
- E 显示器
- F 腾讯课堂

1. 一台300MHz处理机执行标准测试程序，程序指令数为100000条，测得有效CPI的值为0.75，则该机的MIPS速率为： MIPS.

2. 计算机的系统可以分为计算机软件和 [填空1] 两大类

3. 反映计算机性能的参数包括主频、机器字长、数据通路宽带、 [填空2] 、存储器容量等

1.已知浮点数N的32位IEEE754标准存储格式为BF400000H，求数N的十进制真值。

由题意，S,E,M为（二进制）：

S= [填空1]；

E= [填空2]

M= [填空3]

因此，e= [填空4]

代入公式，可求出N的十进制真值为： [填空5]

2. 已知浮点数N的十进制真值为 +17.25，试将其转换成32位IEEE754浮点数的存储格式（最终结果要求用十六进制表示）

先将N转换成1.M的形式，即：

$$[\text{填空1}] \times 2^4$$

由此得，S= [填空2]；

E= [填空3] (二进制)

M= [填空4]

因此，N的存储格式为：

[填空5] H

3. 已知机器字长32位，对于定点整数中的机器零，请分别给出原码，反码，补码，移码的编码表示（要求用十六进制表示）。

原码：+0，[填空1] H

-0，[填空2] H

补码：[填空3] H

反码：+0：与原码一样；

-0：[填空4] H

移码：[填空5] H

4. 设机器字长为16位,定点整数N的编码为FFFEH,试计算其分别表示原码、反码、补码及移码时,对应的十进制真值各是多少?

(1) 原码,对应的十进制真值为: [填空1];

(2) 补码,对应的十进制真值为: [填空2];

(3) 反码,对应的十进制真值为: [填空3];

(4) 移码,对应的十进制真值为: [填空4]。

5. 已知定点小数： $X=+33/64$ ， $Y=-61/64$ ，试使用变形补码方式分别计算（要求对运算结果进行溢出检测，若溢出，要求指明正溢/负溢）：

（1） $X+Y$ ； （2） $X-Y$ 。

先求出 $X, Y, -Y$ 的变形补码：

$$[X]_{\text{补}} = \text{[填空1]}$$

$$[Y]_{\text{补}} = \text{[填空2]}$$

$$[-Y]_{\text{补}} = \text{[填空3]}$$

$$[X]_{\text{补}} + [Y]_{\text{补}} = \text{[填空4]}$$

即 $X+Y$ 为 [填空5]

$$[X]_{\text{补}} - [Y]_{\text{补}} = \text{[填空6]}$$

即 $X-Y$ 为 [填空7]

6. 已知定点小数： $X=-17$ ， $Y=-30$ ，设数值位为5位。试使用变形补码方式分别计算（要求对运算结果进行溢出检测，若溢出，要求指明正溢/负溢）： $X+Y$

$[X]_{\text{补}} =$ [填空1]

$[Y]_{\text{补}} =$ [填空2]

$[X]_{\text{补}} + [Y]_{\text{补}} =$ [填空3]

即 $X+Y$ 为 [填空4]

7. 设 $X = +15/32$, $Y = -13/32$,
试用带求补器的原码阵列乘法
器计算： $X \times Y$ 。

8. 设 $X = +15/32$, $Y = -13/32$,
试用带求补器的补码阵列乘法
器计算： $X \times Y$ 。

9.已知 $x = -11011$, $y = -10111$,
试用直接补码阵列乘法计算
 $x \times y$ 。

10. 已知数X和Y的二进制真值为： $X = -1.11001B$ ， $Y = +0.0011111B$ ，试用浮点运算方法计算： $X - Y$ 。要求计算过程中：先将X和Y规格化表示再进行计算，浮点数的表示格式中：阶码占3位，尾数占6位（都不包括符号位）；阶码和尾数均采用含双符号位的补码表示。运算结果的尾数取6位（不含符号位），舍入规则用“截去”法。

1. 一台100MHz处理机,运行某个测试程序时,其获得的性能为0.5CPI,则其MIPS速率为 ____ 。

- ☐ A 50MIPS;
- ☐ B 100MIPS;
- ☐ C 200MIPS;
- ☐ D 400MIPS。

2. 在下列按IEEE754标准存储的单精度数中,其中最大的数是 ____。

- A 8D570000H;
- B 9AC9E010H;
- C 50E45000H;
- D A9180000H。

3. 已知机器字长32位，下列移码的编码中，最大的数是_____。

- A 283F0600H;
- B 440800F0H;
- C 6C680000H;
- D 8070FF00H。

4. 已知数N的真值为-32768, 则其补码为 ____。

- ☐ A FFFFH;
- ☐ B 8000H;
- ☐ C 8001H;
- ☐ D 7FFFH。

5. 已知机器字长32位,数X的移码为F009A020H,则其补码为 ____。

- ☐ A F009A01FH;
- ☐ B 7009A019H;
- ☐ C 7009A020H;
- ☐ D F009A019H。

6. 已知采用变形移码进行运算
(其中符号位2位,数值位4位),
运算结果负溢的是_____。

A 000110;

B 100110;

C 010110;

D 111101。

7. 下列内容为变形补码运算的结果,其中运算结果为负溢的是 ____ 。

- A 10.101101;
- B 11.011011;
- C 01.010101;
- D 00.001011。

8. 在定点数的阵列乘法器中, 符号位与数值位一起参与计算的是_____。

- A** 不带符号的阵列乘法器;
- B** 带求补器的原码阵列乘法器;
- C** 直接补码阵列乘法器;
- D** 带求补器的补码阵列乘法器。

9. 利用74181构成组间串行进位的32位ALU,需要74181的数目是_____。

A 64;

B 32;

C 16;

D 8。

10. 下列浮点运算的尾数,采用补码表示,需要右规格化的是
_____。

- A 00.011011;
- B 00.100101;
- C 01.110101;
- D 11.110011。

- 1.已知数N的二进制真值为:
 $N = -0.00101101$,则其补码为(用二进制表示): [填空1]
- 2.已知机器字长16位,数X的原码为:8003H,则其移码为(用十六进制表示): [填空2]
- 3.已知机器字长32位,数N为定点小数,其补码最小值是: [填空3] 。
- 4.已知数X的补码为:
 $[X]_{\text{补}} = 1.1011000$,则
 $[X/8]_{\text{补}} =$ [填空4]。(数值位保留7位)

5.已知,采用 5×5 的直接并行补码阵列乘法,阵列运算得到的结果为: **1(1)1(1)(1)00001**

则:

(1)若是整数,该阵列运算结果的十进制真值为 **[填空1]** 。

(2)若是小数,则阵列运算结果的二进制真值为 **[填空2]** 。

6.若某次浮点数加法的运算结果为 $[X+Y]_{\text{补}}$ 为：

11 010, 00.00001101

运算结果要进行规格化, 应采用 [填空1] (填 “左” 或 “右”)规格化,

规格化后,尾数为(数值位要求保留8位,符号位2位): [填空2]

阶码为(符号位2位,数值位3位): [填空3] 。

判断是否溢出: [填空4] (填 “是” 或 “否”)

1.将十进制数 $N=20.75$ 转换为32位IEEE754浮点数存储格式，结果用十六进制表示。

由题意，把数 N 变成 $1.M$ 的形式：
[填空1] $\times 2^e$

$S=0$; $e=$ [填空2]

$E=$ [填空3] (填二进制)

$M=$ [填空4] (最后的那些0不填)

因此，32位IEEE754存储格式为：
[填空5]

把第1题的计算过程拍照，以
图片形式上传。

2. 已知机器字长16位，分别给出四种码制最大值和最小值编码（用十六进制表示）。

答: (1) 最大值：原码，反码，补码的最大值都一样，其编码为
[填空1]

移码最大值编码[填空2]；

(2) 最小值：

原码 [填空3]；

反码 [填空4]；

补码 [填空5]；

移码 [填空6]。

3. 已知定点小数： $X = -47/64$ ， $Y = +53/64$ ，试使用变形补码方式分别计算（要求对运算结果进行溢出检测，若溢出，要求指明正溢/负溢，计算过程数值位保持6位，多余位数内容舍去）： $X/2 - Y/4$ 。

先求出 $X, -Y$ 的变形补码：

$$[X]_{\text{补}} = \text{[填空1]}$$

$$[-Y]_{\text{补}} = \text{[填空2]}$$

$$[X/2]_{\text{补}} = \text{[填空3]}$$

$$[-Y/4]_{\text{补}} = \text{[填空4]}$$

$$[X/2]_{\text{补}} + [-Y/4]_{\text{补}} = \text{[填空5]}$$

$$\text{即 } X/2 - Y/4 \text{ 为 [填空6]}$$

把第3题的计算过程拍照，以
图片形式上传。

4. 设 $x = -17, y = +15$,用带求补器的补码阵列完成计算： $x \times y$ 。

(数值位均为5位，符号位1位)

【答】 $[x]_{\text{补}} =$ [填空1]

$[y]_{\text{补}} =$ [填空2]

符号位： $x_f \oplus y_f =$ [填空3]

算前求补得：

$X' =$ [填空4] , $Y' =$ [填空5]

阵列运算输出为： [填空6]

算后求补输出： [填空7]

$[x \times y]_{\text{补}} =$ [填空8]

即 $x \times y =$ [填空9]

把第4题的计算过程拍照，以
图片形式上传。

5. 设 $x = +19, y = -13$, 用 6×6 直接补码阵列完成计算： $x \times y$ 。

【答】 $[x]_{\text{补}} =$ [填空1] ,

$[y]_{\text{补}} =$ [填空2] ,

注：符号位含权，即符号位用括号括起来。

阵列计算的初步输出结果为：

[填空3] ；（ 有多个位含权 ）

阵列计算的最终结果：

[填空4] ；（ 只有最高位含权 ）

因此 $[x \times y]_{\text{补}} =$ [填空5]

$\therefore x \times y =$ [填空6]

把第5题的计算过程拍照，以
图片形式上传。

6. 已知浮点数X和Y(二进制)为：

$$X = -0.101111 \times 2^{-011},$$

$$Y = +0.110011 \times 2^{-010},$$

试用浮点运算方法计算： $X+Y$ 。浮点数的表示格式中,阶码占3位，尾数占6位（都不包含符号位）；阶码和尾数均采用双符号位的补码表示。舍入规则采用“末位恒置1”法。

$$[X]_{\text{浮}} = \text{[填空1]}$$

$$[Y]_{\text{浮}} = 11\ 110,00.110011$$

(1) 对阶，得 $\Delta E = -1$, X右移1位。即， $[X]_{\text{浮}} =$ [填空1]

(2) 尾数运算，得 [填空2]

(3) 规格化，运算结果需要进行 [填空3] (填 “左” 或 “右”) 规格化。规格化后的结果为： [填空4]

(4) 舍入处理，得 [填空5]

(5) 溢出判断，阶码运算无溢出，故浮点运算无溢出。

$X + Y =$ [填空6] $\times 2^{-011}$

把第6题的计算过程拍照，以
图片形式上传。

1. 某固态硬盘容量为1TB,即
_____。

A 2^{30} B;

B 2^{40} B;

C 2^{50} B;

D 2^{60} B。

2.在下列存储器的技术指标中,能反映工作速度的是_____。

- ☐ A 存储容量;
- ☐ B 可靠性;
- ☐ C 功耗;
- ☐ D 带宽。

3.SRAM芯片规格为64K×8位,采用双译码结构,其最少的地址选择线数目是 _____ 。

- ☐ A 216;
- ☐ B 256;
- ☐ C 512;
- ☐ D 1024。

4. 现要设计4GB的主存,存储芯片规格为256M×8位,需要该存储芯片的数目是_____。

A 64;

B 32;

C 16;

D 8。

5. 已知SRAM芯片容量为
4M×8位,按字节编址,若该芯
片的首地址为700000H,则该
芯片的末地址是_____。

- A BFFFFFFH;
- B 10FFFFFFH;
- C 73FFFFFFH;
- D AFFFFFFH。

6. 下列存储器中,按内容访问的是_____。

- ☐ A 相联存储器;
- ☐ B DRAM;
- ☐ C SRAM;
- ☐ D E2PROM。

7. 在Cache的地址映像方式中,若主存中的任意一块均可映像到Cache内的任意一块的位置,则这种映像方式为_____。

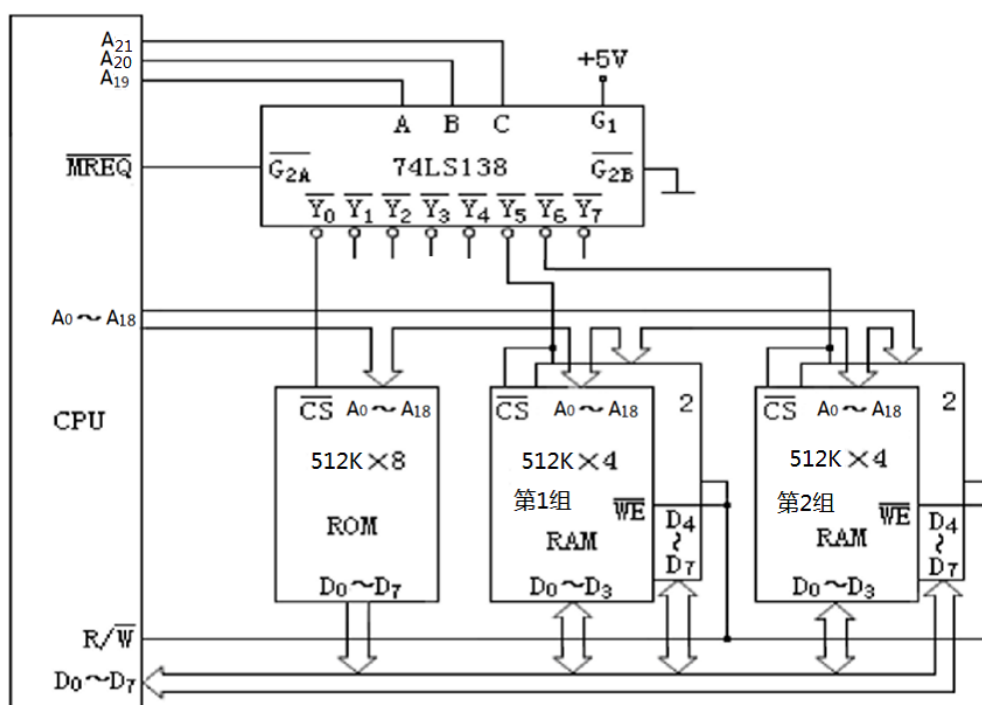
- ☐ A 全相联映像;
- ☐ B 直接映像;
- ☐ C 组相联映像;
- ☐ D 混合映像。

8. 某计算机的Cache容量为16KB,主存容量为64MB,块大小为1KB,采用直接映像,则主存分区大小为 _____ 。

- A 2^4 ;
- B 2^{10} ;
- C 2^{12} ;
- D 2^{16} 。

1. 某存储器与CPU的连接如图所示；ROM区域1片ROM芯片，其大小为512KB；RAM区域大小为1MB，RAM芯片使用512K×4位的SRAM芯片，有WE#和CS#信号控制端。CPU地址总线为22位，数据总线为8位，读/写控制信号为R/W#，访存允许信号为MREQ#。试分析ROM和各组RAM的地址范围。要求以十六进制形式描述，**填够位数**。

地址范围：首地址---末地址



ROM地址范围为：

[填空1] ---- [填空2] 。

第一组RAM地址范围为：

[填空3] ---- [填空4] 。

第二组RAM地址范围为：

[填空5] ---- [填空6] 。

2. 设主存储器容量为1G字，字长为64位，模块数 $m=8$ ，分别用顺序方式和交叉方式进行组织。主存储器的存储周期 $T=200\text{ns}$ ，数据总线宽度为64位，总线传送周期 $\tau=25\text{ns}$ 。若按地址顺序连续读取32个字，问顺序存储器和交叉存储器的带宽各是多少？

顺序存储器和交叉存储器按地址顺序连续读出32个字的信息总量都是：[填空1] b

顺序存储器和交叉存储器连续读出32个字所需的时间分别是：

$$t_{\text{顺}} = [\text{填空2}] \text{ ns}$$

$$t_{\text{交}} = [\text{填空3}] \text{ ns}$$

顺序存储器和交叉存储器的带宽分别是：

$$W_{\text{顺}} = [\text{填空4}] \text{ Mb/s}$$

$$W_{\text{交}} = [\text{填空5}] \text{ Mb/s}$$

注：填空5精确到小数点后1位。

3.某机的Cache-主存两级存储系统中，Cache的访问时间为50ns， $r=8$ ，命中率为96%，试求：主存存取周期，等效访问时间，效率。

主存存取周期为：[填空1] ns

等效访问时间为：[填空2] ns

效率为：[填空3]

4. 一台计算机的主存容量为256M字，Cache容量为256K字，每块的大小为2K个字。请设计主存地址格式和Cache地址格式。

（1）主存和Cache之间采用直接映像方式；

（2）主存和Cache之间采用组相联映像，假设每组为8块。

直接映像

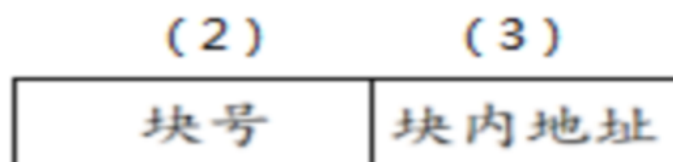
则各部分对应的位数是：

(1) [填空1]

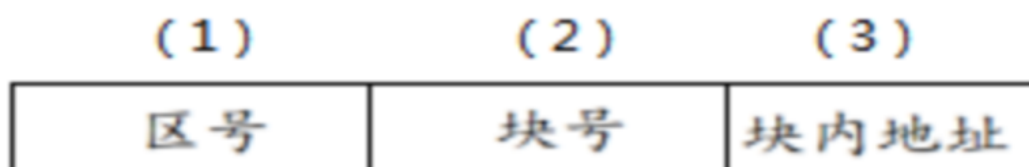
(2) [填空2]

(3) [填空3]

Cache地址格式



主存地址格式



组相联映像

则各部分对应的位数是：

(1) [填空1]

(2) [填空2]

(3) [填空3]

(4) [填空4]

Cache地址格式

(2)	(3)	(4)
组号	块号	块内地址

主存地址格式

(1)	(2)	(3)	(4)
区号	组号	块号	块内地址

CPU地址总线为20位，数据总线为8位，读/写控制信号为R/W#，访存允许信号为MREQ#。ROM芯片大小为128K×8位，起始地址为：00000H；RAM区域大小为256KB，使用128K×4位的SRAM芯片，有WE#和CS#信号控制端，起始地址为：80000H。问：

(1) RAM区域需要 [填空1] 片SRAM，分为 [填空2] 组；

各组RAM的地址范围是：

1组，首地址：[填空3]

末地址：[填空4]

2组，首地址：[填空5]

末地址：[填空6]

(2)根据给出的条件，画出连接图

已知系统的主存容量为64G字，Cache大小为16M字，块的大小为32K字。试根据下列地址映像的要求，分别给出对应映像方式下的主存地址格式和Cache地址格式，要求标明各段位数。

- (1) 采用全相联映像；
- (2) 采用直接映像；
- (3) 采用组相联映像，设每组有32块。

【选做题】CPU的地址总线16根(A15—A0 , A0为低位) ; 双向数据总线8根(D7—D0) , 控制总线中与主存有关的信号有 :

MREQ# , R/W#。

主存地址空间分配如下 :

0—8191为系统程序区 , 由只读存储芯片组成 ;

8192—32767为用户程序区 ;

最后(最大地址)6K地址空间为系统程序工作区。

现有如下存储器芯片 :

EPROM : 8K×8位(控制端仅有CS);

SRAM : 16K×1位 , 2K×8位 , 4K×8位 , 8K×8位。

请从上述芯片中选择适当芯片设计该计算机主存储器 , 画出主存储器逻辑框图 , 注意画出选片逻辑(可选用门电路及3 : 8译码器 , 2:4译码器)与CPU 的连接 , 说明选哪些存储器芯片 , 选多少片。

1. 某机器字长16位，其指令系统采用单字长指令，该指令系统有三类指令，分别是二地址指令，一地址指令和零地址指令；其操作码采用可变长操作码，每个地址码长度均为6位；已知二地址指令有15条，一地址指令62条。试分析：

- (1) 画出三种指令格式；
- (2) 零地址指令最多有多少条？
整个指令系统可以有多少条指令？
- (3) 若一地址指令要求设计240条，则二地址指令最多能有多少条？

2. 设机器字长为16位，某机器指令格式如下所示，其中OP为操作码字段，X为寻址特征位，试分析指令格式的特点。

31	26	25	23	22	18	17	16	15					0
OP		X		源寄存器		变址寄存器		位移量					

3.机器字长16位，一种RS型指令的结构如下所示，其中，OP为操作码字段，R为通用寄存器字段，MOD为寻址方式字段，Rb为基址寄存器字段，Rx为变址寄存器字段，通过MOD、R、Rb、Rx、A的组合，可构成如下表所示的寻址方式。

6位	2位	3位	2位	1位	2位	16位
OP	R	MOD	R	R _b	R _x	A

寻址方式	MOD	有效地址E
①	000	$E=A$
②	001	$E=(PC)+A$
③	010	$E=(R_b)+A$
④	011	$E=(R_x)+A$
⑤	100	$E=(A)$
⑥	101	$E=(R)$

(1) 请写出6种寻址方式的名称；并给出对应的寻址范围。

(2) 该指令模型最多可以有多少条指令？寻址方式是否还可以增加？若可以，还能增加几种？

4.某机的16位单字长访内指令格式如下：

4位	2位	1位	1位	8位
OP	MOD	I	X	A

其中A为形式地址；I为间接特征位，
I=0表示直接寻址，I=1表示间接寻址；
MOD为寻址模式：

00表示绝对寻址，01表示基址寻址，
10表示相对寻址，11表示立即寻址；

X为变址特征位，X=0表示非变址寻址，
X=1表示变址寻址。设PC、Rx、Rb分别表
示程序计数器、变址寄存器、基址寄存器，
E为有效地址。请问：

(1)该指令格式最多能定义多少种不同功
能的指令？立即寻址时，操作数的范围是多
少？（给出无符号和带符号数的范围）

(2)在非间接非变址寻址的情况下，即
I=0且X=0的情况下，写出各寻址方式有效
地址的表达式。

(3)设基址寄存器为14位，在非变址直接
基址寻址时，确定该寻址方式可寻址的地址
范围。

(4)间接寻址时，寻址的地址范围是多少？

5. 某单片机字长为16位，主存储器容量为32K字，采用单字长单地址指令，共有64条指令。试采用直接、立即、变址和相对四种寻址方式设计指令格式。

6. 机器字长32位，主存容量为1MB，16个通用寄存器，共32条指令，请设计单字长双地址指令格式，其中一个操作数固定为寄存器寻址，另一个操作数的寻址方式有立即、直接、寄存器、寄存器间接、变址（变址寄存器可用通用寄存器）、相对六种寻址方式。并指明寻址范围最大的寻址方式及寻址范围。

1.以下四种类型指令中,执行时间最长的是 ____ 。

- ☐ A RR型指令;
- ☐ B RS型指令;
- ☐ C SS型指令;
- ☐ D 程序控制指令。

2.下列寻址方式中,操作数在指令中直接给出的是 _____ 。

- ☐ A 寄存器直接寻址;
- ☐ B 立即寻址;
- ☐ C 相对寻址。
- ☐ D 堆栈寻址

3.下列寻址方式中,操作数地址在指令中直接给出的是 ____ 。

- ☐ A 直接寻址;
- ☐ B 间接寻址;
- ☐ C 隐含寻址 ;
- ☐ D 变址寻址。

4. 操作数有效地址 $E = (PC) + A$ 的是_____。

- ☐ A 立即寻址;
- ☐ B 间接寻址;
- ☐ C 基址寻址;
- ☐ D 相对寻址。

5. 已知某机器,共有97条指令,采用固定操作码编码,则需要编码的位数是 _____。

A 5;

B 6;

C 7;

D 8。

1. 某机器指令字长为12位，其指令形式有三种：三地址指令，单地址指令和零地址指令；其中每个地址码的码长均为3位。现以扩展操作码为其指令编码方案：三地址指令有4条，单地址指令有255条，零地址指令有16条。试分析：

（1）画出三种指令的格式；

（2）该编码方案能否实现？说明理由。

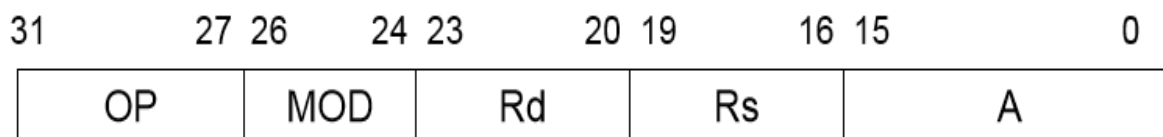
（3）如果把单地址指令改为254，能否完成编码？说明理由。

2. 设某指令系统，指令字长为16位，有三类指令，分别为二地址指令，一地址指令和零地址指令。已知地址码为6位，操作码采用可变长扩展码。已知该指令系统中，一地址指令125条，试完成如下内容：

- (1) 设计该指令系统的三种指令格式；
- (2) 二地址指令最多有多少条？
零地址指令最多有多少条？
- (3) 该指令系统最多有多少条指令？

3. 已知机器字长为16位，采用单字长单地址指令，共有61条指令，通用寄存器为8个，变址寄存器可使用通用寄存器R0，程序计数器为PC。寻址方式有四种：直接寻址、寄存器间接寻址、相对寻址、变址寻址。试设计满足上述要求的指令格式，并给出对应寻址方式的有效地址表达式和实际寻址范围。

4. 已知机器字长为32位，采用单字长RS型指令结构，指令格式如下所示：



已知，指令执行的功能是： **$Rd \leftarrow Rd \text{ OP } S$** ，
其中**S**为按**MOD**给出的寻址方式（由**Rs**、**A**确定有效地址），从存储器中读出操作数；
Rd为目标寄存器，**Rs**为源寄存器，**A**为形式地址。变址寄存器，基址寄存器可以采用通用寄存器。寻址方式定义如下：

MOD = 000，立即寻址；

MOD = 001，直接寻址；

MOD = 010，寄存器寻址；

MOD = 011，寄存器间接寻址；

MOD = 100，变址寻址；

MOD = 101，基址寻址；

MOD = 110，相对寻址；

MOD = 111，间接寻址。

(1) 该指令格式，最多可以有多少条指令？

(2) 在给出的寻址方式中，寻址范围最大的是哪些？具体寻址范围是多少？

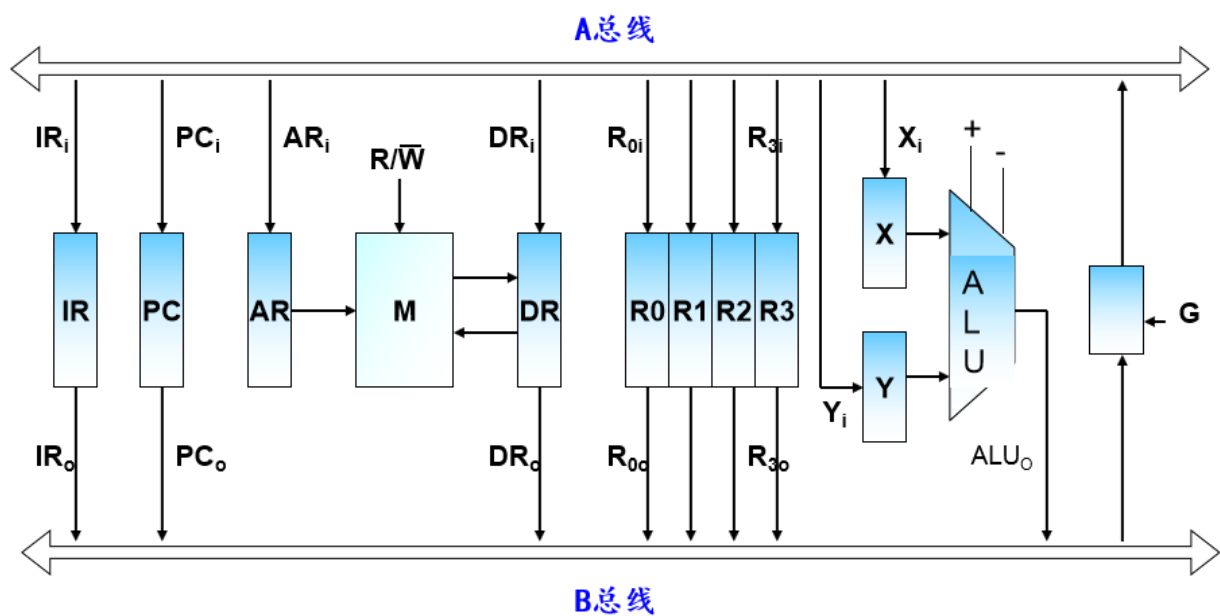
(3) 已知 $R0=80000000H$,
 $R1=0A006500H$, $R2=60408000H$,
 $R3=99458800H$, $R4=C5057900H$,
 $R5=30000000H$, $PC=60000000H$,
($00004000H$) = $00CA8900H$,
($00007600H$) = $60C67800H$,

试分析下列指令编码中，有效地址分别是多少？

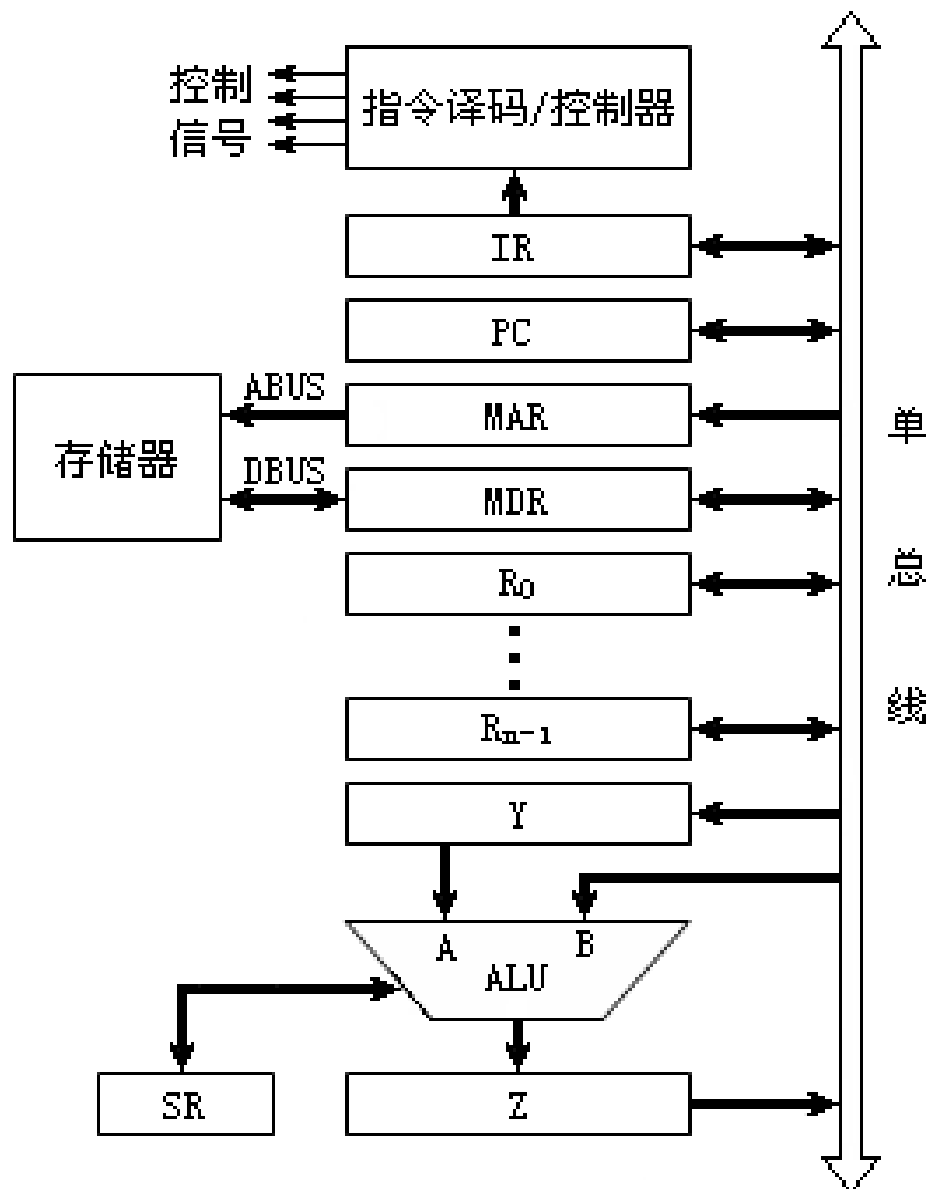
- ① $B9A39850H$; ② $965C8400H$;
③ $7B420EC0H$; ④ $3C419A00H$;
⑤ $65B0DF00H$; ⑥ $5F954000H$ 。

1. 参见教材图5.13所示的数据通路。取数指令：LDA (R_s), R_d

画出指令周期流程图，其含义是将(R_s)为地址的主存单元的内容传送至目的寄存器 R_d 。标出相应的微操作控制信号序列。

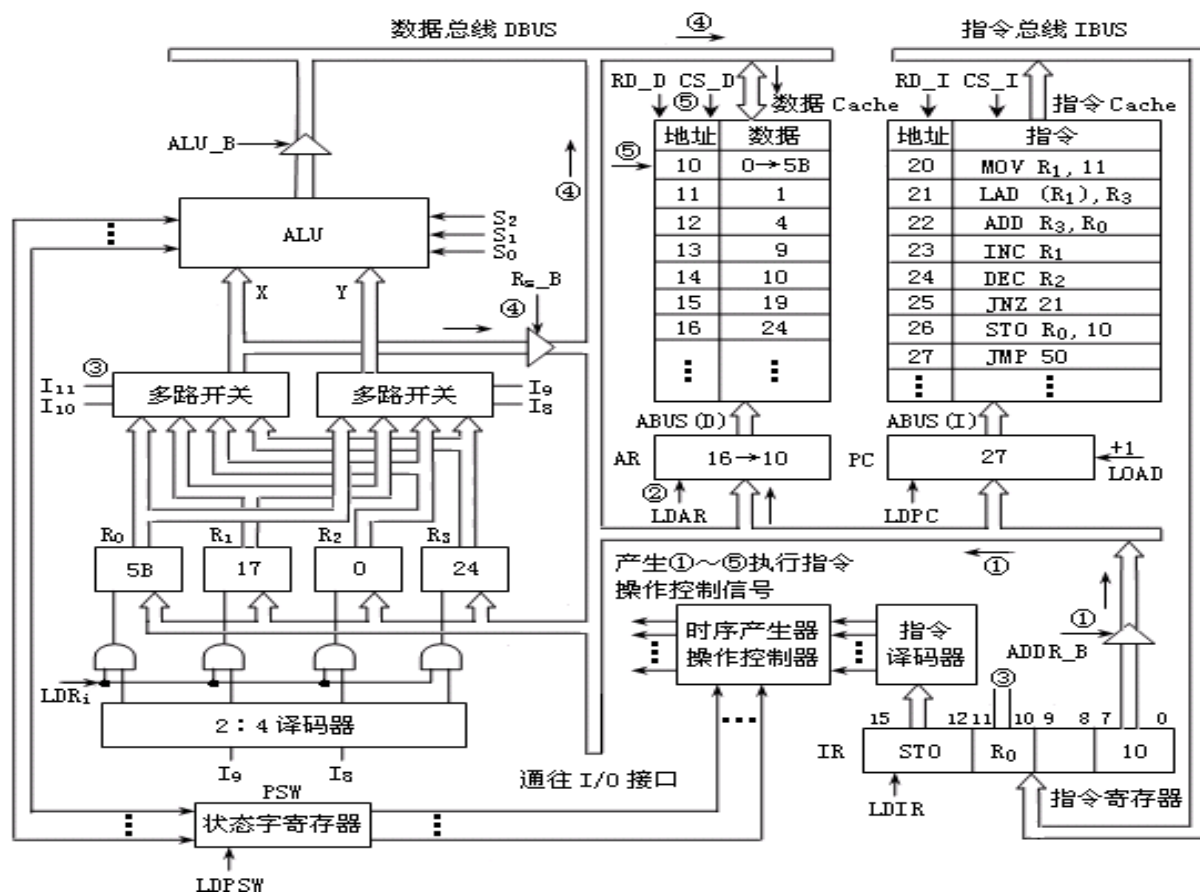


2. 参见教材图5.15所示的数据通路。试画出减法指令“SUB R1, (R3)”的指令周期流程图。其功能是： $R1 - (R3) \rightarrow R1$ 。



3. 参见教材图5.10所给出的数据通路。试画出送数指令

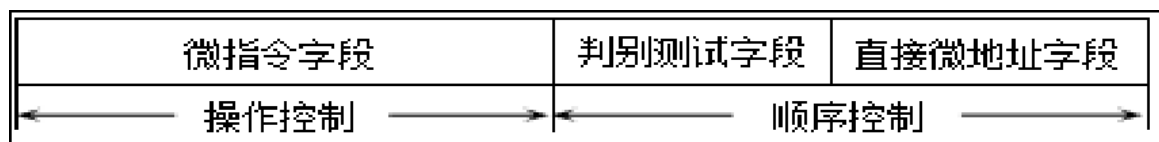
“STO R0, 10”的指令周期流程图。其功能是： $R0 \rightarrow (10H)$ ，并在流程框图外标注使用到的微操作控制信号。



4. 已知某机采用微程序控制方式，其控制存储器容量为 512×48 位。微指令字长为48位，微程序可在整个控制存储器中实现转移，可控制微程序转移的条件共4个（直接控制），微指令采用水平型格式，如图所示。

(1)微指令格式中的三个字段分别应为多少位？

(2)画出围绕这种微指令格式的微程序控制器逻辑框图。



5. 已知某CPU的微指令字长为32位，其中测试字段长度为5位，微操作控制信号共有70个，构成5个相斥类的微命令组，各组包含微命令的数量分别是：7个，8个，8个，16个，31个，试分析：

（1）给出该微指令的格式（要求标注清楚操作控制字段、测试字段以及直接微地址字段位数）；

（2）针对给出的微指令格式，控存容量为多少位？

（3）若不限定微指令字长，其直接微地址字段长度与（1）中的相同，每个微命令采用直接表示法，则微指令字长需要多少位？