

# 集成电路导论笔记

## 一. 集成电路的起源和特点

小结：1. 集成电路是国家发展战略的核心保障，给来的中华民族伟大复兴带来机遇。

2. 本系列课程有助于了解集成电路产业，尤其是制造的为主的知识了解
3. 集成电路发展中证明了科学催生新产业，工程技术推动发展的作用
4. 产业技术发展的节奏开始趋缓，即进入后摩尔时代
5. 集成电路产业链分布中的三大板块：设计、制造、封测
6. 产业中制造的核心技术是成套工艺，其中三大挑战：图形、材料、良率
7. 集成电路制造未来一定进入虚拟制造、智能制造
8. 介绍了光刻机的概况，以及技术节点的定义与物理线条的关系
9. 浙大建立了全国唯一的 12 吋成套工艺的试验线支撑产教融合培养人才

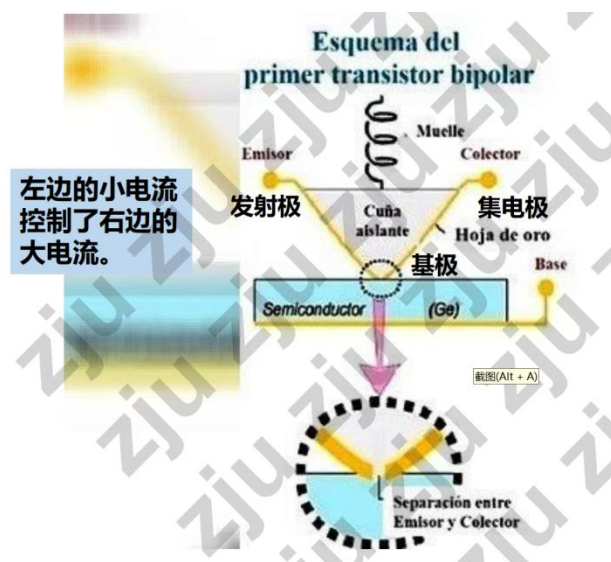
### 知识点

1. 集成电路在多个方面和领域的重要性
2. 第一个集成电路是在什么材料上实现的？和现代集成电路所用衬底材料有何不同？硅基集成电路的优势是什么？

第一个集成电路：相移振荡器和触发器，共 12 个器件，器件之间是介质隔离，把晶体管和电阻、电容等集成在锗上（Hybrid Integrated Circuit）

优势：将各种器件制作在同一硅晶片上，再用平面工艺将其连接起来，就能制造出多功能的电子线路。这一技术可以使电路的体积减小、重量减轻、并使成本下降

3. 第一个晶体管的基本工作原理

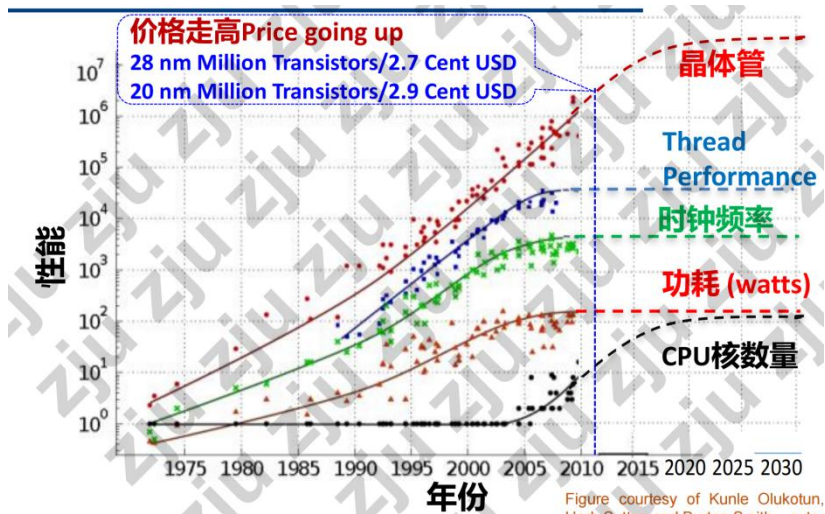


4. 集成电路的产业发展规律有哪些？

摩尔定律：当价格不变时，集成电路上可容纳的元器件数量约每年增加一倍，性能也将提升一倍（1965）。后面 Moore 修正为：单位面积芯片上的晶体管数量每两年能实现翻番（1975）

晶体管单价、数量发展规律

后摩尔时代：价格走高、成本下降趋缓



5.

6. 集成电路产业链分为几个板块？我国在每个板块处于怎样的位置？

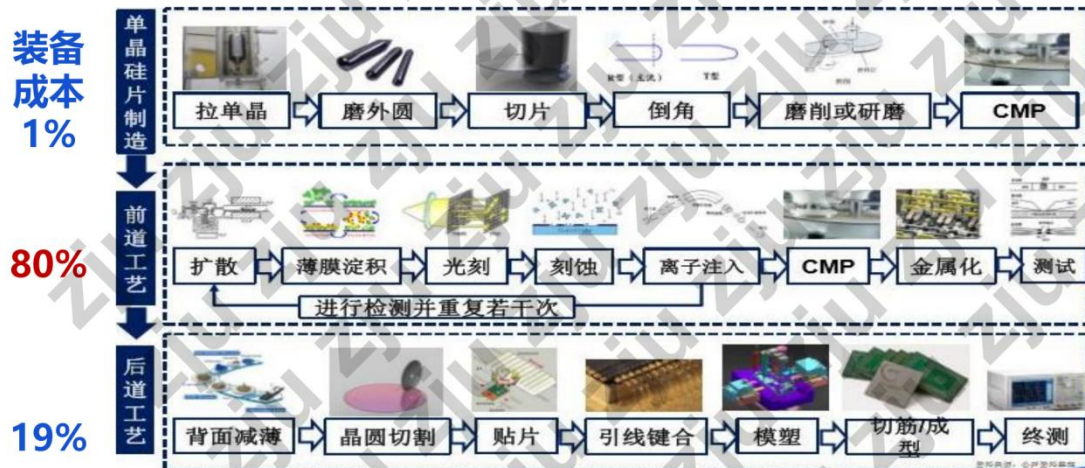
板块：设计、制造、封测

80%资源在芯片制造前道成套工艺

6. 什么是集成电路成套工艺，成套工艺难在哪里，主要挑战在哪几个方面？

超大规模系统工程、精度逼近物理极限

### 集成电路芯片制造工艺流程示意图



三大挑战：基础挑战：精密图形

核心挑战：新材料

终极挑战：提升良率

7. 虚拟和智能制造的优势是什么？

· 可共享的一条配置数十至数百台先进工艺设备产线，形成可实际运行的大数据库

- 将一套实际工艺运行技术数据，经过 AI 适当转化后，建成虚拟产线
- 通过远程登录等形式，接触和实际运行这样的虚拟真实的 IC 制造产线
- AI 技术可以进行工艺状况的大数据分析达到智能制造。颠覆传统设计制造的产业模式

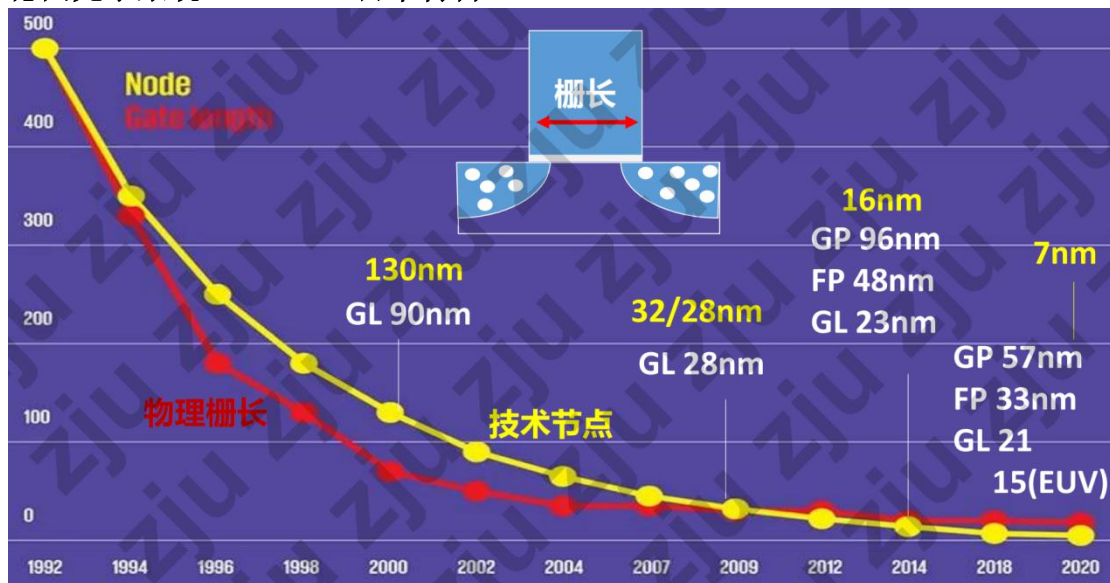
8. 了解多种图形化技术

9. 了解光刻机的概况，以及技术节点的定义与物理线条的关系

- 光刻工艺研发主要通过 OPC，离轴照明，及相移掩模技术等来降低  $k_1$  值
- 刻蚀工艺主要依靠非平衡态低温等离子体（电子温度  $\gg$  离子温度；有序能量  $\gg$  随机能量）

**EUV 光刻三大挑战：光源，光刻胶和掩模版**

荷兰腔体+英国真空（32%），美国光源（27%），  
德国光学系统（14%），日本材料（27%）



## 二. 产业和学科交叉

- “中国芯”发展道路艰辛漫长
  - 后摩尔时代减缓的节奏是发展机遇
  - 特色工艺支持系统先进性，先进封装技术大有可为
  - 可控的 55nm 意义更大（相比完全进口的 7nm）
  - 交叉学科创新需要得到重视（重视基础学科）
  - 产学研结合集成电路芯片制造公共平台重要
  - 开展共性技术研发、加强制造设计一体化
  - 产教融合、科教协同、培养产业急需人才
  - 支持装备、材料、成套工艺验证支持产业链建
  - 芯片成套工艺提供交叉学科发展舞台 & 交叉学科通过成套工艺体现价值
- 科研是手段，产业是目的，产能是王道

知识点：1. 集成电路起源于科学，发展于工程技术，工科特征主导 2. 现阶段主要挑战在于传统教育体系与新兴交叉学科之间的矛盾，尤其是 集成电路工艺科学与技术 3. 集成电路产业的标志性技术水平应该是完整的工艺流程 4. 产学



研合作对于未来的技术发展至关重要 5. 科研成果只有通过初步试验才能转化为产业成果 6. 在大学内部建设初步试验非常重要，这样可以整合多学科，实现研究成果的产业化 7. 成套工艺基础上的深度共创是 AI-PTD（工艺研发）落地的关键 8. 成套工艺公共平台大数据支持新工科教育、智能制造、校际合作

- (1) IC 产业背景
1. 集成电路产业是基础性、先导性和战略性产业
  2. 产业发展的主要挑战有两方面：政治性和市场性
  3. 产业链的长度和和学科交叉的宽度为行业之巅
  4. 全球人类的智慧结晶支撑了集成电路产业技术发展
  5. 全球化分工造就了产业盛况
  6. 绝对排除外来技术发展产业不现实
  7. 芯片制造和研发成本迅速提高，呈现资金密集型特点
- (2) 摩尔定律
1. 摩尔定律不是物理规律、只是技术发展与成本的妥协的产物  
摩尔定律的基础是成本不变提升技术
  2. 每两年晶体管密度翻倍导致人类生活和社会结构变革
  3. 5G 通信、人工智能 AI 和大数据的基础是底层的摩尔定律
  4. 龙头企业芯片技术发展节奏趋缓标志进入后摩尔时代
  5. 技术节点只是个标志，与晶体管得物理栅长相关
- (3) 技术创新机遇：1. 全球趋缓的技术发展步伐给我们追赶者机会 2. 仅仅依靠尺寸微缩无法需求，泛摩尔定律 (More than Moore) 支持后续技术发展 3. 非数字产品工艺是后摩尔时代创新的主战场 4. 交叉学科在芯片制造工艺中的潜力大有作为 5. 未来芯片技术发展四大方向：冯氏硅基、冯氏类硅、类脑模式、 新型范式

	硅技术Silicon	新兴技术Emerging
冯诺依曼架构	<b>“硅-冯” 范式</b> 二进制基础的MOSFET和CMOS(平面)和泛CMOS（立体栅FinFET、纳米线环栅NWFET、碳纳米管CNTFET等技术）。 瓶颈： $p \propto f^3$	<b>类硅模式</b> 现行架构下NC FET(负电容)、TFET(隧穿)、相变FET、SET(单电子)等电荷变换的非CMOS技术。 延续摩尔定律的主要技术
新兴架构	<b>类脑模式</b> 3D封装模拟神经元特性，存算一体等计算，并行性、低功耗的特点，人工智能的主要途径。 有产业前景	<b>新兴范式</b> 状态变换(信息强相关电子态/自旋取向)、新器件技术(自旋器件/量子)和新兴架构(量子计算/神经形态计算)。 属基础研究范畴

### 三、芯片制造成套工艺和关键技术

总结：

1. 图形转换工艺是集成电路芯片技术发展的第一大瓶颈
2. 只有光刻和刻蚀技术的支撑下，芯片制造技术才得以发展
3. 新型材料的不断引进，给 32nm 芯片 PMOS 提供了 70% 的性能提升，同时也带来了新材料新工艺的挑战
4. 在大生产中的工艺流程还要面对工艺中统计涨落挑战，严峻的工艺误差是大生产的主要杀手之一
5. 技术节点发展到纳米级以后，这种涨落必须要通过先进的设计工艺协同优化技术来控制
6. 技术发展中的晶体管结构从 2 维发展到 3 维以及以后的围栅 GAA 和纳米线结构，对芯片制造工艺将面临更严峻的挑战

#### (1) 简介

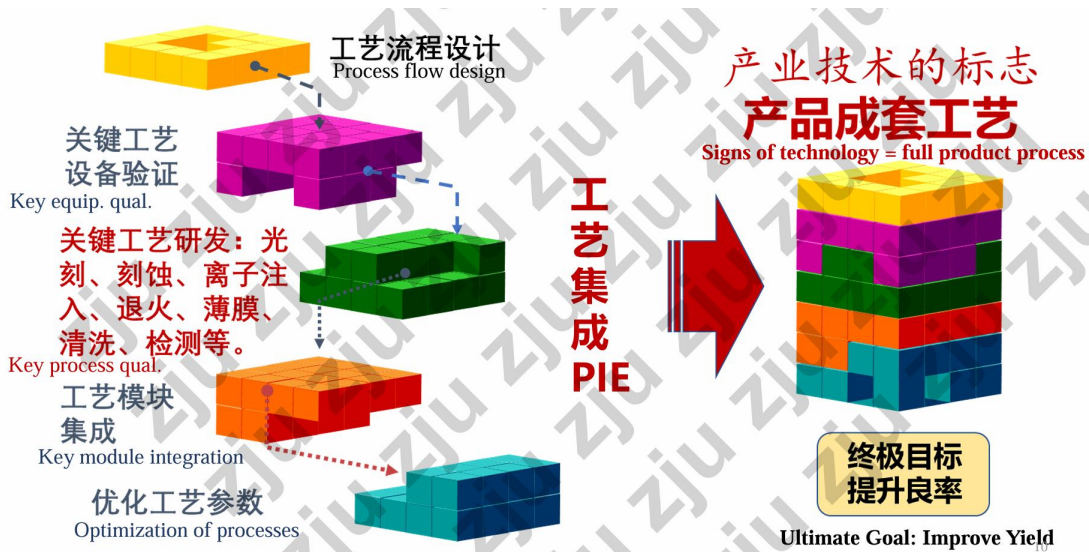
1. 在摩尔时代的集成电路芯片制造技术发展主要有两个方向，即降低芯片的特征尺寸和增大硅片的尺寸。

芯片关键尺寸 CD(CriticalDimension)微缩是提高性能和降低成本的最佳途径。

(降低成本方法 1)

芯片产出正比于面积，增大硅片面积 (降低成本方法 2)

#### 2. 成套工艺流程



#### (1) 关键技术

1. 四种主要工艺：氧化；图形化：光刻和刻蚀；离子注入/活化和离子扩散；薄膜沉积

尽管成套工艺的工艺步骤繁多，但是关键步骤只有氧化、图形化、掺杂和薄膜沉积、清洗和化学机械抛光 (CMP) 等几大类，这些步骤的不同排列组合，最终完成芯片的成套工艺流程

2. 光刻工艺：把设计好的图形转移到具备光敏特性材料 覆盖的硅片上的技术。

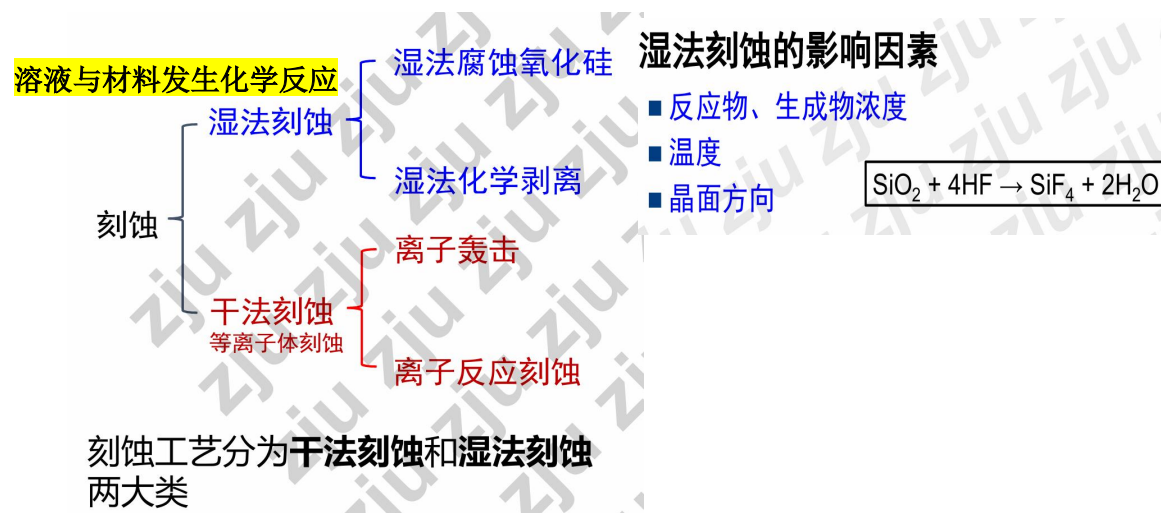
- 首先，需要把设计好的图形转移到掩模版 (类似传统照相中的底片)
- 然后，需要把在掩模版上的设计线路图型转移到硅片上去

• 曝光工艺（俗称光刻）中的关键指标包括：分辨率、套刻精度、缺陷率等等。光刻工艺中最关键的材料是光刻胶，其敏感度依赖于光的波长，目前产业界主流光刻工艺中光源波长为 436nm(i 线)，356nm (g 线)，KrF248nm，ArF193nm，\*EUV13.5nm

EUV 光刻工艺依赖反光掩膜

3. 刻蚀工艺：利用物理或者化学方法，从表面去除半导体结构中的部分材料的过程。除了材料减薄这种情况以外，大部分刻蚀工艺的目标是完成对掩模图形的完全复制

在绝大部分的 CMOS 工艺流程中，刻蚀都是紧跟在光刻工艺之后的图形转移工艺步骤



等离子体（干法）刻蚀：通过等离子体产生离子和活性基团，活性基团与衬底反应，离子产生轰击效果除去反应物

高密度等离子体（高电离率）：通过外加 RF 或微波的功率和基片上的射频偏压功率，能独立控制离子流量和离子轰击能量，以优化刻蚀工艺的刻蚀率 and 选择比，同时降低刻蚀损伤。

刻蚀产品必须具有可挥发性！

4. 薄膜制备工艺主要包括三大类：

● 物理气相沉积（PVD）

方法：真空蒸发、溅射镀膜（Sputtering）、离子体镀膜靶基座  
导体大多用物理气相沉积工艺

■ 蒸镀：

蒸镀源获得能量，蒸发变为气态，吸附在衬底表面固化为薄膜

■ 溅射

高能粒子（一般为Ar+）撞击靶材，使靶材中的原子获得能量飞出，吸附在衬底表面形成薄膜

蒸镀源（靶材）材料 ≈ 薄膜材料



- 化学气相淀积工艺 (CVD)

CVD 法获得的薄膜材料一般为氧化物、氮化物、碳化物等化合物或多晶硅、非晶硅等材料

- 反应源（一般为气体）在腔体内发生化学反应，反应产物沉积在衬底表面形成薄膜

金属：  $\text{WF}_6 + \text{H}_2 \rightarrow \text{W} + \text{HF}$

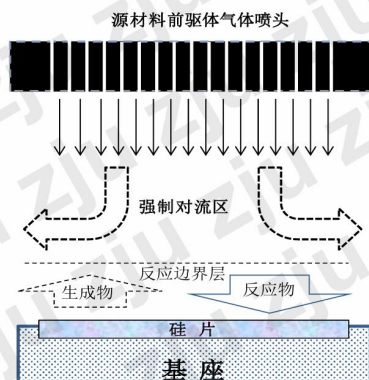
半导体：  $\text{SiH}_4 \rightarrow \text{Si} + \text{H}_2$

氧化物：  $\text{SiH}_4 + \text{O}_2 \rightarrow \text{SiO}_2 + \text{H}_2\text{O}$

氮化物：  $\text{SiN}_4 + \text{NH}_3 \rightarrow \text{Si}_3\text{N}_4 + \text{H}_2$

源 → 化学反应 → 薄膜材料

源的材料 ≠ 薄膜材料



化学沉积制备薄膜(CVD)工艺示意图

- 单原子沉积技术 (ALD)

## 物理 vs 化学气相沉积 (PVD vs CVD)

	物理气相沉积法	化学气相沉积法
成膜机制	无化学反应	化学反应
源材料	与薄膜材料相同	与薄膜材料不同
工艺温度	室温~高温	高温
成膜形态	Non-Conformal	Conformal

5. 外延工艺：在单晶衬底上，生长一层与原衬底相同晶格取向的晶体层，在外延沉积过程没有化学反应，类似于物理气相沉积

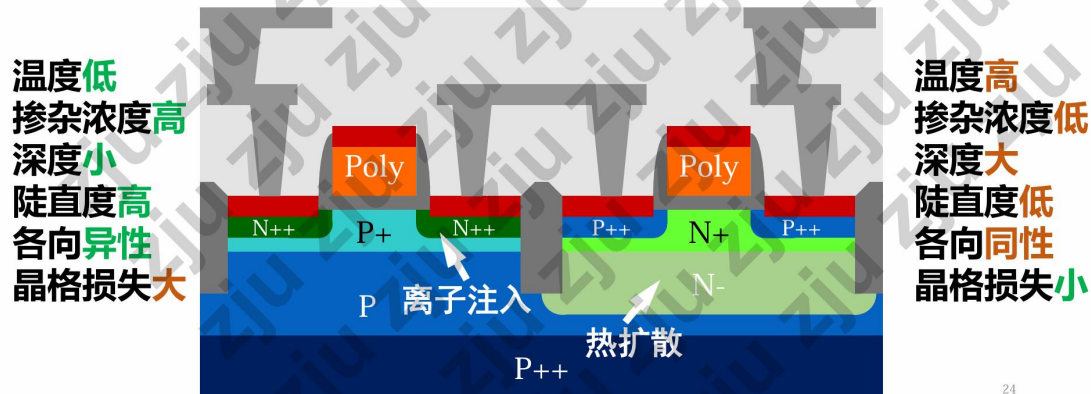
- 应用场景：制造发光二极管的三五族材料在蓝宝石衬底上外延生长，集成电路工业的外延硅片，MOS 晶体管的嵌入式源漏外延生长等。

- 外延生长方式：固相外延，液相外延，气相外延

## 6. 扩散和离子注入工艺

**离子注入：**将一定数量和一定种类的杂质以**高能粒子轰击**的方式注入到硅衬底中，形成掺杂区域

**扩散：**遵循Fick扩散定律，将一定数量和一定种类的杂质在**高温**下扩散到硅衬底中，形成掺杂区域



24

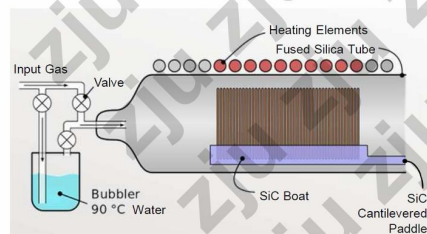
## 7. 热氧化工艺

**氧化硅薄膜工艺：**热氧化和淀积两种形成方法

**热氧化法**形成二氧化硅 ( $\text{SiO}_2$ )：

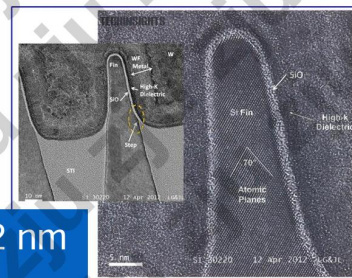


**用途：**MOS器件结构中的栅介质，器件保护和隔离、表面钝化处理、离子注入掩蔽层、扩散阻挡层、硅与其他材料之间的缓冲层等



热氧化炉

Intel 22 nm Node



25

### (2) 成套工艺集成技术

工艺流程中使用**最频繁**的**单项工艺**包括：光刻和刻蚀的**图形转换工艺**，PVD 和 CVD 和外延的**薄膜制备工艺**，以及前段工艺中的**离子注入和扩散工艺**

成套工艺流程：

- 沟槽制备
- n/p-阱的制备

因为**栅的长度**决定了晶体管沟道的长度，可以认为这就是 CMOS 晶体管中的**最小临界尺寸 (CD)**

- 栅层和多晶硅的制备
- 栅层氮化和多晶硅的制备
- 补偿侧墙和 n/p 浅结制备
- Spacer 主侧墙制备



- S/D 源漏制备
- 硅化物的自对准
- 接触孔工艺和钨栓塞工艺
- 金属-1 的形成（单镶嵌）
- 双镶嵌和多层金属互连接

（3）先进芯片制造工艺技术的主要挑战

1. 挑战：离轴照明技术，光学临近效应修正（OPC）技术，相移掩模版技术，双重曝光技术，浸没式光刻技术，极紫外光刻（EUV）掩模版结构，EUV 掩模版的挑战，刻蚀工艺中的前馈和后反馈过程

## 面对挑战的新技术

### 精密图形转移技术

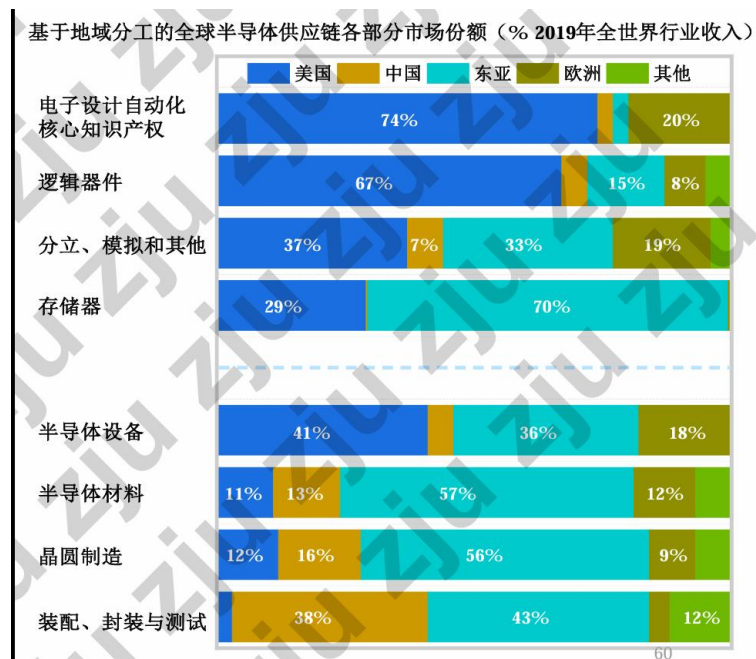
□ 离轴照明技术，相移掩模版技术，光学临近效应修正，双重曝光，浸没式光刻，计算光刻技术（Computational Lithography），极紫外光刻（EUV）技术，刻蚀工艺

### 新材料探索

### DTCO

### 人工智能结合制造

2. 除了封测技术，我国在 EDA、逻辑器件、存储器件和分立器件领域，在半导体材料和设备供应链方面的市场份额都有待进一步提高



## 四、芯片制造关键单步工艺

集成电路成套工艺中的关键单步工艺技术包括：光刻、刻蚀、注入、薄膜沉积。

对于典型的 28nm 芯片（CPU）制造，大约需要 1000 道工艺

## 概述：微电子工艺包含的各类工艺

### ■ 典型的制造工艺

■ **基板生长**：结晶、外延、键合、抛光

■ **清洗和抛光**

关键工艺

■ **光刻**：电子束光刻、EUV

■ **薄膜生长**：氧（氮）化、物理/化学气相沉积

■ **刻蚀**：干法刻蚀、湿法刻蚀

■ **掺杂**：离子注入、热扩散

■ **热处理**：快速热处理、闪光灯热处理、激光热处理

#### (1) 清洗

1. 硅片表面的污染物包括： 有机吸附、颗粒吸附、原生氧化物及化学氧化物、金属离子
2. 近年来除了化学方法以外，超声技术开始应用到清洗工艺中
3. 硅片的标准清洗工艺（RCA）

● SC1（去离子水：30%氨水：30%双氧水=5：1：1）

● 1%或2%氢氟酸

● SC2（去离子水：37%盐酸：30%双氧水=6：1：1）

● 去离子水漂洗

● 干燥

#### (2) 氧化

**热氧化法形成二氧化硅（SiO<sub>2</sub>）：**

干法：  $\text{Si} + \text{O}_2 \rightarrow \text{SiO}_2$

湿法：  $\text{Si} + 2\text{H}_2\text{O} \rightarrow \text{SiO}_2 + 2\text{H}_2$

#### (3) 薄膜沉积 <见第三节>

#### (4) 光刻

1. 目前主流的曝光方法主要有：接触式、接近式和投影式

光刻机的特征尺寸  $R = k_1 \frac{\lambda}{\text{NA}}$

2.

3. 光刻技术的三大挑战：光源，光刻胶和掩模版

4. 正/负光刻胶

正胶：曝光后可溶于显影液

负胶：曝光后不溶于显影液

(4) 刻蚀 <见第三节>

等离子体中的污染粒子通常会聚集在反应腔体中间

(6) 掺杂

掺杂技术就是通过离子注入或热扩散方法使可控数量的某种元素进入半导体特定区域，以改变半导体材料原有电性形成 n 型（富余电子）或 p 型（富余空穴）半导体的技术

热扩散掺杂、离子注入掺杂

	离子注入	热扩散
工艺温度	低~高	高
掺杂浓度	高	较低
掺杂深度	浅	深
浓度/深度 分别控制	可以	不可以
结的突然性	大	小
形成结的方向性	好	各向同性
晶格损伤	有	几乎没有
工艺成本	高	低

(7) 退火

1. 退火工艺：对注入后样品进行热处理，修复晶格损伤

2. 目的：掺杂离子只有回到晶格位，才是有效的掺杂，称为杂质的激活

3. 快速退火可以抑制热扩散

(8) 化学机械抛光技术 (Chemical Mechanical Polishing, CMP)

## 总结

1. 成套工艺主要由清洗，CMP，薄膜沉积，氧化，掺杂，光刻和刻蚀等工艺组合完成
2. 薄膜沉积工艺主要包括：物理气相沉积（PVD）、化学气相沉积（CVD）、原子层沉积（ALD）等
3. 光刻工艺是利用光刻胶被光照射后化学性质发生变化的现象，将特定图形转移到光刻胶薄膜上
4. 刻蚀工艺是通过除去某些材料，将掩模（硬掩模或光刻胶）上的图形转移到下面的各层材料上
5. 离子注入是将一定数量和一定种类的杂质以高能粒子轰击的方式注入到硅衬底中，形成掺杂区域；热扩散是将一定数量和一定种类的杂质在高温下扩散到硅衬底中，形成掺杂区域