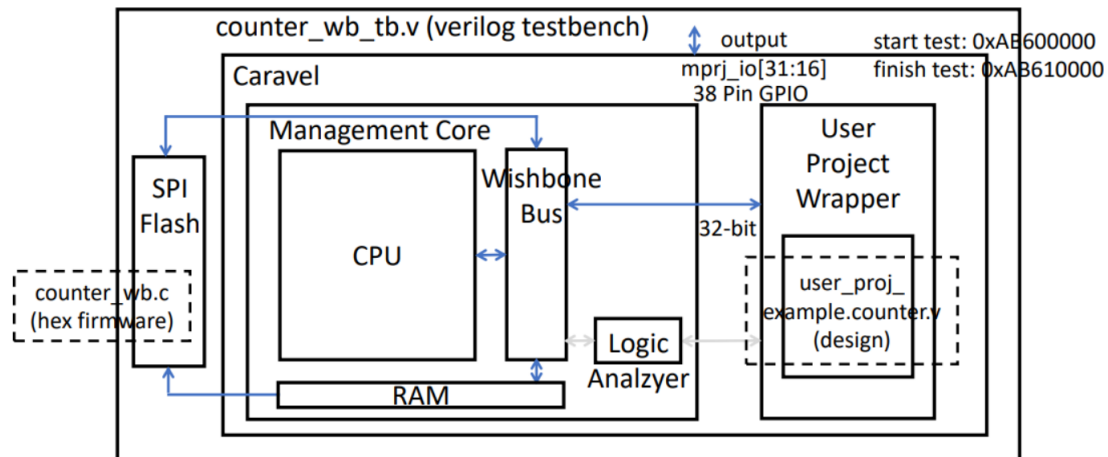


HW Lab 4-2 Team11 Report

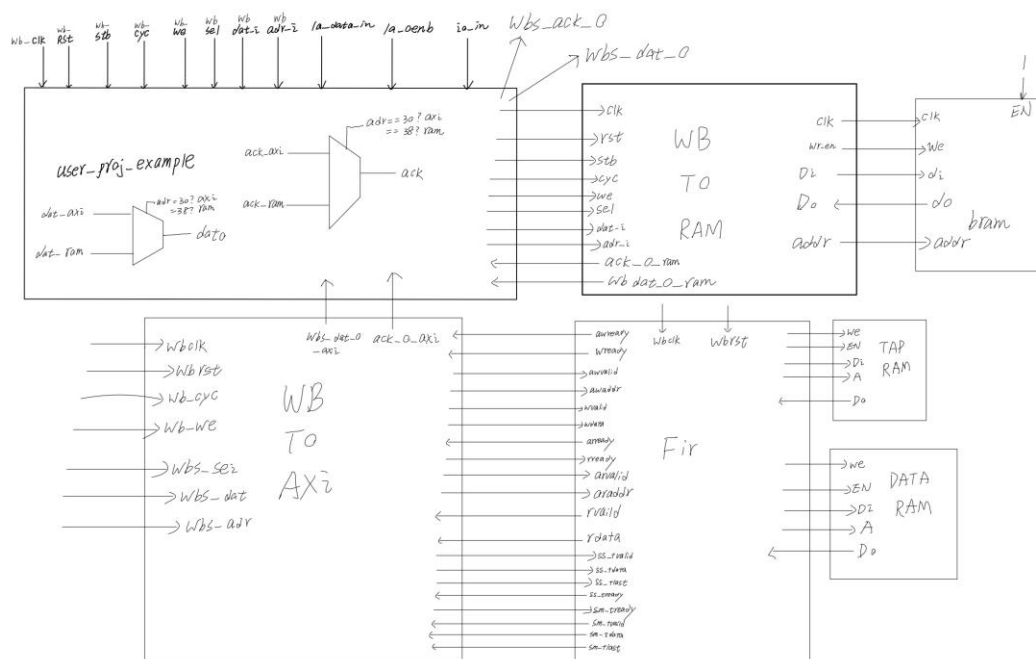
1. Data path of control
2. The interface protocol between firmware, user project and testbench

我們是以課堂中此圖之邏輯去設計我們的 protocol。

Counter - WB



以下是我們設計出來的 firmware, user project and testbench 間之 protocol



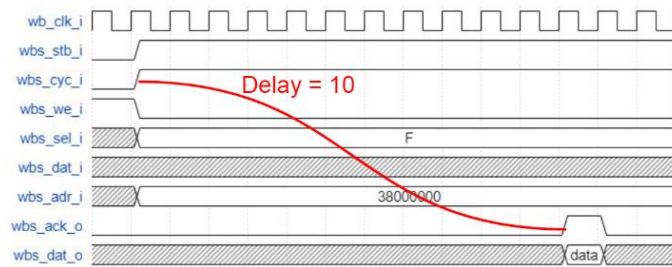
3. Waveform and analysis of the hardware/software behavior.

WB 的操作都遵循下圖之 WB protocol

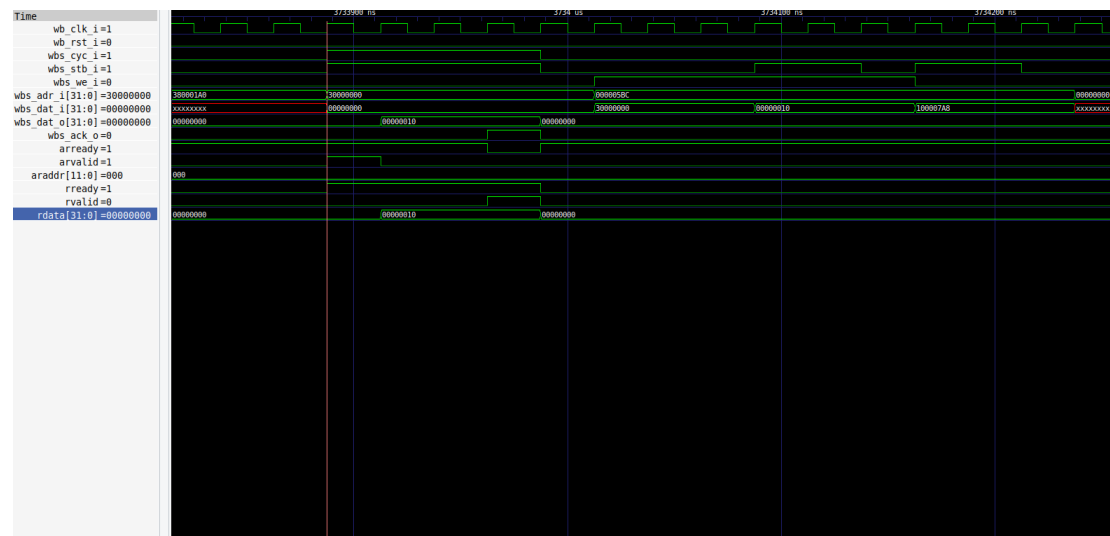
```

48     input wb_clk_i,
49     input wb_rst_i,
50     input wbs_stb_i,
51     input wbs_cyc_i,
52     input wbs_we_i,
53     input [3:0] wbs_sel_i,
54     input [31:0] wbs_dat_i,
55     input [31:0] wbs_adr_i,
56     output wbs_ack_o,
57     output [31:0] wbs_dat_o,

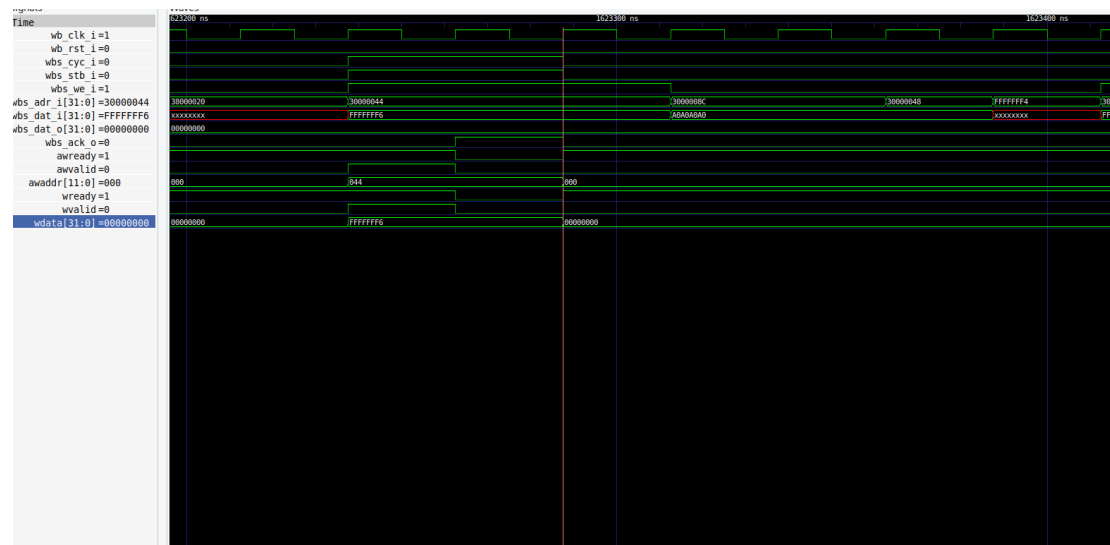
```



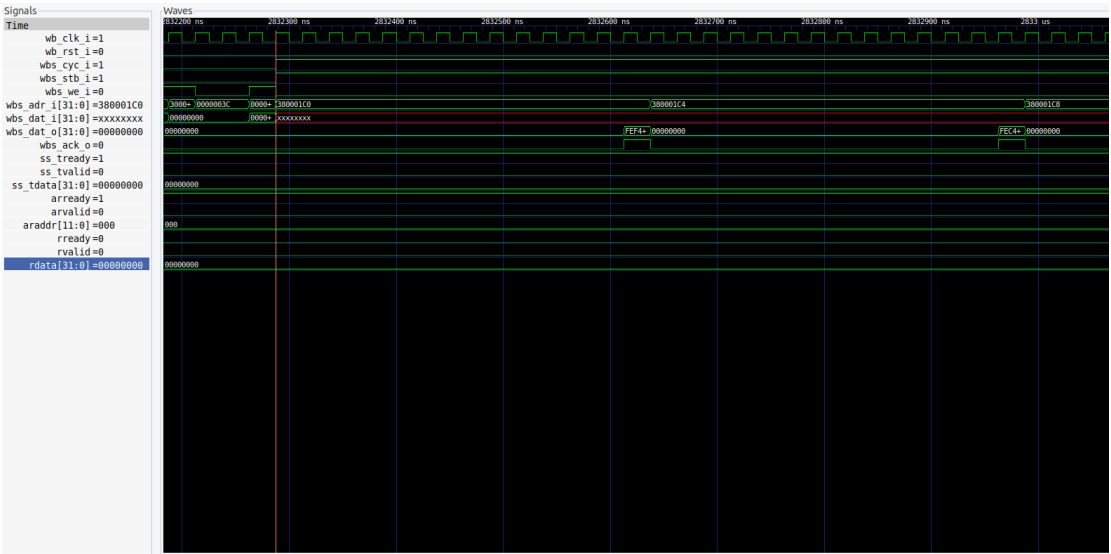
WB_to_AXI-L Read:



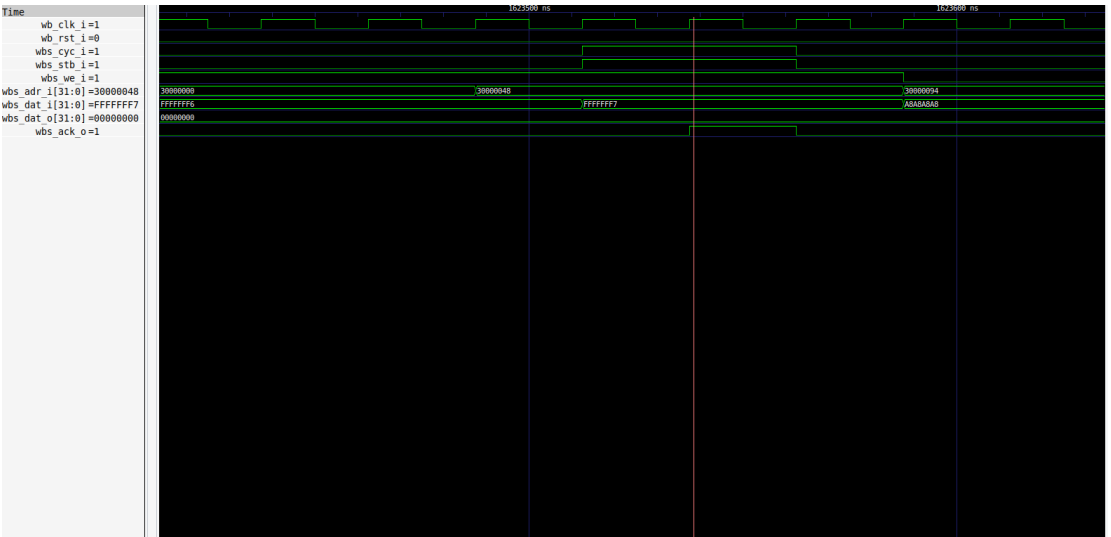
WB_to_AXI-L Write:



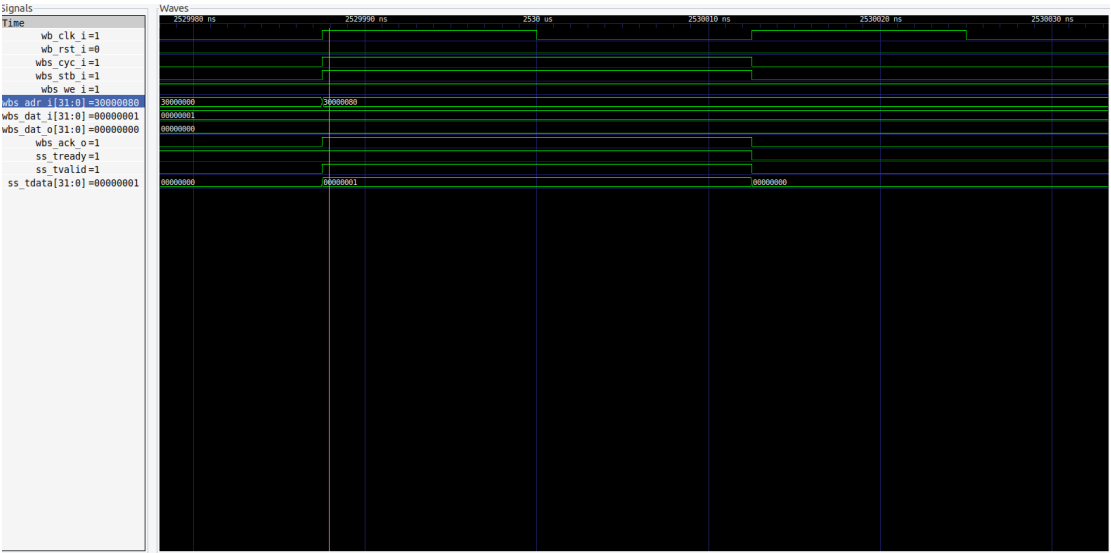
WB firmware Read:



WB firmware Write:



WB 0080-X[n] AXI-S input:



WB 0084-Y[n] AXI-S output:

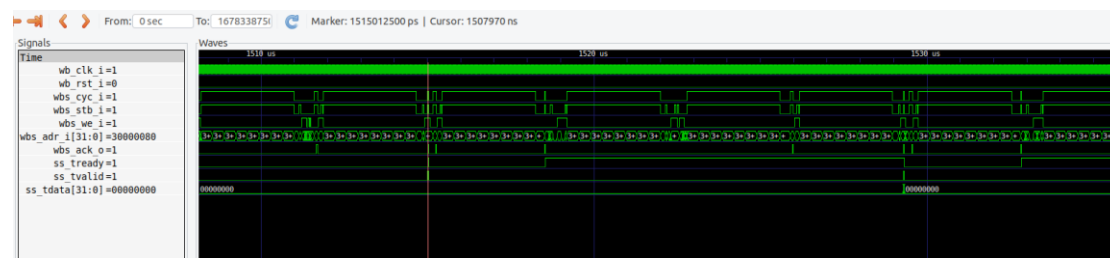


4. What is the FIR engine theoretical throughput, i.e. data rate? Actually measured throughput?

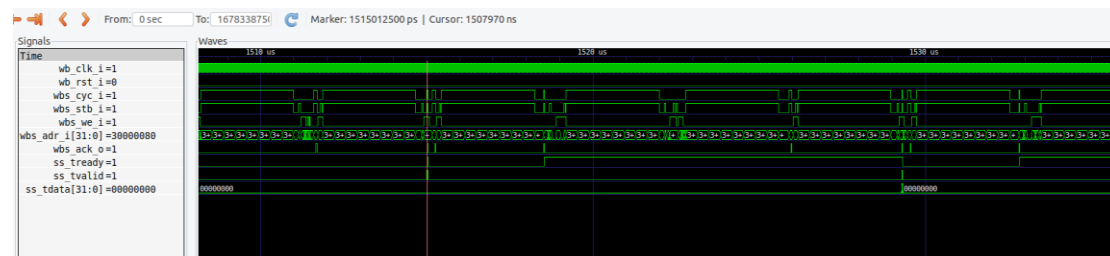
- (1)總共有 64 個 data，先進行乘法的運算 11 項、共 11 次，接下來進行累加，此操作共需要進行 10 次。
- (2)一次的讀和寫需要花費 2 個 cycle，而 address 和 data 各自獨立，所以共需要 4 個 cycle 才能完成 1 次的 stream 寫入和寫出。
- (3)總共需要輸入 11 個(tap0-tap10) tap bram data。總時間為 $12 * 4$ (data length & 11 tap parameters) + 5 (ap_start = 1) + 64(總資料的數量)*(11 (fir)+4 +2+4+2) = 1525 個 cycle。這是算出 64 筆 fir 輸出所需要的 cycle。
- (4)測試出來結果則是 $(1529312500ps - 1515012500ps) / 25000 = 572$ cycle，會差如此多的 cycle 是因為每次資料要 stream out 的時候都要等 wishbone 處理完韌體的運作，再透過 AXI-lite 確認能不能讀出，才能夠真的輸出 data。

```
ubuntu@ubuntu2004:~/123123/lab-caravel_fir/testbench/counter_la_fir$ source run_
sim
Reading counter_la_fir.hex
counter_la_fir.hex loaded into memory
Memory 5 bytes = 0x6f 0x00 0x00 0x0b 0x13
VCD info: dumpfile counter_la_fir.vcd opened for output.
LA Test 1 started
First done
First test success
Second done
Second test success
Third done
Third test success
LA Test 2 passed
Latency      256808
```

5. What is latency for firmware to feed data?



先利用 WB_AXI-L Read 確認 Xn is ready to accept input，此動作要花 4 個 cycle。



data 再經 WB_AXI-S 送入資料會再經過 2 個 cycle。因此從 firmware 要送 data 進來至少會需要經 6 個 cycle。

6. What techniques used to improve the throughput?

- 1.fir 不限制只能使用 1 個乘法器與加法器。
- 2.直接用 WB protocol 輸出 fir 資料而不用再經過 WB_to_AXI 輸出。
- 3.在進行資料的運算時，看是否能夠將下一筆需要進行運算的資料進行送入。

•Does bram12 give better performance, in what way?

使用 bram12 未必會有較好的性能表現，應該視情況來使用 bram11 或 bram12，因為 bram12 只是會有多一個空間可以存儲資料，因此對此實驗應該不會有太大的影響，但若專門以 bram12 來設計此實驗應該可以有比使用 bram11 更快速的表現。

•Can you suggest other method to improve the performance?

這次的實驗會花相當多的 cycle 來處理，主要是因為除了計算 fir 之外，在計算中途還要處理相當多的 state transition，導致整體 cycle 拉得相當長，會造成計算完的輸出會還要等待 firmware 處理完成才能繼續，如果能夠把計算跟 firmware 的處理分開進行平行運作，這樣就能減少等待的時間，能降低不少 cycle time。