

Projeto Máquina de Vendas: Relatório de Implementação Física e Mapeamento de Pinos

Grupo 2

Junho de 2025

Sumário

1	Introdução	2
2	Mapeamento Detalhado de Pinos	2
2.1	Sinais Globais: Clock e Reset	2
2.2	Entradas de Controle: Botões e Switches	2
2.3	Entradas de Dados: Seleção de Produtos e Valores	2
2.4	Saídas: Atuador e Displays	3
3	Tabela de Associação de Pinos Completa	4
4	Arquivo de Configuração CSV	5

1 Introdução

Este documento descreve o processo de implementação física do projeto da Máquina de Vendas em VHDL em uma placa de desenvolvimento FPGA Altera DE2. O objetivo é mapear as portas de entrada e saída (I/O) da entidade de mais alto nível do projeto, `maquina_vendas_top`, para os componentes físicos da placa, como botões, switches, LEDs e displays de 7 segmentos.

A correta associação de pinos é um passo crucial que conecta o design lógico digital com o hardware do mundo real, permitindo a verificação e demonstração do sistema em funcionamento.

2 Mapeamento Detalhado de Pinos

A seguir, detalha-se a lógica de mapeamento para cada grupo de sinais da entidade VHDL.

2.1 Sinais Globais: Clock e Reset

- **Clock (clk):** O sinal de clock principal do sistema é conectado ao pino `PIN_N2`, que corresponde ao oscilador de 50 MHz da placa DE2. Embora a especificação original do projeto mencione um clock de 1 Hz, a implementação física requer a conexão com o oscilador principal. Um módulo divisor de clock interno seria adicionado ao projeto para gerar a frequência mais baixa a partir dos 50 MHz.
- **Reset (reset):** O sinal de reset geral do sistema foi mapeado para o botão físico `KEY[0]` (pino `PIN_R22`). Este botão é do tipo *push-button* e ativo em nível baixo, permitindo que o usuário reinicie a máquina de estados para o estado inicial `Wait` a qualquer momento.

2.2 Entradas de Controle: Botões e Switches

O projeto VHDL define 6 ações de controle por botões (`'COMPRA'`, `'PAG'`, `'REP'`, `'ESC'`, `'ESQ'`, `'SELECT_C'`), enquanto a placa DE2 dispõe de apenas 4 botões de pressão (`'KEY[0]'` a `'KEY[3]'`). Para as ações primárias e mais frequentes foram atribuídas aos botões de pressão restantes (`'KEY[1]'` a `'KEY[3]'`).

As ações secundárias (`'SELECT_C'`, `'ESC'`, `'ESQ'`) foram mapeadas para switches (`'SW[17]'`, `'SW[16]'`, `'SW[15]'`), que funcionarão como chaves de ativação para essas funções.

2.3 Entradas de Dados: Seleção de Produtos e Valores

Os dados de entrada do sistema são fornecidos através dos 18 switches (`'SW'`) da placa:

- **Seleção de Produtos:** Dois conjuntos de 2 switches foram alocados para a seleção de produtos. `product_select_buy` (cliente) usa `SW[1:0]` e `product_select_replenis` (operador) usa `SW[3:2]`, evitando sobreposição.

- **Entrada de Valores:** Os sinais de 8 bits `money_in` e `replenish_quantity` foram mapeados para o mesmo conjunto de 8 switches (`SW[14:7]`). Essa abordagem de compartilhamento é eficiente, pois a FSM garante que apenas um desses valores seja lido por vez, dependendo do estado atual da máquina (compra ou reposição).

2.4 Saídas: Atuador e Displays

As saídas do sistema fornecem feedback visual ao usuário:

- **Ativação do Motor (`motor_enable`):** Este sinal de 1 bit, que indica a entrega de um produto, foi mapeado para o LED vermelho `LEDR[0]`. Sua ativação por um ciclo de clock será claramente visível.
- **Displays de Preço e Quantidade:** As saídas de 8 bits `price_display` e `quantity_display` são direcionadas para quatro dos oito displays de 7 segmentos da placa. Para isso, o design VHDL deve incluir lógica interna para converter os valores inteiros em dois dígitos (dezena e unidade) e, em seguida, decodificá-los para o formato de 7 segmentos. A associação ficou definida como:
 - **Preço:** Dezena em `HEX1`, unidade em `HEX0`.
 - **Quantidade:** Dezena em `HEX3`, unidade em `HEX2`.

3 Tabela de Associação de Pinos Completa

A tabela a seguir consolida todas as atribuições de pinos entre os sinais lógicos do VHDL e os componentes físicos da placa DE2.

Tabela 1: Mapeamento completo de pinos da FPGA DE2.

Sinal Lógico (VHDL)	Pino Físico (DE2)	Componente Físico
<i>Sinais Globais</i>		
clk	PIN_N2	Oscilador 50MHz
reset	PIN_R22	Botão KEY[0]
<i>Entradas de Controle (Botões e Switches)</i>		
COMPRA	PIN_R21	Botão KEY[1]
PAG	PIN_T22	Botão KEY[2]
REP	PIN_T21	Botão KEY[3]
SELECT_C	PIN_U22	Switch SW[17]
ESC	PIN_U21	Switch SW[16]
ESQ	PIN_V22	Switch SW[15]
<i>Entradas de Dados (Switches)</i>		
product_select_buy[1:0]	PIN_Y22, PIN_Y21	Switches SW[1:0]
product_select_replenish[1:0]	PIN_W22, PIN_W21	Switches SW[3:2]
money_in[7:0]	PIN_AE22..T20	Switches SW[14:7] (compartilhado)
replenish_quantity[7:0]	PIN_AE22..T20	Switches SW[14:7] (compartilhado)
<i>Saídas (LED e Displays)</i>		
motor_enable	PIN_G19	LED LEDR[0]
price_display_tens[6:0]	Pinos de HEX1	Display de 7 Seg. 1
price_display_ones[6:0]	Pinos de HEX0	Display de 7 Seg. 0
quantity_display_tens[6:0]	Pinos de HEX3	Display de 7 Seg. 3
quantity_display_ones[6:0]	Pinos de HEX2	Display de 7 Seg. 2

4 Arquivo de Configuração CSV

Para facilitar a configuração em ferramentas de design de FPGAs como o Intel Quartus Prime, a tabela de mapeamento pode ser convertida para o formato CSV. O conteúdo abaixo pode ser salvo em um arquivo (`pinos_fpga.csv`) e importado no Pin Planner. O ambiente `listings` abaixo garante a quebra de linha para visualização.

```
To,Location
clk,PIN_N2
reset,PIN_R22
COMPRA,PIN_R21
PAG,PIN_T22
REP,PIN_T21
SELECT_C,PIN_U22
ESC,PIN_U21
ESQ,PIN_V22
product_select_buy[1],PIN_Y22
product_select_buy[0],PIN_Y21
product_select_replenish[1],PIN_W22
product_select_replenish[0],PIN_W21
money_in[7],PIN_AE22
money_in[6],PIN_AD22
money_in[5],PIN_AC22
money_in[4],PIN_AB22
money_in[3],PIN_V21
money_in[2],PIN_U22
money_in[1],PIN_U21
money_in[0],PIN_T20
replenish_quantity[7],PIN_AE22
replenish_quantity[6],PIN_AD22
replenish_quantity[5],PIN_AC22
replenish_quantity[4],PIN_AB22
replenish_quantity[3],PIN_V21
replenish_quantity[2],PIN_U22
replenish_quantity[1],PIN_U21
replenish_quantity[0],PIN_T20
motor_enable,PIN_G19
price_display_tens[6],PIN_AF10
price_display_tens[5],PIN_AB12
price_display_tens[4],PIN_AC12
price_display_tens[3],PIN_AD11
price_display_tens[2],PIN_AE11
price_display_tens[1],PIN_V14
price_display_tens[0],PIN_V13
price_display_ones[6],PIN_AE8
price_display_ones[5],PIN_AF8
price_display_ones[4],PIN_AD9
price_display_ones[3],PIN_AC9
price_display_ones[2],PIN_AE9
price_display_ones[1],PIN_AB10
price_display_ones[0],PIN_AC10
quantity_display_tens[6],PIN_Y13
```

```
quantity_display_tens[5],PIN_T15
quantity_display_tens[4],PIN_T14
quantity_display_tens[3],PIN_T13
quantity_display_tens[2],PIN_R13
quantity_display_tens[1],PIN_AB15
quantity_display_tens[0],PIN_AA15
quantity_display_ones[6],PIN_AA14
quantity_display_ones[5],PIN_AG13
quantity_display_ones[4],PIN_AF13
quantity_display_ones[3],PIN_AE13
quantity_display_ones[2],PIN_AC13
quantity_display_ones[1],PIN_AB13
quantity_display_ones[0],PIN_AD13
```