



System Verilog Lab3

TA: 孙佳磊

Mail: sjl_519021910940@sjtu.edu.cn

TA: 谢琳

Mail: lynnxie@sjtu.edu.cn

2024年12月12日



上海交通大学

SHANGHAI JIAO TONG UNIVERSITY



一、实验准备




■ 实验材料

登录canvas, 在

SystemVerilog_2024_lab3

单元下下载以下文件

(1) 实验PPT (本文档)  SystemVerilog_2024_lab3.pdf

(2) quiz文件  lab3_quizpart



二、实验内容



■ 实验内容

课上实验：

在课堂上完成quiz内容并在下课前于canvas上提交。

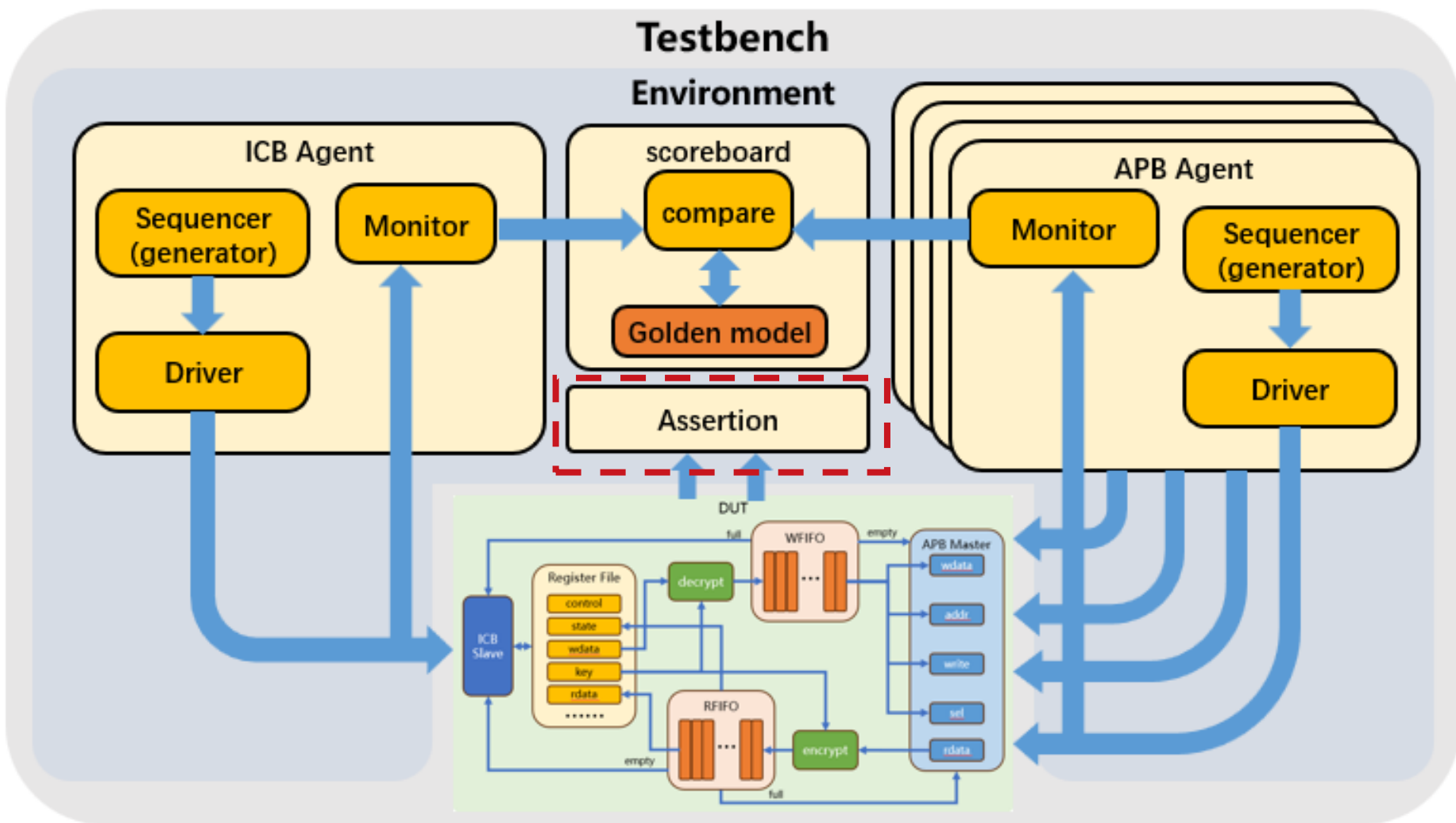
课后实验内容分为两个部分：

- (1) 断言，对DUT模块添加断言模块，对一些经典数据交互进行断言。
- (2) 结合DEMO，完善你的工程，做为最终提交的一个版本。

Tip: 本次实验给大家最后完善自己工程的时间。临近学期课程的结束，后面会有考试和期末大作业，故本次作业不接受延期。

Tip: DEMO并不完备，存在没考虑的情况，仅作参考。

二、实验内容





二、实验内容



要求	项目
必做	<p>FIFO：使用assertion实现下列检查</p> <ul style="list-style-type: none">(1) FIFO空满信号判断的正确性(2) FIFO写入、读出功能的正确性
必做	<p>APB端：使用assertion实现下列检查</p> <ul style="list-style-type: none">(1) 每一个信号在其有效/使用时的X态检查(2) 在psel拉高后，paddr的稳定性检查(3) 在psel拉高后，pwrite的稳定性检查(4) 在psel拉高后且pwrite为高时，pwwdata的稳定性检查(5) psel、penable与pready的握手检查(6) penable与pready握手后必须拉低(7) penable拉高的前一周期，psel必须为高(8) psel拉高的下一周期，penable必须为高



二、实验内容



要求	项目
必做	<p>ICB端：使用assertion实现下列检查</p> <ol style="list-style-type: none">(1) 每一个信号在其有效/使用时的X态检查(2) 在icb_cmd_valid拉高但并未握手时，icb_cmd_addr必须保持稳定(3) 在icb_cmd_valid拉高但并未握手时，icb_cmd_read必须保持稳定(4) 在icb_cmd_read为低，icb_cmd_valid拉高但并未握手时，icb_cmd_wmask的稳定性检查(5) 在icb_cmd_read为低，icb_cmd_valid拉高但并未握手时，icb_cmd_wdata的稳定性检查(6) 在icb_rsp_valid拉高但并未握手时，icb_rsp_err必须保持稳定(7) 在icb_rsp_valid拉高但并未握手，且为读指令的返回时，icb_rsp_rdata必须保持稳定(8) icb_cmd_valid拉高但并未握手时，icb_cmd_valid的稳定性检查(9) icb_rsp_valid拉高但并未握手时，icb_rsp_valid的稳定性检查(10) 命令通道和返回通道的握手检查



二、实验内容



要求	项目
选做	FIFO: FIFO读写指针变化的正确性
选做	Decrypt、Encrypt: 加解密功能实现的正确性

Tip: bind可实现assertion module与任意dut module的绑定, 并不拘泥与dut_top module。其具体格式如下:

bind 要绑定的module名称 assertion_module名称 本绑定块的名称 (
.assertion_module中的信号(要绑定的信号)
);

二、实验内容



- 实验提供了ICB CMD通道的部分断言作为参考，同学们可以在此基础上进行修改，并将断言部分放入自己的验证平台

```
// Signal X Assertion
property icb_cmd_valid_no_x_check;
    @(posedge icb.clk) disable iff(!icb.rst_n)
        (not ($isunknown(icb.icb_cmd_valid))) or (not icb.rst_n);
endproperty

property icb_cmd_addr_no_x_check;
    @(posedge icb.clk) disable iff(!icb.rst_n)
        (icb.icb_cmd_valid |-> (not ($isunknown(icb.icb_cmd_addr)))) or (not icb.rst_n);
endproperty

property icb_cmd_wdata_no_x_check;
    @(posedge icb.clk) disable iff(!icb.rst_n)
        ((icb.icb_cmd_valid && icb.icb_cmd_read) |-> (not ($isunknown(icb.icb_cmd_wdata)))) or (not icb.rst_n);
endproperty

// ...

check_icb_cmd_valid_no_x: assert property (icb_cmd_valid_no_x_check) else $error($stime, "\t\t FATAL: icb_cmd_valid exists X!\n");
check_icb_cmd_addr_no_x: assert property (icb_cmd_addr_no_x_check) else $error($stime, "\t\t FATAL: icb_cmd_addr exists X!\n");
check_icb_cmd_wdata_no_x: assert property (icb_cmd_wdata_no_x_check) else $error($stime, "\t\t FATAL: icb_cmd_wdata exists X!\n");
// ...
```

```
`timescale 1ns/1ps

> module dut (...
> );
> // dut top...

// assertion bind
bind dut_top icb_assertion icb_assertion_bind_dut_top (
    .icb(          icb.others          )
);

// ...

endmodule
```




三、报告与提交



■ 报告要求

实验报告需要包括详细的设计思路描述和时序描述，为了方便阅读和评估，我们强烈建议包括如下部分：

- (1) 模块设计简单说明
- (2) 断言，包括实验要求断言实现，以及个人工程的断言实现
- (3) 完善之前的工程及报告包括电路设计及验证部分。
- (4) 总结，概述完成的内容（对照前面列出的表格，**打分关注**）

请注意，实验报告将是判定实验成绩的主要依据，请尽量做到书写规范，思路清晰易懂，切勿互相抄袭，发现抄袭一律不给分。

三、报告与提交



▪ 文件提交

文件提交方式：Canvas

文件提交格式：压缩包

截止日期：1月9日23:59

```
文件名：学号_姓名_SV202XLAB_0X  
示例   ：124039910123_小明_SV2024LAB_01  
  
|----->design_files  
|           设计文件夹：存放设计相关的SystemVerilog、verilog文件  
|----->testbench  
|           测试平台文件夹：存放测试平台搭建相关文件  
|----->report  
|           报告文件夹：存放编写的报告  
|----->README (可选)  
|           若文件结构迫不得已需要更改或出现其他需要说明的情况，可在该文件中说明
```

请注意，由于提交的文件需要被运行检查，这是一个繁重的工作，所以我们同样强烈建议严格按照如上文件格式提交，以方便我们运行你的设计。

X、Additional Support



■ 在QuestaSim中仿真并观察Assertion

1. 导入工程，编译

Name	Sta	Type	Order	Modified
dut.sv	✓	Syst...	6	11/16/2024 10:49:46 ...
apb.sv	✓	Syst...	0	11/21/2024 03:09:34 ...
apb_bus.sv	✓	Syst...	1	11/21/2024 03:18:36 ...
env.sv	✓	Syst...	11	11/16/2024 11:06:07 ...
apb_master.sv	✓	Syst...	2	11/21/2024 03:08:10 ...
objects.sv	✓	Syst...	8	11/14/2024 10:35:21 ...
dut_top.sv	✓	Syst...	3	11/21/2024 02:20:46 ...
icb_agent.sv	✓	Syst...	10	11/16/2024 10:59:35 ...
icb_assertion.sv	✓	Syst...	7	11/16/2024 11:37:29 ...
testbench.sv	✓	Syst...	12	11/16/2024 10:50:35 ...
apb_agent.sv	✓	Syst...	9	11/16/2024 11:06:08 ...
icb_bus.sv	✓	Syst...	4	11/21/2024 02:59:17 ...
icb_slave.sv	✓	Syst...	5	11/21/2024 03:17:43 ...

■ 注意

示例工程，不包含任何 'include' ，所以需要手动调整编译顺序

X、Additional Support



■ 在QuestaSim中仿真并观察Assertion

1. 导入工程，编译
2. 使用脚本，开始仿真

```
QuestaSim> vsim -gui -assertdebug -novopt work.testbench_top
```

■ 注意

- (1) 相比常规仿真，带assertion的仿真需要在指令中增加参数：

-assertdebug

- (2) 'work.testbench_top' 是你的工程lib名称和你的工程顶层：

lib_name.top_name

X、Additional Support

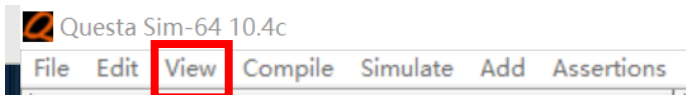


■ 在QuestaSim中仿真并观察Assertion

1. 导入工程，编译
2. 使用脚本，开始仿真
3. 打开assertion窗口

■ 窗口打开步骤

- (1) 选择选项卡 'view'
- (2) 在coverage中勾选assertion
- (3) assertion窗口如下所示



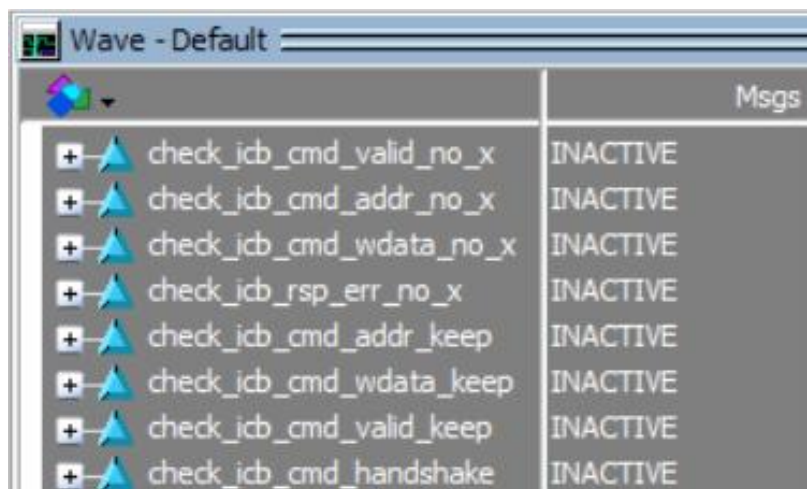
Assertions													
Name	Assertion Type	Language	Enable	Failure Count	Pass Count	Active Count	Memory	Peak Memory	Peak Memory Time	Cumulative Threads	ATV	Assertion Expression	Included
/testbench_top/_dut/_dut/icb_assertion_bind_dut_top/check_icb_cmd_valid_no_x	Concurrent	SVA	on	0	0	0	0B	0B	0 ps	0	off	assert(@(posedge icb.clk) disable i...	✓
/testbench_top/_dut/_dut/icb_assertion_bind_dut_top/check_icb_cmd_addr_no_x	Concurrent	SVA	on	0	0	0	0B	0B	0 ps	0	off	assert(@(posedge icb.clk) disable i...	✓
/testbench_top/_dut/_dut/icb_assertion_bind_dut_top/check_icb_cmd_wdata_no_x	Concurrent	SVA	on	0	0	0	0B	0B	0 ps	0	off	assert(@(posedge icb.clk) disable i...	✓
/testbench_top/_dut/_dut/icb_assertion_bind_dut_top/check_icb_rsp_err_no_x	Concurrent	SVA	on	0	0	0	0B	0B	0 ps	0	off	assert(@(posedge icb.clk) disable i...	✓
/testbench_top/_dut/_dut/icb_assertion_bind_dut_top/check_icb_cmd_addr_keep	Concurrent	SVA	on	0	0	0	0B	0B	0 ps	0	off	assert(@(posedge icb.clk) disable i...	✓
/testbench_top/_dut/_dut/icb_assertion_bind_dut_top/check_icb_cmd_wdata_keep	Concurrent	SVA	on	0	0	0	0B	0B	0 ps	0	off	assert(@(posedge icb.clk) disable i...	✓
/testbench_top/_dut/_dut/icb_assertion_bind_dut_top/check_icb_cmd_valid_keep	Concurrent	SVA	on	0	0	0	0B	0B	0 ps	0	off	assert(@(posedge icb.clk) disable i...	✓
/testbench_top/_dut/_dut/icb_assertion_bind_dut_top/check_icb_cmd_handshake	Concurrent	SVA	on	0	0	0	0B	0B	0 ps	0	off	assert(@(posedge icb.clk) disable i...	✓

X、Additional Support



■ 在QuestaSim中仿真并观察Assertion

1. 导入工程，编译
2. 使用脚本，开始仿真
3. 打开assertion窗口
4. 添加assertion波形



■ 注意

在Assertion窗口选中需要观察的assertion信号，右击选择add wave



System Verilog Lab3

Quiz Part

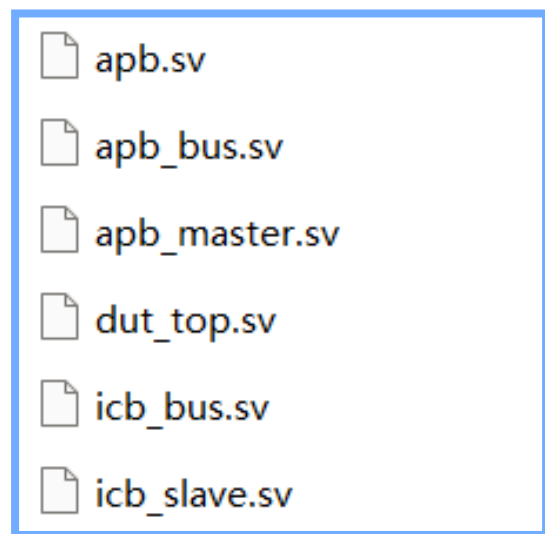


上海交通大學
SHANGHAI JIAO TONG UNIVERSITY

To Do

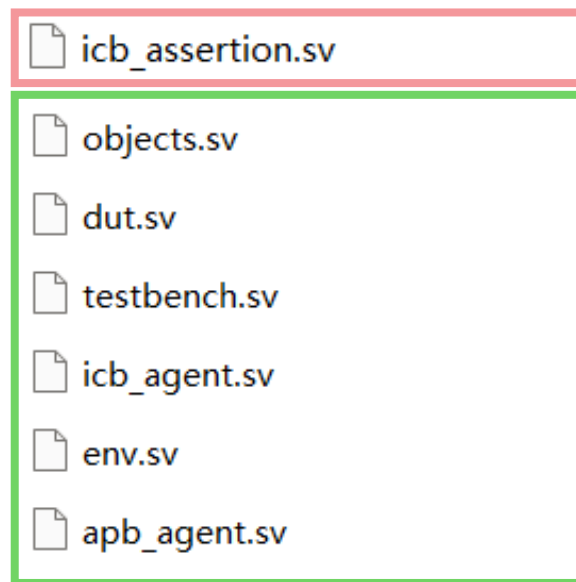


- 在Canvas的下载资料中打开quizpart文件夹



Verilog示例设计

Assertion示例



Testbench示例设计

To Do



- 在示例assertion的基础上，给出你的assertion代码

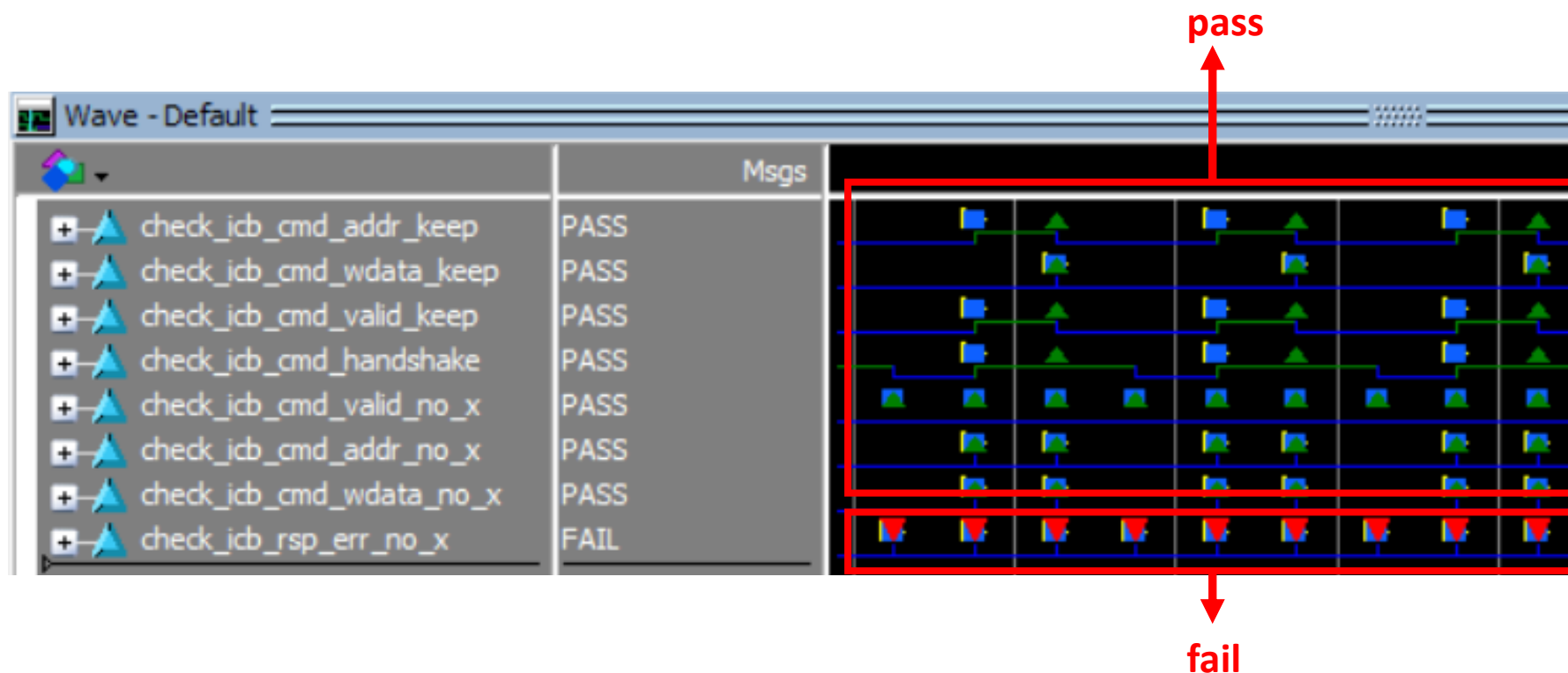
示例assertion代码

```
module icb_assertion (  
    icb_bus.others  icb  
);  
    bit    cmd;  
  
    always_ff @(icb.clk) begin...  
    end  
  
    // Signal X Assertion...  
  
    // Signals keep while valid and no handshake...  
  
    // Valid must keep before handshaking...  
  
    // Handshake  
    property icb_cmd_handshake_check;  
        @(posedge icb.clk) disable iff(!icb.rst_n)  
            (($rose(icb.icb_cmd_valid)) or ($past(icb.icb_cmd_valid && icb.icb_cmd_ready) && icb.icb_cmd_valid)) |-> ##[0:$] icb.icb_cmd_valid && icb.icb_cmd_ready;  
    endproperty  
  
    // ...  
  
    check_icb_cmd_handshake: assert property (icb_cmd_handshake_check) else $error($stime, "\t\t FATAL: ICB CMD Channel does not handshake!\n");  
    // ...
```

To Do



- 在示例assertion的基础上，给出你的assertion代码 示例assertion代码效果



To Do



- 在示例assertion的基础上，给出你的assertion代码

示例assertion代码效果

Name	Assertion Type	Language	Enable	Failure Count	Pass Count
+ /testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_valid_no_x	Concurrent	SVA	on	0	104
+ /testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_addr_no_x	Concurrent	SVA	on	0	68
+ /testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_wdata_no_x	Concurrent	SVA	on	0	68
+ /testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check...	Concurrent	SVA	on	104	0
+ /testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_addr_keep	Concurrent	SVA	on	0	34
+ /testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_wdata_keep	Concurrent	SVA	on	0	34
+ /testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_valid_keep	Concurrent	SVA	on	0	34

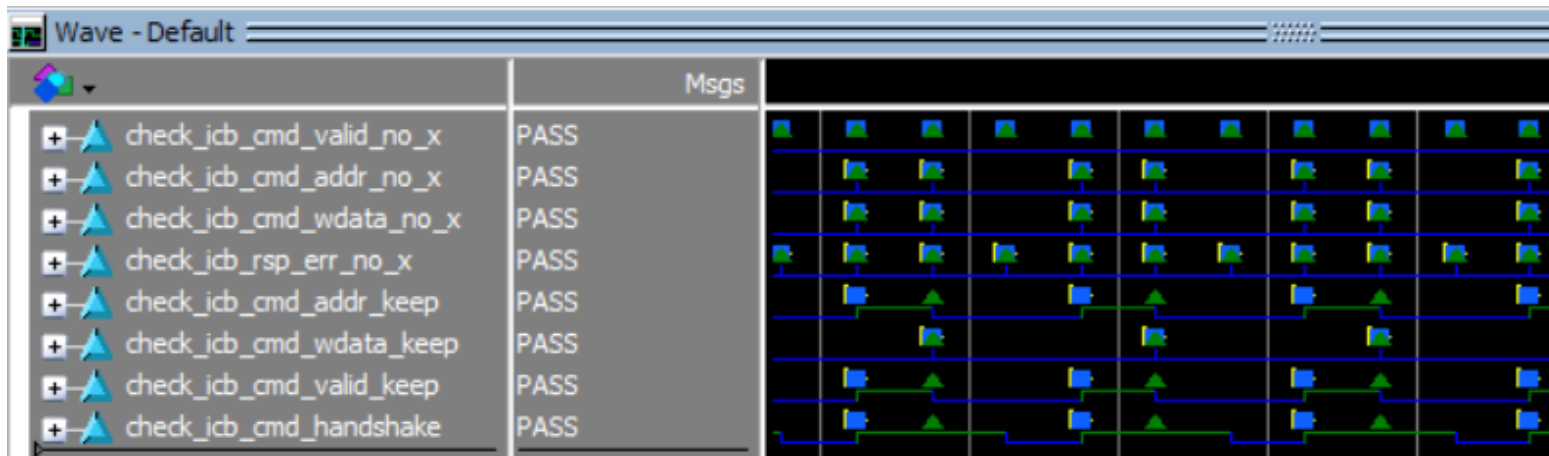
- (1) has failure count
- (2) pass count is not enough

GOAL



■ 完成ICB端所有断言

(1) Debug, 令出现failure的断言不再有failure:



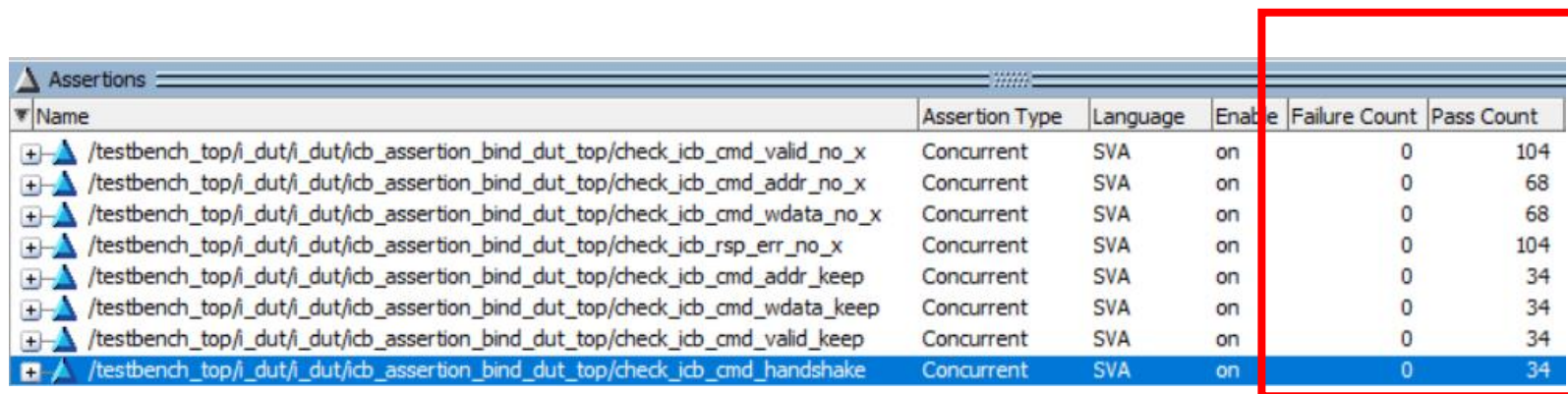
Assertions					
Name	Assertion Type	Language	Enable	Failure Count	Pass Count
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_valid_no_x	Concurrent	SVA	on	0	104
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_addr_no_x	Concurrent	SVA	on	0	68
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_wdata_no_x	Concurrent	SVA	on	0	68
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_rsp_err_no_x	Concurrent	SVA	on	0	104
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_addr_keep	Concurrent	SVA	on	0	34
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_wdata_keep	Concurrent	SVA	on	0	34
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_valid_keep	Concurrent	SVA	on	0	34
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_handshake	Concurrent	SVA	on	0	34

GOAL



- 完成ICB端所有断言

(2) TB共进行了**34次ICB写入操作**，完成它们的命令通道及返回通道的握手断言：



Name	Assertion Type	Language	Enable	Failure Count	Pass Count
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_valid_no_x	Concurrent	SVA	on	0	104
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_addr_no_x	Concurrent	SVA	on	0	68
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_wdata_no_x	Concurrent	SVA	on	0	68
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_rsp_err_no_x	Concurrent	SVA	on	0	104
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_addr_keep	Concurrent	SVA	on	0	34
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_wdata_keep	Concurrent	SVA	on	0	34
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_valid_keep	Concurrent	SVA	on	0	34
/testbench_top/i_dut/i_dut/icb_assertion_bind_dut_top/check_icb_cmd_handshake	Concurrent	SVA	on	0	34



- Quiz提交：如上图的截图一张，截图需要包含电脑右下角的日期与时间，如上图
- 注意：本次Quiz截至时间为2024年12月12日23:59，即今天晚上，务必注意提交时间**