**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**

**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ “ЛЬВІВСЬКА ПОЛІТЕХНІКА”**

**Кафедра ЕОМ**



**Пояснювальна записка**

**до курсової роботи**

З дисципліни

“Архітектура комп’ютерів”

На тему:

«Проектування комп’ютера»

Варіант №5

Виконав:

Ст. групи КІ-33

Кіндій В.А.

Прийняв:

Грицик І. В.

**Львів – 2019**

**Анотація**

Курсова робота складається з трьох частин: перша частина являє собою розробку програми, яка перетворює вхідну програму на мові асемблер в мову машинних кодів. В цій частині проводиться аналіз всіх команд які потрібно реалізувати, а також розробка тестів для тестування даної програми.

В другій частині здійснюється розробка симулятора, який може відсимулювати будь яку машинного коду, а також розробка тестів для тестування розробленої програми.

Третє частина являє собою розробку асемблерної програми для перевірки коректності роботи моделі спрощеного комп’ютера. Програма має бути ефективною:

- не перевищувати 50 рядків;

- і не має виходити за 1000 інструкцій для будь яких вхідних даних.

1. **Конкретизовані та розширені вихідні дані для проектування**

Кожен варіант складається з наступних завдань:

1. 8 додаткових інструкцій без використання регістрів стану:

3 – арифметичні

3 – логічні

2 – керування

1. 3 додаткові інструкції з використання регістрів стану.
2. Передбачити на власний вибір 3 інструкцій (з розроблених в п. 1, 2), які підтримують додатковий тип адресації.

Таблиця 1 – Варіант №5

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **№** | **Розряд**  **ність** | **Арифметичні** | | | **Логічні** | | | **Керування** | | **Прапорці** | | | | **Адре**  **сація** |
| **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** |  | **1** | **2** | **3** |
| 5 | 5 | 11 | 9 | 6 | 2 | 5 | 7 | 1 | 7 | CF | 1 | 2 | 7 | 5 |

1. Визначити формати команд згідно розрядності шини даних, розміру пам’яті та регістрового файлу.

|  |  |  |  |
| --- | --- | --- | --- |
| № | Розрядність шини даних | Розмір пам’яті  Байт | Розмір регістрового файлу(к-сть регістрів) |
| 5 | 48 | 16777216 | 64 |

1. Реалізація додаткових команд. Необхідно реалізувати 8 додаткових команд. Серед них 3 арифметичні, 3 логічні та 2 команди керування згідно варіанту. Команди не мають повторюватися.

**Арифметичні**

|  |  |  |
| --- | --- | --- |
| **№** | **Мнемонічнй код** | **Зміст** |
| 6 | XADD regA regB destReg | Додати і обміняти операнди місцями destReg=regA+regB regA<=>regB |
| 9 | XIDIV regA regB destReg | Знакове ділення і обмін операндів місцями destReg=regA/regB |
| 11 | XSUB regA regB destReg | Віднімання і обмін операндів місцями: destReg=regA-regB |

**Логічні**

|  |  |  |
| --- | --- | --- |
| **№** | **Мнемонічнй код** | **Зміст** |
| 2 | XOR regA regB destReg | Додавання по модулю 2: destReg=regA # regB |
| 5 | CMPE regA regB destReg | Порівняти regA regB destReg= regA == regB |
| 7 | SAR regA regB destReg | Арифметичний зсув вправо destReg=regA >> regB |

**Керування. Умовні переходи**.

|  |  |  |
| --- | --- | --- |
| **№** | **Мнемонічнй код** | **Зміст** |
| 1 | JMA regA regB offSet | Беззнакове більше if (regA> regB) PC=PC+1+offSet |
| 7 | JML regA regB offSet | Знакове менше if (regA< regB) PC=PC+1+offSet |

1. Реалізувати додатковий спосіб адресації. Передбачити, що 3 інструкції підтримують інший вид адресації згідно варіанту. Визначення операндів, які підтримують інший спосіб адресації узгодити з викладачем.(крім безадресної)

|  |  |
| --- | --- |
| **№** | **Адресція** |
| 5 | Пряма |

1. Регістри стану: CF –регістр переносу, SF – регістр знаку, ZF – регістр 0.

**Регістр переносу (CF)**

|  |  |  |
| --- | --- | --- |
| **№** | **Мнемонічнй код** | **Зміст** |
| 1 | ADC regA regB destReg | Додавання з переносом: destReg=regA+regB+CF |
| 2 | SBB regA regB destReg | Віднімання з переносом: destReg=regA-regB-СF |
| 7 | RCR regA regB destReg | Зсунути циклічно вправо через CF destReg=regA << regB |

1. **Аналіз основних принципів побудови комп’ютерів.**

2.1. Архітектура CISC

**CISC** ([англ.](http://uk.wikipedia.org/wiki/Англійська_мова) Complex Instruction Set Computer — комп'ютер зі складним набором команд) — це [архітектура системи команд](http://uk.wikipedia.org/wiki/Архітектура_системи_команд), в якій більшість команд є комплексними, тобто реалізують певний набір простіших інструкцій [процесора](http://uk.wikipedia.org/wiki/Центральний_процесор) або шляхом зіставлення з кожною CISC-командою певної [мікропрограми](http://uk.wikipedia.org/wiki/Мікропрограма), або принаймні можуть бути зведені до набору таких простих інструкцій. Крім того, ознаками CISC-архітектури можна вважати також наявність великої кількості [методів адресації пам'яті](http://uk.wikipedia.org/wiki/Методи_адресації_пам'яті) з можливістю безпосередньої роботи з операндами в основній пам'яті комп'ютера. Тобто, CISC-архітектури відносяться, як правило, до класу [двохадресних](http://uk.wikipedia.org/wiki/Архітектура_системи_команд).

Архітектури з комплексними наборами команд, розвиток яких припав на кінець 60-х — 70-ті роки пропонували програмісту досить різноманітний набір порівняно високорівневих інструкцій машинної мови, таких, наприклад, як «виклик підпрограми» або «відняти одиницю та перейти, якщо результат ненульовий», а також велику кількість способів звертання до операндів в пам'яті для полегшення роботи зі складними [структурами даних](http://uk.wikipedia.org/wiki/Структура_даних). В ті часи, за відсутності повноцінних [мов програмування](http://uk.wikipedia.org/wiki/Мова_програмування)високого рівня та відповідних [компіляторів](http://uk.wikipedia.org/wiki/Компілятор), така апаратна підтримка високорівневого інструментарію програмування могла підвищити [продуктивність праці](http://uk.wikipedia.org/wiki/Продуктивність_праці) програміста. До того ж, програма, складена з таких команд займала небагато в пам'яті комп'ютера.

Типовими прикладами CISC-архітектур були системи [VAX](http://uk.wikipedia.org/wiki/VAX), [PDP-11](http://uk.wikipedia.org/wiki/PDP-11), [IBM System/360](http://uk.wikipedia.org/wiki/IBM_System/360), сімейства [мікропроцесорів](http://uk.wikipedia.org/wiki/Мікропроцесор) [Motorola 68000](http://uk.wikipedia.org/wiki/Motorola_68000) та [Intel x86](http://uk.wikipedia.org/wiki/Intel_x86).

Але з появою високорівневих мов та оптимізуючих компіляторів, розвитком електроніки, який спричинив здешевлення комп'ютерної пам'яті виявилось, що використання високорівневих машинних команд суттєво обмежує можливості до оптимізації програми, підвищення її швидкодії.

Зокрема, складні команди потребували багато часу на процедуру декодування, потребували багато апаратурних ресурсів для реалізації, що негативно відображалось на загальній швидкодії та складності системи. Далі, наявність спеціальних команд, таких як «виклик підпрограми» не завжди виправдовувала себе, в багатьох випадках доцільніше було б замість такої загальної команди використати набір елементарніших інструкцій, які в результаті спричиняли б виконання меншої кількості обчислень процесором. Це стосувалось і обчислювальних команд, які підтримували роботу з операндами в повільній пам'яті, що далеко не завжди давало оптимальний результат. Набагато ефективніше було б відокремити процедури роботи з пам'яттю (завантаження та збереження операндів) від проведення обчислень, що дало б можливість оптимізувати процедури звертання до запам'ятовуючого пристрою. Зрозуміло, що ці оптимізації повинні були виконуватись вже компіляторами з мов високого рівня, які до того часу досягли досить високого рівня функціональності.

Ці та інші проблеми CISC-архітектур призвели до створення в 80-ті роки [RISC](http://uk.wikipedia.org/wiki/RISC)-архітектур (від [англ.](http://uk.wikipedia.org/wiki/Англійська_мова) Reduced Instruction Set Computer — комп'ютер зі скороченим набором команд), які вибудовують прямо протилежну модель системи команд з максимальним спрощенням семантики машинної команди, зведенням її до елементарної, мінімізацією методів адресації пам'яті тощо та принциповою орієнтацією на мови високого рівня й оптимізуючі компілятори з них, аніж на програмування безпосередньо в машинних мовах.

Сучасні CISC-архітектури, такі як останні втілення сімейства процесорів x86, хоч і відповідають CISC-концепції на рівні архітектури системи команд, але всередині процесора реалізують якраз пристосованішу до сьогоднішніх реалій RISC-модель, трансформуючи потік CISC-команд в процесі виконання в набори з простіших RISC-мікрооперацій, які й виконуються процесором.

Для виконання задачі на комп’ютері необхідно:

* + забезпечити вибірку команди програми із його пам’яті в заданій послідовності, організувати звернення до неї за відповідними адресами;
  + забезпечити розпізнавання типів виконуваних операцій;
  + організувати звернення до пам’яті за відповідними адресами для вибірки необхідних для виконання кожної команди даних;
  + організувати виконання над даними операцій відповідно до вказівок команд;
  + запам’ятати результат обчислень.

Комп'ютер виконує кожну команду як послідовність простих операцій:

1. Вибірка чергової команди із основної пам'яті.
2. Визначення типу вибраної команди, тобто її дешифрування.
3. Визначення адрес даних, необхідних для виконання цієї команди.
4. Виконання операцій пересилання даних (зчитування даних із пам'яті в регістри процесора).
5. Виконання операції відповідно до її коду в полі коду операції команди.
6. Визначення адрес, за якими запам'ятовуються результати.
7. Запам'ятовування результатів.
8. Підготовка до виконання наступної команди, тобто обчислення її адреси.

Для процесора комп'ютера із складною системою команд характерні наступні особливості:

* + виконання команди за багато тактів, оскільки для цього потрібно здійснити багаторазові операції звернення до основної пам'яті та до програмно-доступних регістрів процесора;
  + орієнтація АЛП на виконання великої кількості операцій, що пов'язано з розширеним складом системи команд;
  + складна система розпізнавання команди, що пов'язано з великою кількістю методів адресації та великою кількістю форматів команд різної розрядності;
  + програмне дешифрування команд з метою зменшення затрат обладнання;
  + складна організація конвеєризації виконання команд, що пов'язано, в першу чергу, з різнотипністю їх виконання;
  + орієнтація структури на виконання команд типу регістр-пам'ять та пам'ять-пам'ять.

Основні елементи процесора - арифметико-логічний пристрій, пристрій керування і регістрова пам'ять або, як її ще називають, надоперативний запам'ятовуючий пристрій. До складу регістрової пам'яті, в свою чергу, входять наступні вузли - програмний лічильник, регістри: адреси, команди, даних, слова стану програми, а також регістровий файл, який складається з програмно доступних регістрів.

Структура регістрової (надоперативної) пам'яті процесора складається з регістрів спеціального та зального призначення. До регістрів спеціального призначення належать:

* + регістри адреси (РгА);
  + регістри команд (РгК);
  + програмний лічильник(ПЛ)
  + регістри даних (РгД).

РгА зберігає адресу даного або команди при зверненні до основної пам'яті. РгД зберігає операнд при його запису або зчитуванні з основної пам'яті. В ролі операнда може бути дане, команда або адреса. РгК зберігає команду після її зчитування з основної пам'яті. ПЛ підраховує команди та зберігає адресу поточної команди. Комп'ютер з архітектурою Джона фон Неймана має один програмний лічильник.

2.2. Система команд

Різноманітність типів даних, форм представлення та опрацювання, необхідні дії для обробки та керування ходом виконання обчислень призводить до необхідності використання різноманітних команд – набора команд.

Кожен процесор має власний набір команд, який називається системою команд процесора.

Система команд характеризується трьома аспектами:

* + формат,
  + способи адресації,
  + система операцій.

Форматом команди – є довжина команди, кількість, розмір, положення, призначення та спосіб кодування полів. Команди мають включати наступні види інформації:

* + тип операції, яку необхідно реалізувати в даній команді (поле команду операції - КОП);
  + місце в пам’яті звідки треба взяти перший операнд (А1);
  + місце в пам’яті звідки треба взяти другий операнд (А2);
  + місце в пам’яті куди треба помістити результат (А3).

Кожному з цих видів інформації відповідає своя частина двійкового слова – поле. Реальна система команд зазвичай має команди декількох форматів, тип формату визначає КОП.

Команда в комп'ютері зберігається в двійковій формі. Вона вказує тип операції, яка має бути виконаною, адреси операндів, над якими виконується операція, та адреси розміщення результатів виконання операції. Відповідно до цього команда складається з двох частин, коду операції та адресної частини.

2.3. Способи адресації

Варіанти інтерпретації бітів (розрядів) поля адреси з метою знаходження операнда називаються способами адресації. Коли команда вказує на операнд, він може знаходитись в самій команді, в основній або зовнішній пам'яті чи в регістровій пам'яті процесора. За роки існування комп'ютерів була створена своєрідна технологія адресації, яка передбачає реалізацію різних способів адресації, чому послужило ряд причин:

* + забезпечення ефективного використання розрядної сітки команди;
  + забезпечення ефективної апаратної підтримки роботи з масивами даних;
  + забезпечення задання параметрів операндів;
  + можливість генерації великих адрес на основі малих.

Існує велика кількість способів адресації. Розглянемо п’ять основних способів адресації операндів в командах.

**Пряма** – в цьому випадку адресне поле зберігає адресу операнда. Її різновидом є пряма регістрова адресація, яка адресує не комірку пам’яті а номер регістру.

**Безпосередня** – в поле адреси команди поміщається не адреса, а сам операнд.

**Непряма** – в полі адреси команди зберігається адреса комірки пам’яті в якій знаходиться адреса операнда. Такій спосіб дозволяє оперувати з адресами як з даними. Різновид непряма-регістрова адресація, адреса адреси зберігається в регістрі загального призначення.

**Відносна** – адреса формується, як сума з двох доданків: бази, яка зберігається в спеціальному регістрі чи в одному з регістрів спеціального призначення, та зміщення, яке задається в полі адреси команди. Різновид індексна та базова індексна. При індексній замість базового регістра є індексний, який автоматично модифікується (зазвичай збільшується на 1). Базова-індексна адресація формується адреса як сума трьох доданків: бази, індексу та зміщення.

**Безадресна** – поле адреси в команді відсутнє. Адреса операнда, або немає змісту або є по замовчуванню(наприклад дії на спеціальним регістром - акумулятором). Безадресні команди неможливо використати для інших регістрів чи комірок пам’яті. Одним з різновидів безадресної адресації є використання стеку.

В команду вводяться спеціальні ознаки з тим, щоб пристрій керування міг розпізнати використаний спосіб. Це можуть бути додаткові розряди в команді, або для різних типів команд закріплюватись різні способи адресації.

2.4. Індексна адресація

Індексна адресація використовується при виконанні циклів, коли потрібно збільшення або зменшення адреси на деяку величину. Цей спосіб адресації подібний до відносної адресації, при якій адреса може автоматично змінюватися в процесі виконання програми. Індексація є засобом для багатократного виконання одних і тих же відрізків програми над різними наборами (масивами) вхідних даних. Тим самим забезпечується мінімальна залежність довжини програми від кількості повторюваних відрізків програми. При цьому коди команд програми залишаються без змін. Для отримання виконавчої адреси адресна частина команди додається до вмісту спеціального регістра, в якому зберігається номер оброблюваного масиву чисел. Ці регістри називають індексними, а їх вміст - індексною величиною, або індексом.

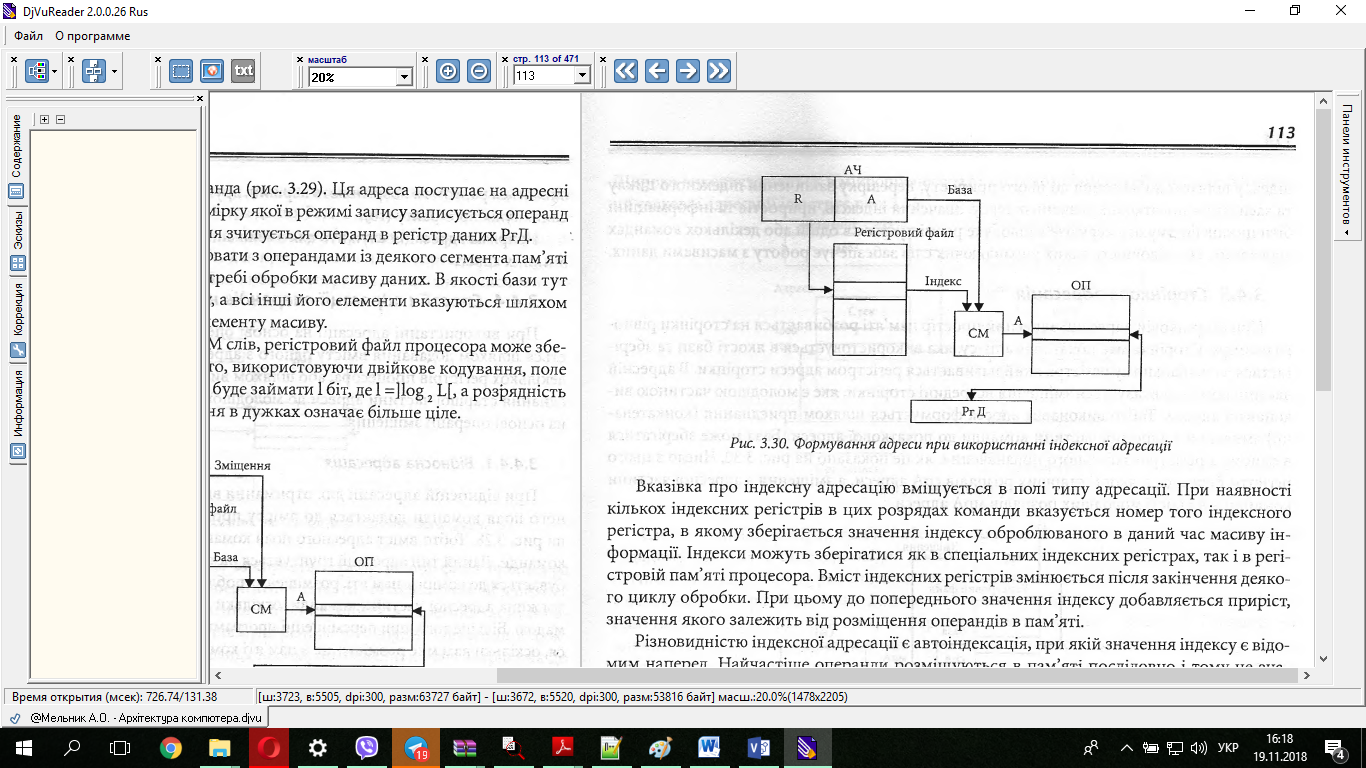


Рис.2.1. Формування адреси при індексній адресації.

Вказівка про індексну адресацію вміщується в полі типу адресації. При наявності кількох індексних регістрів в цих розрядах команди вказується номер того індексного регістра, в якому зберігається значення індексу оброблюваного в даний час масиву інформації. Індекси можуть зберігатися як в спеціальних індексних регістрах, так і в регістровій пам'яті процесора. Вміст індексних регістрів змінюється після закінчення деякого циклу обробки. При цьому до попереднього значення індексу добавляється приріст, значення якого залежить від розміщення операндів в пам'яті.

Різновидністю індексної адресації є автоіндексація, при якій значення індексу є відомим наперед. Найчастіше операнди розміщуються в пам'яті послідовно і тому це значення рівне + 1 (так звана автоінкрементна адресація) або -1 (так звана автодекрементна адресація). Порядок формування адреси при використанні автоінкрементної та автодекрементної адресації показано на рис. 2.2, де для забезпечення переміщення по комірках пам'яті використовується лічильник.

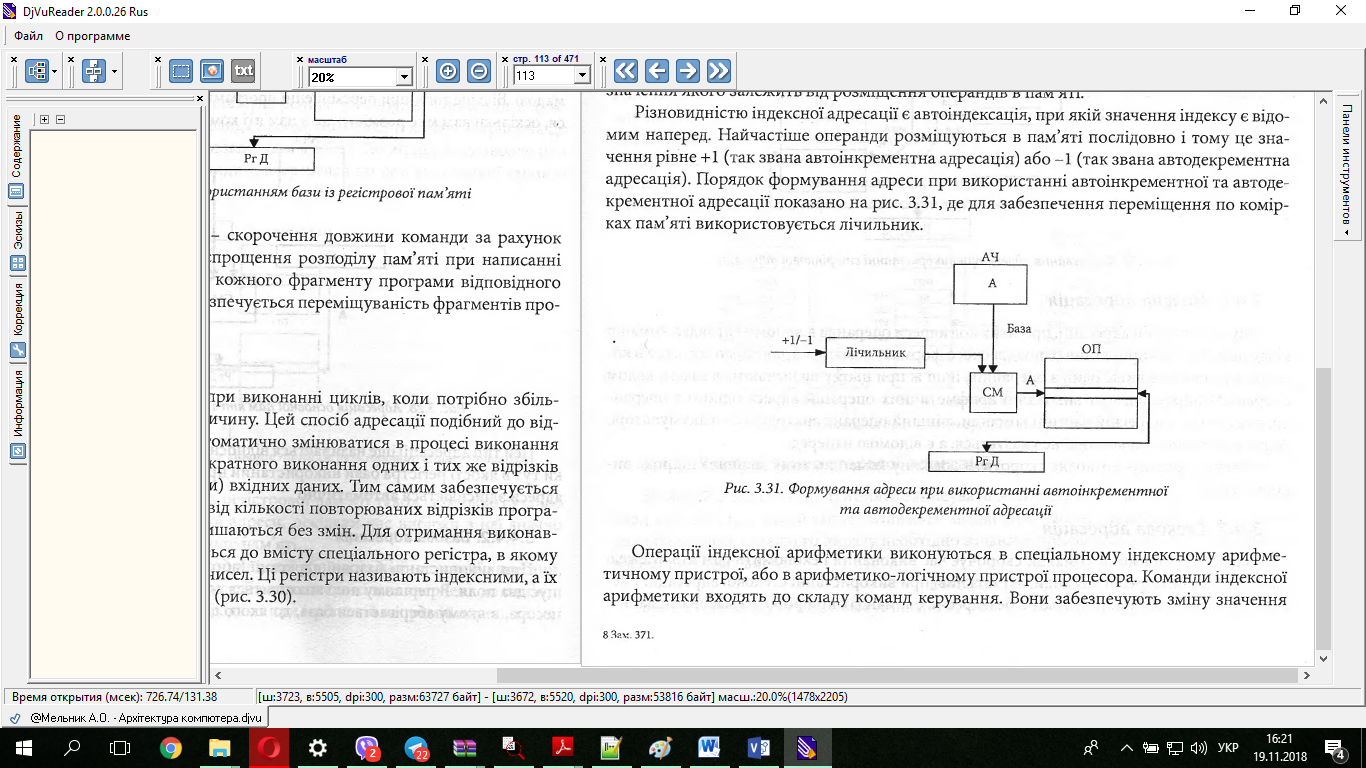


Рис.2.2. Формування адреси при автоінкрементній та автодекрементній адресації.

Операції індексної арифметики виконуються в спеціальному індексному арифметичному пристрої, або в арифметико-логічному пристрої процесора. Команди індексної арифметики входять до складу команд керування. Вони забезпечують зміну значення індексу шляхом добавлення до нього приросту, перевірку закінчення індексного циклу та засилання початкових значень індексу. Значення індексів, приростів та інформаційні біти циклів формують керуюче слово, яке розміщується в одній або декількох командах керування. Послідовність таких управляючих слів забезпечує роботу з масивами даних.

1. **Алгоритм розробленого емулятора та асемблера**

  
Рис.3.1. Схема роботи асемблера

Загальна схема роботи асемблера (рис. 1) складається з 2 проходів. На першому проході асемблер перевіряє коректність синтаксису команд. На другому виконується генерування відповідних машинних команд, тобто числового представлення асемблерної команди.

Функція *readAndParse* виконує зчитування рядку асемблерної програми і декодування на відповідні поля: мітка, код операції, операнди. Отримана таким чином і декодована інструкція перевіряється на коректність: існування команди, відповідна кількість аргументів, існування міток та т. п.

Функція *testRegArg* перевіряє коректність використання назви регістра.

Функція *testAddrArg* перевіряє коректність використання адреси.

Функція *labelArray* перетворює відповідну мітку у адресу.

*Program.as* та *program.mc* – відповідно вхідний та вихідний файли.

  
Рис.3.2. Функціональна схема симулятора.

Симулятор починає свою роботу ініціалізацією пам’яті та регістрів 0 значеннями (рис. 2.). Наступним кроком відбувається заванаження програми у машинних кодах в пам’ять. Далі відбувається покрокове виконання інструкційта вивід стану на зовнішній пристрій (чи на екран консолі чи у файл).

У stateStruct зберігається стан машини – значення регістрів, пам’яті та програмний лічільник. *stateStruct*

Функція *Run* виконує обробку інструкцій з пам’яті, функція *printState* виводить поточний стан машини, а функція *convertNum* виконує перетворення числа у доповняльний код.

1. **Аналіз принципів побудови спрощеного комп’ютера**
   1. Структура СК до модифікації



Рис. 4.1. Функціональна схема СК до модифікації

В спрощеному комп’ютері (СК) в пам’яті зберігаються, як дані так і інструкції. Кожна інструкція закодована числом. Це число складається з декількох полів: поле назви команди чи код операції (КОП) та полів операндів. В СК є два види пам’яті: загальна пам’ять, та регістрова пам’ять. В загальній пам’яті зберігаються інструкції програми та дані над якими оперують інструкції. В регістровий пам’яті зберігаються дані над якими виконуються інструкції. У реальних комп’ютерах регістрова пам’ять є малою за розмірами та швидкою, працює на швидкості ядра процесора, загальна пам’ять є великою за розміром, але набагато повільніша за ядро процесора. Регістрова пам’ять підтримує лише пряму адресацію, загальна пам’ять підтримує декілька типів адресації.

У СК є 8 регістрів по 32 розряди, пам’ять складається з 65536 слів по 32 розряди. Отже СК є 32 розрядним комп’ютером. Він підтримує 8 інструкцій, кожна з яких розписана нижче. У СК є спеціальний регістр лічільник команд (ЛК).

За прийнятою домовленістю 0вий регістр завжди містить 0 (це не обмовлено апаратними вимогами проте асемблерна програма ніколи не має змінювати значення 0ого регістра, який ініціалізуються 0 ).



Рис.4.2. Формат СК

СК підтримує 4 формати інструкцій. Біти 31-25 не використовує жодна інструкція тому вони завжди мають дорівнювати 0.

Інструкції R-типу (add, nand):

біти 24-22: код операції

біти 21-19: reg A

біти 18-16: reg B

біти 15-3: не використовуються ( =0)

біти 2-0: destReg



Рис.4.3. Інструкція R-типу

I-тип інструкцій (lw, sw, beq):

біти 24-22: код операції

біти 21-19: reg A

біти 18-16: reg B

біти 15-0: зміщення (16 біт, значення від -32768 до 32767)



Рис.4.4. Інструкція I-типу

J-тип інструкцій:

біти 24-22: код операції

біти 21-19: reg A

біти 18-16: reg B

біти 15-0: не використовуються ( =0)

O-тип інструкцій (halt, noop):

біти 24-22: код операції

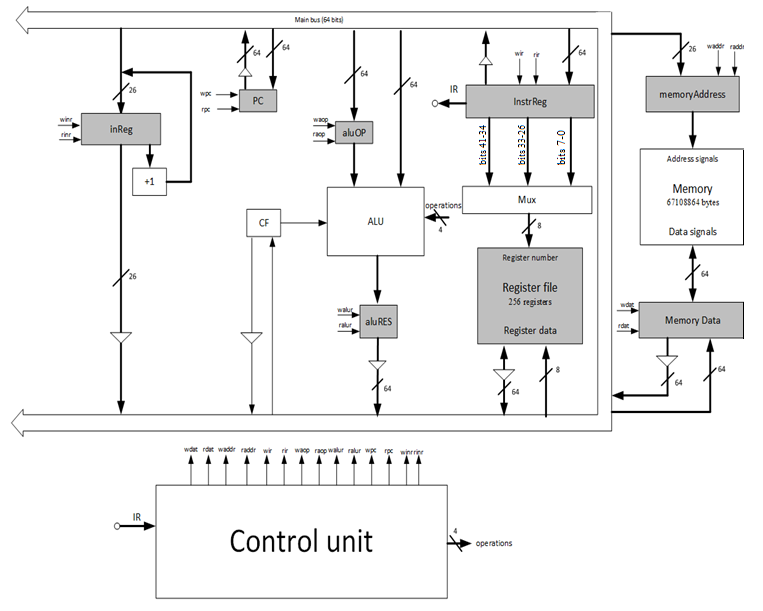
біти 21-0: не використовуються ( =0)

* 1. **Система команд**

Таблиця 8. Система команд

|  |  |  |  |
| --- | --- | --- | --- |
| **№** | **Мнемонічний код**  **інструкції** | **КОП** | **Опис операції** |
| 1 | ADD regA regB destReg | 00000 | Додає вміст регістру regA до вмісту regB, та зберігає в destReg |
| 2 | NAND regA regB destReg | 00001 | Виконує логічне побітове І-НЕ вмісту regA з вмістом regB, та зберігає в destReg |
| 3 | LW regA regB offset | 00010 | Завантажує regB з пам’яті. Адреса пам’яті формується додаванням зміщення до вмісту regA. |
| 4 | SW regA regB offset | 00011 | Зберігає вміст регістру regB в пам’ять. Адреса пам’яті формується додаванням зміщення до вмісту regA. |
| 5 | BEQ regA regB offset | 00100 | Якщо вміст регістрів regA та regB однаковий, виконується перехід на адресу програмний лічильник(ПЛ) + 1+зміщення, в ПЛ зберігається адреса поточної тобто beq інструкції. |
| 6 | JALR regA regB | 00101 | Спочатку зберігає ПЛ+1 в regB, в ПЛ адреса поточної (jalr) інструкції. Виконує перехід на адресу, яка зберігається в regA. Якщо в якості regA regB задано один і той самий регістр, то спочатку в цей регістр запишеться ПЛ+1, а потім виконається перехід до ПЛ+1. |
| 7 | HALT | 00110 | Збільшує значення ПЛ на 1, потім припиняє виконання, стимулятор має повідомляти, що виконано зупинку. |
| 8 | XADD regA regB memAddr | 00111 | Додає вміст регістру regA до вмісту regB, та зберігає в комірку памяті memAddr, та обмінює вміст регістрів regA regB |
| 9 | XIDIV regA regB memAddr | 01000 | Знакове ділення регістру regA на regB, результа зберігається в комірку memAddr, та обмін вмістимим регістрів regA regB |
| 10 | XSUB regA regB memAddr | 01001 | Відняти вмістимк регістра regA від regB та записати в memAddr, обмін вмістими між регістрами regA regB |
| 11 | XOR regA regB destReg | 01010 | Додавання мо модулю 2 чисел regA regB збереження результату в destReg |
| 12 | CMPE regA regB destReg | 01011 | Порівняння чисел regA regB, якщо рівні то destReg = 1, ні — то destReg = 0 |
| 13 | SAR regA regB destReg | 01100 | Арифметичний зсув вправо destReg=regA >> regB |
| 14 | JMA regA regB offSet | 01101 | Беззнакове більше if (regA> regB) PC=PC+1+offSet |
| 15 | JML regA regB offSet | 01110 | Знакове менше if (regA< regB) PC=PC+1+offSet |
| 16 | ADC regA regB destReg | 01111 | Додавання з переносом: destReg=regA+regB+CF |
| 17 | SBB regA regB destReg | 10000 | Віднімання з переносом: destReg=regA-regB-СF |
| 18 | RCR regA regB destReg | 10001 | Зсунути циклічно вправо через CF destReg=regA << regB |
| 19 | CLCF | 10010 | Скинути значення CF |

* 1. **Структура СК після модифікації**



**Рис. 4.5. Функціональна схема СК після модифікації.**

Після модифікації відбулись зміни :

1. Збільшилась шина данних (з 32 бітів до 48 бітів).
2. Додано 8 додаткових операцій:

* 3 арифметичні операції (XADD, XIDIV, XSUB);
* 3 логічні операції (XOR, CMPE, SAR);
* 2 операції керування (JMA, JML).

1. Було додано прапорець CF – (Carry flag), а також команди ADC, SBB, RCR, які працюють в парі з прапорцем.
2. Збільшилась пам’ять (з 65535 слів до 16777216).
3. Збільшилось число регістрів (з 8 до 64).
4. Додано додатковий спосіб адресації — прямий, та модифіковані команди XADD, XIDIV, XSUB для роботи з прямою адресацією

Отже , СК є 48 розрядним комп’ютером. У СК є 64 регістри по 48 розряди. Пам’ять складається з 16777216 слів по 48 розрядів. Він підтримує 20 інструкцій, кожна з яких буде розписана нижче.

За прийнятою домовленістю 0вий регістр завжди містить 0 (це не обмовлено апаратними вимогами проте асемблерна програма ніколи не має змінювати значення 0-ого регістра, який ініціалізуються 0 ).

СК підтримує 9 форматів інструкцій.

Інструкції R-типу (add, nand, mul, xor, cmpe, sar, adc, sbb, rcr, adc, sbb, rcr):

біти 47-41: не використовуються;

біти 40-36: код операції;

біти 35-30: reg A;

біти 29-24: reg B;

біти 23-6: не використовуються;

біти 5-0: destReg.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 47-41 | 40-36 | 35-30 | 29-24 | 23-6 | 5-0 |
| unused | opcode | regA | regB | unused | destReg |

Рис.4.6. Інструкція R-типу після модифікації.

I-тип інструкцій (lw, sw, beq, jma , jml):

біти 47-41: не використовуються;

біти 40-36: код операції;

біти 35-30: reg A;

біти 29-24: reg B;

біти 23-0: зміщення (24 біти, значення від -8388608 до 8388607).

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 47- 41 | 40-36 | 35-30 | 29-24 | 23-0 |
| unused | opcode | regA | regB | Offset |

Рис.4.7. Інструкція I-типу після модифікації.

J-тип інструкцій (jalr):

біти 47-41: не використовується

біти 40-36: код операції;

біти 35-30: reg A;

біти 29-24: reg B;

біти 23-0: не використовуються.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 47-41 | 40-36 | 35-30 | 29-24 | 23-0 |
| unused | opcode | regA | regB | Unused |

Рис.4.8. Інструкція J-типу після модифікації.

O-тип (halt, clcf):

біти 63-42: код операції;

біти 41-0: не використовуються.

|  |  |  |
| --- | --- | --- |
| 47-41 | 40-36 | 35-0 |
| unused | opcode | Unused |

Рис.4.11. Інструкція O-типу після модифікації.

## **Потактове виконання команд**

1. Інструкції add, nand, mul, xor, cmpe, sar:
2. memAddr <= PC;
3. PC++; mem (встановлення адреси);
4. instrReg <= mem[memAddr];
5. aluOP <= Reg[instrReg[35-30]]
6. aluRes <=aluOP operation Reg[instrReg[29-24]];
7. Reg[instrReg[5-0]] <= aluRes;
8. Інструкціїlw, sw, beq, jma , jml:

* sw/lw

1. memAddr <= PC;
2. PC++; mem (встановлення адреси);
3. instrReg <= mem[memAddr];
4. memAddr <= Reg[instrReg[33-24]] + instrReg [25-0];
5. memData <= mem[mamAddr]; or mem[mamAddr] <= memData then Reg[instrReg[33-26]] <= mem[Addr];

* умовних переходів

1. memAddr <= PC;
2. PC++; mem (встановлення адреси);
3. IR <= mem[memAddr];
4. aluRes <= Reg[instrReg [41-34]] logic\_operation Reg[instrReg [33-26]];

Якщо умова виконується, то*:*

1. PC <= PC + instrReg[25-0] + 1;
2. Інструкція jalr, bt, neg:
3. memAddr <= PC;
4. PC++; mem (встановлення адреси);
5. IR <= mem[memAddr];
6. A) Reg[instrReg [33-26]] <= PC;

B) CF<= Reg[instrReg [41-34][Reg[instrReg [33-26]]]]

C) Reg[instrReg [33-26]] <= - Reg[instrReg [41-34]]

1. PC <= Reg[instrReg[41-34]];
2. If Reg[instrReg[41-34]] = Reg[instrReg [33-26]] then:

A.1) Reg[instrReg[41-34]] <= PC+1;

A.2) PC <= Reg[instrReg[41-34]];

1. Інструкціїhalt, clc**:**
2. memAddr <= PC;
3. PC++; mem (встановлення адреси);
4. IR <= mem[memAddr];
5. Stop / CF = 0.
6. Інструкціїload, store**:**
7. memAddr <= PC;
8. PC++; mem (встановлення адреси);
9. IR <= mem[memAddr];
10. memAddr <= Reg[inReg+ instrReg [25-0]];
11. memData <= Reg[inReg]; or mem[memAddr] <= memData then

Reg[inReg] <= mem[memAddr] ;

1. inReg++.
2. Інструкції setIR, dec:

memAddr <= PC;

PC++; mem (встановлення адреси);

IR <= mem[memAddr];

inReg <= Reg[instrReg[41-34]] or Reg[instrReg[41-34]] <= Reg[instrReg[41-34]] - 1.

**Результат роботи**

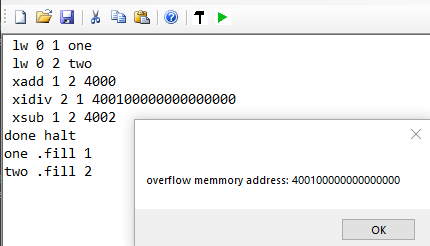
Для перевірки коректної роботи процесора написані спеціальні програми. Ці програми використовують усі наявні команди, що були розроблені в даному процесорі.

1. Тестування коректності роботи команд XADD, XIDIV, XSUB

(Дані команди в якості 3 операнда приймають адресу памяті, 3 операнд — результат)

|  |  |
| --- | --- |
| lw 0 1 one  lw 0 2 two  xadd 1 2 4000  xidiv 2 1 4001  xsub 1 2 4002  done halt  one .fill 1  two .fill 2 | 137455730694  137472507911  550863114144  620639555489  688302067618  412316860416  1  2 |
| @@@  state:  pc 5  memory:  mem[0] - 137455730694  mem[1] - 137472507911  mem[2] - 550863114144  mem[3] - 620639555489  mem[4] - 688302067618  mem[5] - 412316860416  mem[6] - 1  mem[7] - 2  memory used as absolute value (xadd, xidiv, xsub)  mem[4000] - 3  mem[4001] - 0  mem[4002] - -1  registers:  reg[0] - 0  reg[1] - 2  reg[2] - 1  reg[3] - 0  reg[4] - 0  reg[5] - 0  reg[6] - 0  reg[7] - 0  reg[8] - 0  reg[9] - 0  reg[10] - 0  reg[11] - 0  reg[12] - 0  reg[13] - 0  reg[14] - 0  reg[15] - 0  reg[16] - 0 | |

Вказування неправильного значення в полі адреси для команд XADD, XIDIV, XSUB



2. Тестування логічних команд XOR, CMPE, SAR

|  |  |
| --- | --- |
| lw 0 1 one  lw 0 2 two  xor 1 2 10  cmpe 1 2 11  cmpe 2 2 12  lw 0 3 twelwe  sar 3 2 14  halt  one .fill 1  two .fill 2  twelwe .fill 12 | 137455730696  137472507913  757021540362  825741017099  826814758924  137489285130  896607977486  412316860416  1  2  12 |
| – test XOR  registers:  reg[0] - 0  reg[1] - 1  reg[2] - 2  reg[3] - 0  reg[4] - 0  reg[5] - 0  reg[6] - 0  reg[7] - 0  reg[8] - 0  reg[9] - 0  reg[10] - 3  reg[11] - 0  reg[12] - 0  reg[13] - 0  reg[14] - 0  reg[15] - 0  – reg[10] equal 3 : 2 ^ 1 = 3  – test cmp when regA != regB  reg[0] - 0  reg[1] - 1  reg[2] - 2  reg[3] - 0  reg[4] - 0  reg[5] - 0  reg[6] - 0  reg[7] - 0  reg[8] - 0  reg[9] - 0  reg[10] - 3  reg[11] - 0  reg[12] - 0  reg[13] - 0  reg[14] - 0  reg[15] - 0  – reg[11] equal to 0 because regA != reg B  – test cmpe when regA = regB  reg[0] - 0  reg[1] - 1  reg[2] - 2  reg[3] - 0  reg[4] - 0  reg[5] - 0  reg[6] - 0  reg[7] - 0  reg[8] - 0  reg[9] - 0  reg[10] - 3  reg[11] - 0  reg[12] - 1  reg[13] - 0  reg[14] - 0  reg[15] - 0  – reg[12] equal to 1 because regA = regB  – test SAR  reg[0] - 0  reg[1] - 1  reg[2] - 2  reg[3] - 12  reg[4] - 0  reg[5] - 0  reg[6] - 0  reg[7] - 0  reg[8] - 0  reg[9] - 0  reg[10] - 3  reg[11] - 0  reg[12] - 1  reg[13] - 0  reg[14] - 3  reg[15] - 0  – reg[14] equal to 3 because 12 >> 2 = 12:2 = 3 | |

**Висновок**

В даній курсовій роботі був реалізований спрощений прототип комп’ютера з CISC архітектурою. Мною було проведено розширення його системи команд та зміна розмірності системної шини та памяті згідно з варіантом.

Було розроблено 2 програми:

1. Транслятора асемберного коду у машинні інструкції
2. Симулятор результуючого машинного коду

Всі архітектурні нововведення були відтестовані та працюють без помилок. Також мною було розроблено 5 тестових програм, які перевіряють правильність роботи програми.

Програми були протестовані та працюють справно.

Отже, я ознайомився та опанував інструкції простої асемберної мови та особливості їх транслювання у машинну мову.

**Список використаної літератури**

1. Мельник А. О. Архітектура комп’ютера. Наукове видання. – Луцьк: Волинська обласна друкарня, 2008. – 470 с.
2. Жмакин А. П. Архитектура ЭВМ. – СПб.: БХВ-Петербург, 2006. — 320 с: ил.
3. Таненбаум Э. Архитектура компьютера. 5-е изд. (+CD). — СПб.: Питер, 2007. — 844 с: ил.
4. Patterson D., and Hennessy J. Computer Architecture. A quantitative Approach. Second Edition. - Morgan Kaufmann Publishers, Inc., San Francisco, California, 1996. - 760 p.
5. <https://wetalldid.files.wordpress.com/2011/11/eecs-370-introduction-to-computer-organization-exam-1-w-solutions-narayanasamy-bertacco-2010.pdf>
6. [Б. Керниган, Д. Ритчи - Язык программирования Си](http://cpp.com.ru/kr_cbook/index.html)
7. <http://uk.wikipedia.org/wiki/> Індексна\_адресація
8. <http://uk.wikipedia.org/wiki/CISC>
9. https://uk.wikipedia.org/wiki/Оператори\_в\_C\_та\_C++
10. <https://uk.wikipedia.org/wiki/Код_операції>

Додаток А.Вихідний код транслятора.