

Konzeption und Realisierung einer Steuerrechner-Plattform für ein Quadrocopter Flugmodell

BACHELOR-THESIS

Hochschule Ulm
Fakultät Elektrotechnik und Informationstechnik

FRANK SEIFERT
Nachrichtentechnik
Matrikel-Nr.: 3103997
SS 2013

15. Juli 2013

Gutachter: Prof. Dr.-Ing. Manfred Strahnen
Prof. Dr. rer. nat. Norbert Normann

Erklärung

Diese Abschlussarbeit wurde von mir selbständig verfasst. Es wurden nur die angegebenen Quellen und Hilfsmittel verwendet. Alle wörtlichen und sinngemäßen Zitate sind in dieser Arbeit als solche kenntlich gemacht.

Ort, Datum

Unterschrift

Abstract

Zielsetzung dieser Bachelorarbeit ist die Konzeption und Realisierung einer Steuerrechner-Plattform für ein Quadrocopter Flugmodell. Der eigentliche Steuerrechner ist ein Multiprozessor-System on a Programmable Chip (SoPC), welches mit einem Firefly IV Modul der Firma Microtonix realisiert wird. Dieses Firefly Modul beinhaltet einen Field Programmable Gate Array (FPGA) Chip von Altera sowie verschiedene Speicherbausteine. Das Multiprozessorsystem ist für die Flugsteuerung sowie Stabilisierung des Flugmodels zuständig. Hierfür wird auf ein bestehendes SoPC der Hochschule Ulm zurück gegriffen und dieses entsprechend den Anforderungen für die Steuerung eines Quadrocopter Flugmodels erweitert. Änderungen am bestehenden SoPC sind für die Pulsweitenmodulation (PWM)-Ein- sowie Ausgänge, welche für den Empfang der gewünschten Flugbahn der Fernbedienung notwendig sind, sowie der Ansteuerung der Servomotoren vorzunehmen. Wesentlicher Teil der Bachelorarbeit ist die Konzeption und Realisierung einer den Anforderungen eines Quadrocopter Flugmodels gerechten Hardware, welche das Firefly IV Modul aufnehmen kann. Die für das Firefly Modul notwendige Spannungsversorgung wird mithilfe eines Konzeptes von DC-DC Spannungswandlern, mittels des Lithium-Polymer-Akkumulator (LiPo)-Akkumulators des Quadrocopter zur Verfügung gestellt. Des Weiteren wird ein zusätzlicher SRAM Speicherbaustein in die Hardware integriert um Einbußen der Rechengeschwindigkeit zu vermeiden die auftreten würden wenn mehrere Prozessoren sich einen Speicher teilen müssten. Ebenso wurde ein USB Controller Chip integriert, welcher für die eventuelle Nutzung einer Kinect Kamera auf dem Quadrocopter vorgesehen ist.

Inhaltsverzeichnis

Erklärung	i
Abstract	ii
Abkürzungsverzeichnis	v
1 Einleitung	1
1.1 Motivation	1
1.2 Aufgabenstellung	2
1.3 Analyse der Anforderungen	4
2 Grundlagen und Stand der Technik	6
2.1 Quadro- und Duocopter	6
2.2 Nios II	8
2.3 UART	8
2.4 Kinect	9
2.5 PLL	10
2.6 Firefly IV	11
2.7 Eagle	12
2.8 SoPC	13
2.9 LiPo-Akkumulator	15
2.10 Funkschnittstelle	17
3 SOPC	18
3.1 Konzeption	19
3.2 Ergebniss	20
4 Trägerplatine	21
4.1 Konzeption	21
4.1.1 8 Kanal Fernbedienung	21
4.1.2 Schnittstellen	23
4.1.3 USB-Controller	23
4.1.4 Datenfunk	24
4.1.5 SRAM	25
4.1.6 Spannungsversorgung	26

4.1.7	Layer	32
4.2	Ergebniss	33
4.2.1	Messergebnisse Spannungsversorgung	34
4.2.2	Testen der Trägerplatine mit Firefly Modul	40
5	Zusammenfassung und Ausblick	41
Abbildungsverzeichnis		42
Tabellenverzeichnis		44
Literaturverzeichnis		45
A	Anhang	47
A.1	Firefly IV Pinbelegung	48
A.2	Schaltpläne	50
A.3	Bauteil Dokumentation	57
A.4	Anschluss- und Bestückungsplan	60

Abkürzungsverzeichnis

BGA	Ball Grid Array
CPU	Central Processing Unit
EAGLE	Einfach Anzuwendender Grafischer Layout-Editor
FPGA	Field Programmable Gate Array
FIFO	First In First Out
GPIO	General purpose IO
I²C	Inter-Integrated Circuit
LiPo	Lithium-Polymer-Akkumulator
PLL	Phase-Locked Loop
PWM	Pulsweitenmodulation
RAM	Random Access Memory
ROM	Read-Only Memory
SoPC	System on a Programmable Chip
SDRAM	Synchronous Dynamic Random Access Memory
SRAM	Static Random-Access Memory
UART	Universal Asynchronous Receiver Transmitter
VHDL	Very High Speed Integrated Circuit Hardware Description Language

1 Einleitung

1.1 Motivation

Die immer größere Rechenleistung kleiner moderner Prozessoren ermöglicht es kostengünstig autonome Flugroboter zu bauen, wie zum Beispiel in Abbildung 2.2 zu sehen. Die für die einfache Flugstabilisierung benötigte Rechenleistung ist durch die heutzutage zur Verfügung stehenden kleinen, leichten, kostengünstigen und trotzdem rechenstarken Mikroprozessoren gegeben. Die meisten der heutzutage in open-Source Flugroboter verwendeten Prozessoren bieten keine große Leistungsreserven für zusätzliche Berechnungen wie z.B. Hinderniserkennung. Als Beispiel ist hierfür das MultiWii¹ Projekt zu erwähnen. Dieses Projekt wurde von Anfang an als open-Source betrieben und hatte als Ziel kostengünstig, mit weitverbreitenden Bauteilen ein Quadrocopter Modell zu steuern. Aktuell basieren die meisten MultiWii Flight Controller auf dem Mikrocontroller Atmega 328 von Atmel. Dieser Mikrocontroller ist allein mit der Flugstabilisierung und den gewünschten Flugmanövern am Maximum seiner Rechenleistung.

In der näheren Zukunft ist mit einem großen Potential für autonome Flugroboter zu rechnen. Daher führt kein Weg daran vorbei diese mit höherer Rechenleistung auszustatten. Einen weiteren Vorteil der gestiegenen Rechenleistung wäre der Betrieb eines mächtigeren Betriebssystem, beispielsweise Linux, welches dem Programmierer mehr Komfort und Dienste bietet. Hierdurch ergeben sich entscheidende Vorteile in Sachen Flexibilität für sich ändernde Anforderungen da sich zusätzliche Sensoren, Aktoren oder neue Funkschnittstellen mittels Treiber initialisieren lassen. Der Nachteil besteht hierin wiederum durch die nichtechtzeitfähigkeit der meisten Linux Distributionen. Welcher sich aber durch Verwendung eines Multiprozessor Systems ausgleichen lässt. In diesem System könnte ein spezieller Prozessor mittels Echtzeit Betriebssystem die zeitkritische

¹<http://www.multiwii.com/>

Flugstabilisierung übernehmen, während die nicht zeitkritischen Funktionen von einem anderen Prozessor übernommen werden, welcher Linux als Betriebssystem verwendet-

Denkbare Anwendung von autonomen Flugrobotern mit Erfassung der Umgebung wäre zum Beispiel in Katastrophengebieten. Dort könnte ein Flugroboter direkt ins Katastrophengebiet fliegen und per Datenfunk eine Echtzeitumgebungskarte an die Einsatzkräfte übertragen. Hierdurch würde sich die Gefahr für die Einsatzkräfte verringern und diese könnten ihre Einsätze besser koordinieren. Des Weiteren können autonome Flugroboter, sofern diese mit Hindernisserkennung ausgestattet sind, in unbekannte weit entfernte Gegenden geschickt werden um dort zum Beispiel dringend benötigte Medikamente abzuliefern.

1.2 Aufgabenstellung

Zielsetzung dieser Bachelorarbeit ist die Konzeption und Realisierung einer Hardware-Plattform zur Aufnahme eines Multiprozessorsystems zur Steuerung eines Quadrocopter-Duocopterflugmodells. Das Multiprozessorsystem soll mithilfe eines SoPC auf einem FPGA realisiert werden. Die Verwendung eines FPGA bietet den Vorteil, dass solch ein System sich ohne Hardwareänderung den Anforderungen anpassen kann. Des Weiteren ist zu versuchen, die theoretische maximale Rechenleistung des FPGA zu nutzen. Worauf besonders auf den Speicher zu achten ist, damit dieser keine Leistungseinbußen verursacht.

Als FPGA wird ein Firefly IV Basismodul der Firma Microtonix verwendet, welches den FPGA Chip mit zusätzlicher Hardware auf einer Platine vereint. Das Modul verfügt über 144 Pins und kann so als einfache Plugin Lösung auf einer entsprechenden Platine bestückt werden. Ebenfalls soll die Möglichkeit bestehen ein Update des SoPC direkt auf der Trägerplatine zu realisieren.

Für diese Plugin Lösung muss eine flugtaugliche Trägerplatine entworfen werden, welche als Plattform für das FireFly Modul dient. Die Platine wird im Flugbetrieb mithilfe eines LiPo betrieben, daher muss auf der Platine für die Sensoren, Aktoren und das

FPGA die notwendigen Spannungen gewandelt werden und diesen mit ausreichender Leistung zur Verfügung gestellt werden. Hierfür muss ein Konzept der Spannungswandlung erarbeitet werden. Ebenso soll der Quadrocopter manuell geflogen werden können, hierfür wird eine handelsübliche 8 Kanal Modellflugfernbedienung verwendet. Nachfolgende Auflistung zeigt die notwendigen Anschlüsse für Sensoren und Aktoren:

- Anschlüsse für: GPS, Datenfunk, Kinect-Kamera, Beschleunigungssensoren
- PWM Ausgänge: Ansteuerung für 4 Motoren (Quadrocopter) bzw. 2 Motoren und 2 Servomotoren(Duocopter)
- PWM Eingang bzw. Eingänge: Signale der Fernbedienung
- JTAG Anschluss für das SoPC update

Dieses entworfene Konzept wird mithilfe geeigneter Bauteile in einen Schaltplan überführt, aus welchem sich ein Layout für die Trägerplatine erstellen lässt. Das Layout ist in Hinsicht auf geringe Größe sowie geringes Gewicht zu optimieren. Zusätzlich soll die Möglichkeit gegeben sein, bei diesem Prototypen die Signale der Datenleitungen messen zu können.

Abschliessend ist diese Platine zu fertigen und mittels Messungen die gewünschte Funktionalität zu protokollieren. Die Funktionsüberprüfung ist in diesem Fall wichtig da einerseits keine Erfahrung für das Konzept und die verwendeten Bauteile vorliegen, sowie ein unkontrolliertes Verhalten seitens der Spannungsversorgung zum Absturz des Flugmodells führen kann.

1.3 Analyse der Anforderungen

In diesem Kapitel soll genauer auf die gegebenen Anforderungen eingegangen werden. Daher werden die Anforderungen analysiert und aus diesen eine Auflistung der Anforderungen erstellt.

Der Quadrocopter benötigt für die Lagebestimmung Beschleunigungssensoren mit deren Hilfe er seine Lage stabilisiert. Die hierfür verwendeten Sensoren für die Lagebestimmung befinden sich auf einer externen Platine, auf welcher 3 Beschleunigungssensoren sitzen, die die aktuellen Beschleunigungen in X, Y und Z-Richtung misst. Dieses Sensorboard kommuniziert über Inter-Integrated Circuit (I²C). Hierfür muss ein Anschluss auf der Trägerplatine vorgesehen werden. Für die GPS-Funktionalität des Quadrocopter steht ein externes GPS-Modul zur Verfügung. Dieses Modul kommuniziert mithilfe eines Universal Asynchronous Receiver Transmitter (UART) Schnittstelle, somit muss auch für dieses ein Anschluss vorgesehen werden.

Die Spannungsversorgung der Trägerplatine wird im Flugbetrieb mittels des im Quadrocopter vorhandenen Akkumulator betrieben, bei welchen es sich um einen LiPo-Akkumulator mit 4 Zellen handelt. Die Spannung des LiPo-Akkumulator ist nicht konstant und hängt stark vom Ladezustand ab. Hierdurch ergibt sich die Anforderung ein geeignetes Konzept der Spannungsversorgung und der verwendeten Bauteile zu entwerfen.

Eine mögliche Anbindung an ein Datennetz ist vorgesehen, hierfür ist zu Überlegen welche aktuelle Funkttechnik die Datenübertragung während des Fluges des Quadrocopter ermöglicht.

Die Möglichkeit der Verwendung einer Kinect-Kamera ist ein zentrales Thema der gewünschten Plattform, hierfür muss die Plattform den Anforderungen für den Betrieb einer Kinect-Kamera gerecht werden.

Typischerweise werden die einzelnen PWM-Kanäle einer Modellflugfernbedienung an dessen gekoppelten Empfänger parallel ausgegeben. Daher ergibt sich einhergehend durch die Verwendung einer 8 Kanäle Fernbedienung die Verwendung von 8 User

I/O's des Firefly IV Moduls. Alternativ besitzen einige Modelflugfernbedienung die Funktion die 8 Kanäle seihl auszugeben. Diese serialisierung könnte auch mithilfe eines Mikroprozessor realisiert werden. Dies würde wiederrum nur 1 User I/O's des Firefly IV Moduls beanspruchen.

Die Zusammenfassung der Anforderungen an die Arbeit, anhand der Aufgabenstellung aus Kapitel 1.2 ergibt folgende Anforderungen:

- Möglichst leistungsfähiges Multiprozessor-SoPC ohne gegenseitige Beeinflussung der CPUs
- Konzept der Spannungsversorgung mit hohem Wirkungsgrad sowie geringes Gewicht
- Trägerplatine mit Einbindung der Kinect-Kamera (USB,Spannungsversorgung)
- Möglichkeit der Anbindung an ein Funknetz (3G, 4G)
- Möglichkeit der Anbindung an ein Datennetz
- I²C-Schnittstelle für den Anschluss der Sensoren
- UART-Schnittstelle für das externe GPS-Modul
- Überführung des Schaltplans in ein geeignetes Platinenlayout mit möglichst gerinem Gewicht und Maße
- Serialisierung der 8 Eingangskanäle der Fernbedienung

2 Grundlagen und Stand der Technik

Dieses Kapitel dient der Einführung in den Stand der Technik.

2.1 Quadro- und Duocopter

Ein Quadrocopter ist ein Fluggerät mit vier Propellern welche horizontal auf dem Flugmodell, meist X-förmig angeordnet sind. Die Abbildung 2.2 zeigt ein Quadrocopter aus dem Modelbaubereich. Der Name Quadrocopter leitet sich vom lateinischen quadri für 4 und copter vom griechischen ab, was für Flügel steht. Es gibt alternative Varianten mit zwei, drei, sechs und acht Propellern. Im Rahmen dieser Bachelorarbeit wird nur der Begriff Quadrocopter verwendet. Im Falle eines Quadrocopters sind die Drehrichtung der Propeller unterschiedlich wie in Abbildung 2.1 zu erkennen.

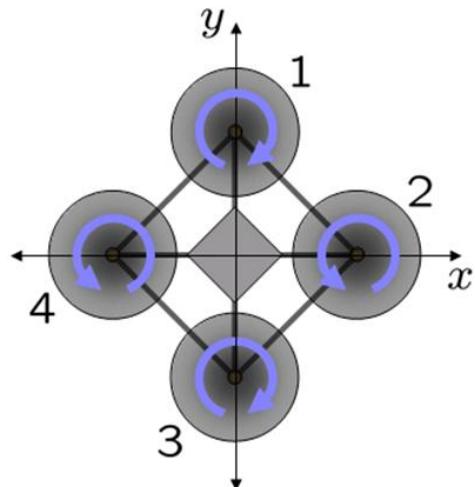


Abbildung 2.1: Skizze der Motordrehrichtung eines Quadrocopter Flugmodell aus [8]

Die Unterschiedlichen Drehrichtungen kompensieren die von den Rotoren auf das Modell ausgeübten unterschiedlichen Drehmomente. Ebenso lassen sich die unterschiedlichen

Drehmomente nutzen um das Flugmodell gezielt nach links oder rechts um die eigene Achse drehen zu lassen. Quadrocopter werden meist von Mikroprozessoren gesteuert, welche Sensoren auslesen und anhand dieser die relative Position der Quadrocopter ermitteln und mithilfe geeigneter Regelungsverfahren die Drehzahl einzelner Propeller anpassen um ein gewünschtes Moment zu erzeugen, welches der Störgröße entgegen wirkt. Die Flugeigenschaften entsprechen denen eines Hubschrauber.



Abbildung 2.2: Foto eines autonom fliegenden Quadrocopter aus [6]

Der Duocopter besitzt nur 2 horizontale Propeller wie in Abbildung 2.3 zu sehen. die zusätzlich nötigen Bewegungsfreiheiten der Propeller wird durch Servomotoren erreicht, welche die Propeller neigen können.



Abbildung 2.3: Foto eines Duocopter aus [3]

2.2 Nios II

Der Nios II² Prozessor wurde von der Firma Altera entwickelt und ist ein sogenannter Soft-Prozessor. Bei einem Soft-Prozessor handelt es sich um einen synthetischen Prozessor der komplett in einer Hardwarebeschreibungssprache beschrieben ist und somit auf einem FPGA abgebildet werden kann.

2.3 UART

Bei der UART-Schnittstelle handelt sich um eine serielle Schnittstelle welche zum Senden und Empfangen von Daten dient. Asynchron heisst in dem Fall das keine Synchronisierung über ein spezielles Taktsignal notwendig ist, da die Synchronisierung über einen gesamten Frame erfolgt. Die UART Schnittstelle ist im industriellen Bereich weit verbreitet, wodurch sich eine Vielzahl von Möglichkeiten ergibt, diese Schnittstelle zu nutzen um einen UART-fähigen Mikroprozessor mit anderen Bausteinen z.B. Wlan Controller kommunizieren zu lassen. Die zu übertragenden Daten werden in einen Frame wie in Abbildung 2.4 zu sehen, gepackt. In diesem Frame befindet sich ein Startbit welches den Anfang eines Frame kennzeichnet, acht Datenbits sowie ein Paritätsbit und ein Stopbit.

²<http://www.altera.com/devices/processor/nios2/ni2-index.html>

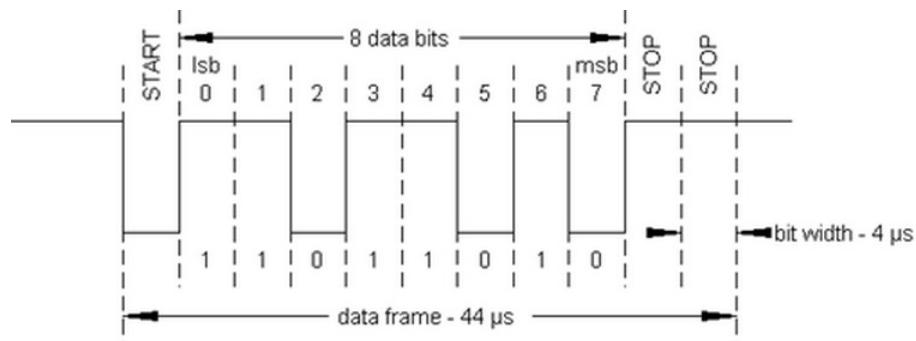


Abbildung 2.4: Skizze eines typischen UART Frame mit 8 Datenbits aus [2]

2.4 Kinect³

Die Kinect wurde von Microsoft und PrimeSens 2009 vorgestellt. Bei der Kinect handelt sich um eine 3D-Kamera, welche mithilfe einer Schwarzweiß Kamera sowie einem Infrarot Sender die Umgebung 3-Dimensional mittels Software darstellen kann. Die Kamera sowie der Sender sind in der Abbildung 2.5 markiert. Zusätzliche befindet sich in der Mitte der Kinect eine VGA-Kamera, mit welcher per Software das Bild der Umgebung über das berechnete 3D Modell gelegt werden kann.



Abbildung 2.5: Kinect Kamera von Microsoft, mit markierung der 3D-Tiefe Sensoren aus [5]

³aus [5] und [4]

2.5 PLL

Eine Phase-Locked Loop (PLL), zu deutsch auch Phasenregelschleife genannt, ist eine elektronische Schaltung, welche unter anderem die Frequenz eines Eingangssignal mit einem Faktor multiplizieren kann sowie dieses noch zusätzlich dividieren. Hieraus ergibt sich die Möglichkeit eine beinahe beliebige Frequenz aus einem konstanten Eingangssignal abzuleiten. Die Realisierung eines PLL ist in Hardware als analoge Schaltung sowie in Software als rein digitale Regelschleife möglich. Durch die Möglichkeit der Multiplikation und Division können Frequenzen erreicht werden die nicht einem ganzzahligen Vielfachen der Eingangsfrequenz entsprechen. Nachfolgend ein Rechenbeispiel für die Berechnung der Ausgangsfrequenz mit 12 MHz Eingangsfrequenz, einem Multiplikator von 15 und Division durch 4:

$$\begin{aligned} Freq_{OUT} &= \frac{Freq_{IN} * Faktor_1}{Faktor_2} \\ Freq_{OUT} &= 12MHz * \frac{15}{4} \\ Freq_{OUT} &= 45MHz \end{aligned}$$

2.6 Firefly IV

In dieser Bachelorthesis wird ein Firefly IV Modul der Firma Microtronix verwendet welches in Abbildung 2.6 zu sehen ist. Auf diesem befindet sich ein Cyclone IV EP4CE55 FPGA. Dieses Modul bietet den Vorteil, dass die nachfolgenden Bausteine auf diesem Board bereits vorhanden sind:

- Cyclone IV EP4CE55 FPGA
- 95 User I/O
- 32MB Flash Speicher
- 64MB SDRAM
- 64MB serieller Programm Speicher
- RS-232 UART Schnittstelle
- 24 MHz Oszilator

Somit lässt sich das Modul als einfache Plugin Lösung auf verschiedenen Platinen nutzen. Ebenso entfällt die aufwändige Reflow Löttechnik die benötigt wird, da der verwendete FPGA Chip ein Ball Grid Array (BGA) Gehäuse hat. Dieses Modul besitzt 144 Pins im 0.1“ Raster welche sich unterhalb der Platine befinden.

Die Tabelle 2.1 zeigt den Spannungsbereich welcher der Cyclone IV EP4CE55 im Betrieb benötigt.

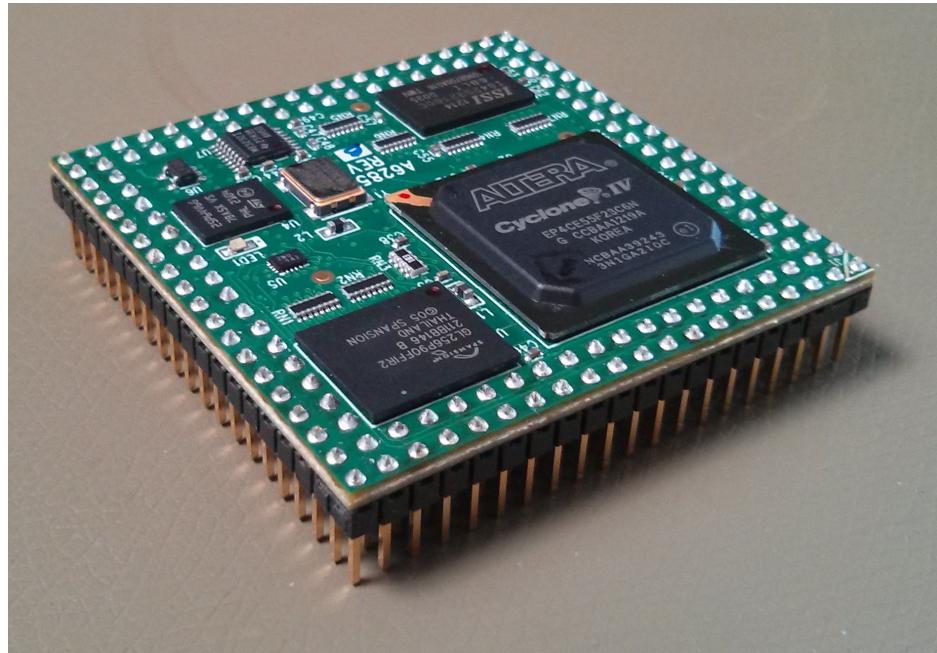


Abbildung 2.6: Foto des Firefly IV Modul der Firma Microtonic

Symbol	Parameter	Min	Typ	Max	Unit
V_{CCINT}	Supply voltage for internal logic 1.2-V	1.15	1.2	1.25	V
V_{CCIO}	Supply voltage for output buffers 3.3-V	3.135	3.3	3.465	V

Tabelle 2.1: Tabelle der empfohlenen Betriebsspannungen für den Cyclone IV Chip, entnommen aus [1]

2.7 Eagle

Bei Einfach Anzuwendender Grafischer Layout-Editor (EAGLE) handelt es sich um ein sogenanntes electronic ECAD Programm, welches es ermöglicht, Schaltungen zu erstellen und diese auf ein Platinenlayout zu übertragen. Im Rahmen dieser Bachelorthesis wurde die gesamte Platine mithilfe von Eagle entworfen. Des Weiteren ermöglicht Eagle einen Degin-Rule-Check welcher die Werte der Platine für Sturkturbreite, Bohrdurchmesser sowie minimalstem Abstand zwischen Signalleitungen überprüft und mit den Vorgaben des Platinenherstellers vergleicht. Somit kann vermieden werden, dass das Design der Platine nicht fertigbar ist.

2.8 SoPC

“Die Abkürzung SoPC steht für “System on a Programmable Chip“ und bezeichnet ein, in der Regel Mikroprozessor-basiertes System, welches in einem wiederprogrammierbaren Logikbaustein (einem FPGA, Field Programmable Gate Array) realisiert ist. Das folgende Bild zeigt beispielhaft den Aufbau eines SoPC-basierten Embedded Systems, bei dem alle Systemkomponenten, in diesem Fall ein vollständiger Mikrocontroller, in einem FPGA integriert sind. Lediglich eine gegebenenfalls notwendige, Analogkomponenten umfassende Anpassschaltung muss außerhalb des FPGAs realisiert werden.

Der entscheidende Vorteil dieser Systemlösung ist, dass, bedingt durch die Wiederprogrammierbarkeit von FPGAs, das vollständige System, bestehend aus Hard- und Software, nachträglich geändert werden kann. Somit kann der Einsatzbereich des Systems, beispielsweise durch Integration eines leistungsfähigeren Prozessors, jederzeit angepasst oder geändert werden. Die Hardware kann aktualisiert oder geändert werden, ohne dass ‘wirklich’ neue Hardware produziert werden muss.“ [7]

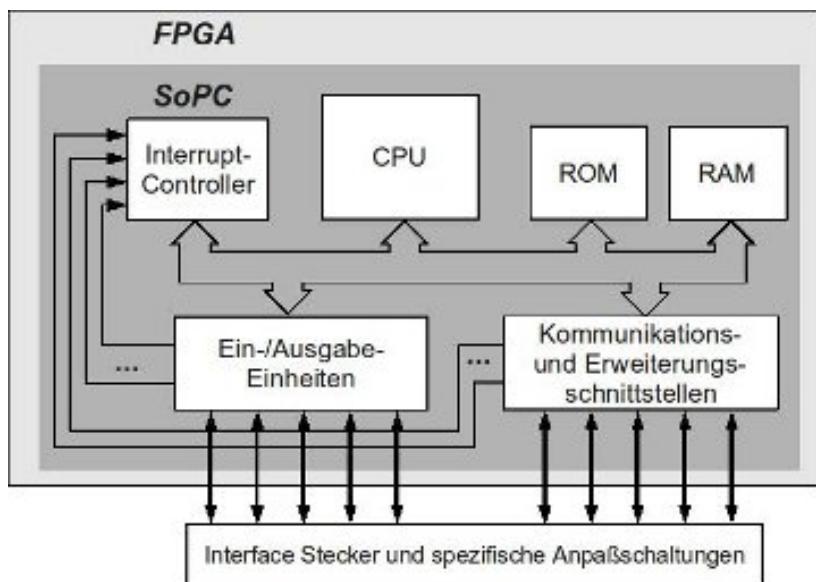


Abbildung 2.7: Bestandteile eines SOPC System aus [7]

Multiprozessor-SoPC

Den Ausgangspunkt für das später in dem FPGA des Firefly Moduls zu synthetisierende SoPC bildet ein existierendes Multiprozessor-SoPC. Dieses wurde an der Hochschule Ulm entwickelt und bereits erfolgreich auf einem DE1 Evaluations Board von Altera getestet.

Abbildung 2.8 zeigt eine Zusatzfunktion von Alters Quartus den SoPCbuilder, welches ermöglicht die Bestandteile des gewünschten SoPC mithilfe eines grafischen Interface zusammenzustellen. Durch die Software wird dieses so zusammengestellte SoPC in Very High Speed Integrated Circuit Hardware Description Language (VHDL) übersetzt, welches dann von Quartus in das entsprechende Format für den FPGA übersetzt wird. Desweiteren zeigt die Abbildung die Bestandteile des bestehenden Multiprozesser SoPC. Das System besteht aus einer Master (cpu_m) und einer Slave CPU (cpu_s0), welche beide eine Nios II CPU sind. Beide CPUs sind mithilfe eines First In First Out (FIFO) Speicher (fifo_bridge_cpuM_cpus0) miteinander verbunden. Durch die Verwendung des FIFO Speicher können sich beide CPUs Daten übermitteln. Die sysid wird benötigt da bei der Programmierung später durch den Compiller der Code speziell für das SoPC kompiliert wird, hierdurch kann sichergestellt werden das kompilierte Code zu dem SoPC kompatibel ist. Die PLL welche in Kapitel 2.5 beschrieben ist wird benötigt um die gegebene Eingangsfrequenz des FPGA auf die gewünschten System Frequenz (sys_clk) anzupassen und herausfinden bis zu welcher Frequenz das System auf dem verwendeten EP4CE55 FPGA unkritisch läuft.

Use	Connections	Module	Description	Clock	Base	End	IRQ
<input checked="" type="checkbox"/>		cpu_m	Nios II Processor	[clk]			
		instruction_master	Avalon Memory Mapped Master	sys_clk			
		data_master	Avalon Memory Mapped Master	[clk]			
		jtag_debug_module	Avalon Memory Mapped Slave	[clk]			
<input checked="" type="checkbox"/>		jtag_uart_m	JTAG UART	sys_clk	IRQ 0	IRQ 31	
<input checked="" type="checkbox"/>		timer_cpu_m	Interval Timer	sys_clk	0x01901000	0x019017ff	2
<input checked="" type="checkbox"/>		sdram	SDRAM Controller	sys_clk	0x01902148	0x0190214f	0
<input checked="" type="checkbox"/>		sysid	System ID Peripheral	sys_clk	0x00000060	0x0000007f	
<input checked="" type="checkbox"/>		uart	UART (RS-232 Serial Port)	sys_clk	0x00800000	0x00fffff	
<input checked="" type="checkbox"/>		fifo_bridge_cpum_cpus0	CPU_FiFo_Bridge	sys_clk	0x01902140	0x01902147	
<input checked="" type="checkbox"/>		flash_atb	Avalon-MM Tristate Bridge	sys_clk	0x00000860	0x0000087f	1
<input checked="" type="checkbox"/>		cfi_flash	Flash Memory Interface (CFI)	sys_clk	multiple	multiple	10-11
<input checked="" type="checkbox"/>		pll	Avalon ALTPLL	CLOCK_50	0x01400000	0x017fffff	
<input checked="" type="checkbox"/>		onchip_memory_s0_m	On-Chip Memory (RAM or ROM)	sys_clk	0x01902000	0x0190200f	
<input checked="" type="checkbox"/>		onchip_memory_m_s0	On-Chip Memory (RAM or ROM)	sys_clk	0x00003000	0x0000307f	
<input checked="" type="checkbox"/>		cpu_s0	Nios II Processor	[clk]			
		instruction_master	Avalon Memory Mapped Master	sys_clk			
		data_master	Avalon Memory Mapped Master	[clk]			
		jtag_debug_module	Avalon Memory Mapped Slave	[clk]			
<input checked="" type="checkbox"/>		timer_cpu_s0	Interval Timer	sys_clk	IRQ 0	IRQ 31	
<input checked="" type="checkbox"/>		jtag_uart_s0	JTAG UART	sys_clk	0x00000800	0x000009f	2
<input checked="" type="checkbox"/>		sram_atb	Avalon-MM Tristate Bridge	sys_clk	0x00000000	0x00000007	0
<input checked="" type="checkbox"/>		de1_sram_0	de1_sram	sys_clk	0x01880000	0x018fffff	
<input checked="" type="checkbox"/>		i2c	oc_i2c_master	sys_clk	0x000008a0	0x000008bf	8

Abbildung 2.8: Screenshot Altera SOPC Builder

Desweiteren beinhalten FPGA neben Logikgatter auch Speicherzellen, welche sich als Random Access Memory (RAM) bzw. Read-Only Memory (ROM) verwenden lassen. Die Anzahl dieser Speicherzellen ist abhängig vom verwendeten FPGA und variiert stark. Bei dem FPGA des DE1-Evaluationsboard handelt es sich um einen Cyclone II EP2C20. Diese werden für die Master CPU (onchip_memory_m_s0) sowie die Slave CPU (onchip_memory_s0_m) aufgeteilt. Durch eventuell auftretende Routing-Probleme beim synthetisieren des SoPC wird den beiden CPUs nicht die gesamten verfügbaren Speicherzellen zur Verfügung gestellt. Hierdurch werden interne Timing Probleme minimiert. Die Module sdram und de1_sram_0 beinhalten die Speichercontroller für die auf der DE1-Baugruppe vorhandenen Synchronous Dynamic Random Access Memory (SDRAM)- und Static Random-Access Memory (SRAM)-Speicherbausteine.

2.9 LiPo-Akkumulator

Durch die Verwendung des LiPo-Akkumulator ergibt sich eine nicht konstante Eingangsspannung. Eine Zelle eines LiPo-Akkumulators weiß typischerweise eine Spannung von 3,2 - 4,3 Volt auf, je nach Ladungszustand und momentaner Stromabgabe. Die

Spannung des Akkumulators kann im Betrieb, durch plötzlich auftretenden Stromspitzen um bis zu 0,5 Volt je Zelle sinken. Bei diesem Akkumulator sind die 4 Zellen in Reihe geschaltet. Hierdurch ergeben sich für die vorhandene Spannung während des Betriebs Werte zwischen 12,8 - 17,2 Volt, die sich wie folgt berechnen:

$$\text{Minimum Spannung: } 4 \text{ Zellen} * 3,2 \text{ Volt} = 12,8 \text{ Volt}$$

$$\text{Maximum Spannung: } 4 \text{ Zellen} * 4,3 \text{ Volt} = 17,2 \text{ Volt}$$

Des Weiteren lässt sich auch unterhalb von 12,8 Volt noch Strom entnehmen. Dadurch sinkt die Spannung einer einzelnen Zelle unter den kritischen Wert von 3,2 Volt und kann die Zelle zerstören. Ebenso sind LiPo-Zellen thermisch und mechanisch empfindlich. Temperaturen über 60° und unterhalb von 0° oder mechanische Kräfte können zur Zerstörung des LiPo-Akkumulators führen.

Als Schwierigkeit erweist sich ein geignetes Konzept zu entwerfen, welches in der Lage ist, konstante Ausgangsspannungen zu liefern. Ebenso ist zu beachten, dass die unterschiedlichen Ausgangsspannungen genügend Leistung zur Verfügung stellen um die entsprechenden Bauteile zu versorgen.

2.10 Funkschnittstelle

Die Plattform soll mithilfe eines Bluetooth Modul, welches über I²C angeschlossen wird eine Funkschnittstelle für kurze Distanzen bekommen.

Desweiteren soll für die Kommunikation des Quadrocopters mit einem PC, Tablet oder einem weiteren Quadrocopter eine weitere Funkschnittstelle implementiert werden die eine größere Reichweite ermöglicht. Hierfür würde sich eine allgemeine UART Schnittstelle anbieten, sowie auch die Nutzung der USB Schnittstelle des Quadrocopter z.B. mittels eines Wlan Stick. Die Nutzung eines XBEE Steckplatz ist ebenfalls in Betracht zu ziehen. Für diesen XBEE Steckplatz gibt es Wlan, Bluetooth und ZigBee Module in allen möglichen Varianten wie Frequenz und Sendeleistung. Dies bietet den Vorteil, dass dieser Steckplatz beliebig durch Verwendung des gewünschten Moduls anpassbar ist. In Abbildung 2.9 ist ein Foto eines XBEE Modul zu sehen.



Abbildung 2.9: Foto eines XBEE Moduls

3 SoPC

In diesem Kapitel soll beschrieben werden welche Veränderungen an dem SoPC vorgenommen wurden und wie dieses auf dem Firefly Modul verwendet wird. Da zu diesem Zeitpunkt die Trägerplatine noch nicht vorhanden war, wird in diesem Kapitel nur beschrieben wie das bestehende SoPC mithilfe des Evaluationsboard von Microtonix auf das Firefly Modul geladen wird. Dieses Evaluations-Board ist in Abbildung 3.1 gezeigt und ermöglicht es, dass FireFly Modul mittels des JTAG Anschlusses mit einem SoPC zu laden ohne das eine eigene Platine für das Modul zur Verfügung stehen muss.

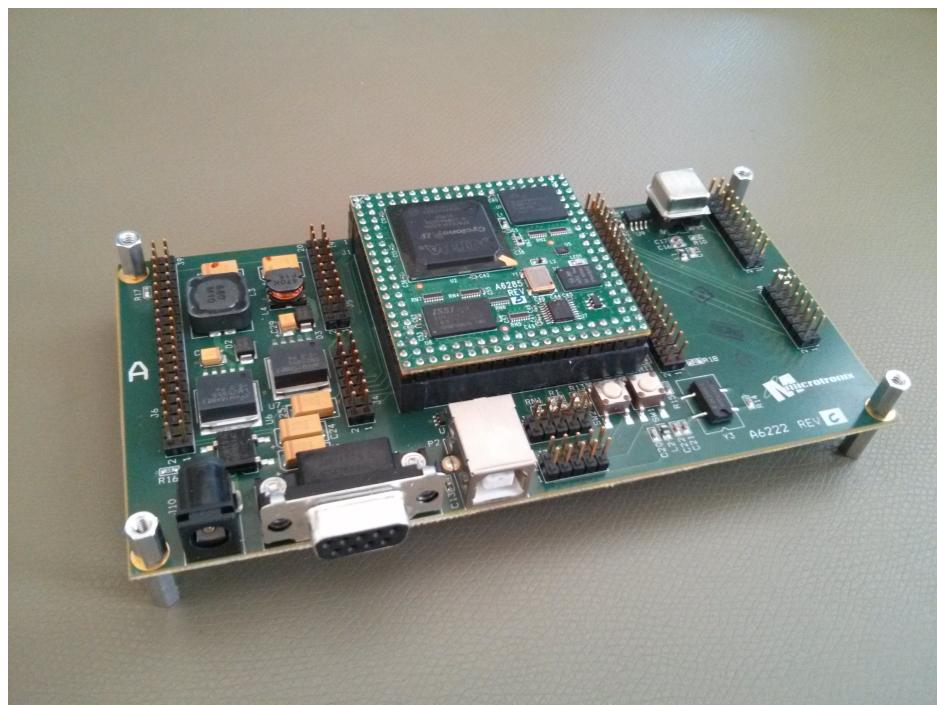


Abbildung 3.1: Foto des Evaluationsboard von Microtonix mit bestücktem Firefly IV Modul

3.1 Konzeption

Aufgrund der Analyse der Anforderungen wird das erstellte Konzept erklärt. Das in Kapitel 2.8 beschriebene Multiprozessor SoPC wird in dieser Bachelorthesis weiter verwendet, hierfür sind nachfolgende Erweiterungen vorzunehmen um das SoPC an die gewünschten Anforderungen aus Kapitel 1.3 anzupassen:

- Anschlüsse für: I²C, UART
- PWM Ausgänge Ansteuerung für 4 Motoren (Quadrocopter) bzw. 2 Motoren und 2 Servomotoren(Duocopter)
- PWM Eingang bzw. Eingänge der Signale der Fernbedienungen
- Anpassen der PLL und SDRAM des FireFly Modul

Der SDRAM Controller des SoPC ist ebenfalls anzupassen damit die 64 MB SDRAM Speicher des Firefly IV Moduls dem im SoPC definierten Prozessor zur Verfügung stehen. Hierfür muss im SoPCbuilder die Speicherbandbreite auf 32 Bit gesetzt werden, ebenso ist die Anzahl bei Row auf 13 und Column auf 9 zu setzen. Dieser Speicher kann auch aufgeteilt werden und als Shared Memory von mehreren Prozessoren verwendet werden. Dies führt aber wiederum zu Leistungseinbüßen, da bei einem beinahe zeitgleichen Zugriff auf den Speicher von mehreren Prozessoren ein Prozessor warten muss bis der Speicher wieder verfügbar ist. Um dies zu vermeiden, wird dem Slave Prozessor der vorhandene SRAM Speicher der des FPGA zur Verfügung gestellt.

Der Flash Speicher wird mithilfe der Dokumentation des Firefly IV Moduls in das bestehende SoPC integriert. Anzupassen ist auch die bisher verwendete Externe PLL Frequenz von 50 MHz auf 24 MHz, da auf dem Firefly Modul ein 24 MHz Quarz verbaut ist. Des Weiteren wird mithilfe der Funktion des automatischen Zuweisen der Hardware-Adresse durch den SoPCbuilder, welche sich unter System/Auto-Assign-Base-Address befindet, nach der Anpassung die gesamten Hardware-Adressen neu zugewiesen.

3.2 Ergebniss

Das modifizierte Multiprozessorsystem wurde mithilfe des Evaluationsboard fehlerfrei auf das Firefly IV Modul geladen. Um die Funktion während des Betriebes des FPGA als NIOS II CPU mit SDRAM Zugriff zu überprüfen wird ein Beispiel „Hello World“-Anwendung von Eclipse erstellt. Die „Hello World“-Anwendung ist ein Programm welches die NIOS II CPU eine Konsolenausgabe erzeugen lässt mit : ”Hello NIOS“. Diese Anwendung wurde auf der Master CPU(cpu_m) ausgeführt.

Die Taktfrequenz der NIOS CPU wird mithilfe der PLL von der externen 24 MHz Quarzfrequenz abgeleitet. Als Central Processing Unit (CPU)-Taktfrequenz wird im SoPC die sys_clk-Frequenz auf 150 MHz gesetzt. Höhere Frequenzen des sys_clk wären theoretisch möglich. Höhere Frequenzen sollten aber mithilfe von speziellen Testprogrammen verifiziert werden. Da ein zu hoher Takt zu unerwarteten und schwierig lokalisierbaren Fehlern auf Softwareebene führen kann.

Die 12 als PWM Ein- und Ausgänge genutzten General purpose IO (GPIO) Signale, wurden mithilfe der „Hello NIOS“ Software getestet. Hierzu wurden die mittels einer Schleife immer abwechselnd 0x0 und 0x1 gesetzt und die Funktion mithilfe eines Oszilloskop überprüft.

Um ein SoPC dauerhaft auf einen FPGA zu laden, ist es nötig, dass SoPC in einem Flash Speicher zu speichern. Dies nennt sich bei Altera Active Serial Programming. Aus diesem Flash Speicher kann bei jedem Start des FPGA das SoPC geladen werden und steht dann Funktionsbereit zur Verfügung. Das FireFly IV Modul stellt hierfür 64 MB seriellen Programm Speicher bereit. Im Rahmen dieser Bachelorthesis ist es nicht gelungen auf ein FireFly IV Modul mittels Active Serial Programming dauerhaft ein SoPC zu laden.

4 Trägerplatine

In diesem Kapitel soll ein Überblick gegeben werden wie anhand der Analyse der Anforderungen aus Kapitel 1.3, einer flugtauglichen Trägerplatine, ein Konzept entworfen wird. Dieses entworfene Konzept wird in einen Prototypen überführt und anschließend mittels gezielter Messungen überprüft ob die gewünschten Anforderungen erreicht wurden.

Das Firefly IV Modul beinhaltet einen 64 MB großen SDRAM Speicher der direkt mit dem FPGA verbunden ist. Dieser lässt sich direkt von ein oder mehrere Prozessoren nutzen. Die Nutzung eines Hintergrundspeichers durch mehreren Prozessoren, wie in diesem Fall den SDRAM Speicher, nennt man Shared Memory. Nachteilig wirkt sich die Verwendung eines Shared Memory bei der Leistung aus, da der aktuelle Zugriff eines Prozessor den Speicher blockiert und in dem Fall ein anderer Prozessor warten muss bis der Speicher wieder freigegeben ist. Daher wird in dieser Bachelorthesis möglichst darauf verzichtet ein Shared Memory für das Multiprozessor-System zu nutzen. Alternativ und in Hinsicht auf Leistung und Echtzeitsicherheit ist die Verwendung eines zusätzlichen RAM Speichers oder die Zuteilung eines internen Speicher im FPGA möglich.

4.1 Konzeption

In diesem Abschnitt soll gezeigt werden weshalb welche Bauteile bevorzugt werden.

4.1.1 8 Kanal Fernbedienung

Da die Anzahl der vom Firefly-Modul zur freien Verfügung angeboten I/O Pins begrenzt ist, besteht die Möglichkeit diese 8 Kanäle durch zusätzliche Nutzung eines Mikroprozessors zu serialisieren. Hierfür würde dann nur noch 1 User I/O am Firefly

Modul genutzt und die dadurch frei werdenen User I/O könnten anderweitig genutzt werden.

Der Ansatz mit der Verwendung eines zusätzlichen Mikroprozessors der die 8 PWM Kanäle der Fernbedienung serialisiert und über einen Kanal an den FPGA leitet wird in dieser Arbeit nicht weiterverfolgt. Als Grund ist zu nennen, dass einerseits die Verwendung eines Mikroprozessors zu zusätzlichen Fehlerquellen führen kann und dieser Ansatz eine Programmierung des Mikroprozessors sowie einer Software für das Multiprozessorsystem welche die serialisierten PWM-Signale wieder parallelisiert und der Flugsteuerungssoftware zur Verfügung stellt. Dies ist im zeitlich begrenzten Rahmen dieser Bachelorthesis nicht realisierbar.

Auf Grund dieser Argumente wird an der Platine die einfache Lösung mittels 8 parallelen Kanälen welche direkt an den FPGA angeschlossen sind realisiert. Hierfür wird auf der Platine eine achtfach Steckerleiste mit drei Reihen im 0.1“ Raster angebracht. Die Abbildung 4.1 zeigt eine Skizze der typischerweise im Modelbau verwendetete Stiftleiste zum Anschluss eines Empfänger. Die 5 Volt und Masse werden üblicherweise nur einmal benötigt um den Empfänger mit Spannung zu versorgen. Da einige spezielle 8 Kanal Fernbedienungen ihr Signal seriell ausgeben können werden im Fall der Benutzung einer passenden Fernbedienung 7 Signalleitungen frei. Die freien Signalleitungen könnten durch die Verwendung des FPGA beliebig für andere Anwendungen genutzt werden wie z.B. als zusätzlicher UART-Anschluss. Daher wurden alle 8 Signalleitungen mit einem 5 Volt und Masse Anschluss versehen.

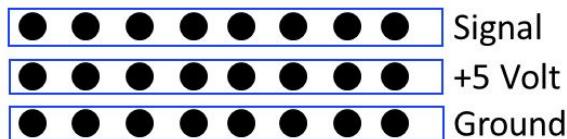


Abbildung 4.1: Skizze der dreireihigen Stiftleiste für den Anschluss der 8 Kanal Fernbedienung an die Trägerplatine

4.1.2 Schnittstellen

Für die in Kapitel 1.3 erwähnten Schnittstellen werden entsprechend User I/O des Firefly Moduls bereit gestellt. Diese werden auf der Trägerplatine zur Verfügung gestellt, da diese für den Betrieb der Trägerplatine sowie für den Flugbetrieb essentiell wichtig sind. Daher ergeben sich folgende Anschlüsse welche auf der Trägerplatine angebracht werden:

- PWM Ein- bzw. Ausgänge
 - 8 * PWM Eingang mit 5V und Masse für die Fernbedienung
 - 4 * PWM Ausgang mit 5V und Masse für die Motoren
- JTAG 10 Pin
- Active Serial Programming 10 Pin
- 2 * I2C (Sensoren, Bluetooth)
- UART

Die exakte Anordnung der Anschlüsse sowie deren Bezeichnung befindet sich im Anhang A.10 und A.11.

4.1.3 USB-Controller

In diesem Kapitel werden 2 USB-Chips sowie eine Softcore Variante, welche für die Platine in Frage kommen, näher untersucht und nachfolgend mittels einer Zusammenfassung der bestmögliche Kompromiss gesucht, welcher Chip integriert wird. Der USB-Controller wird benötigt damit die Kinect eingebunden werden kann, desweiteren bieten sich viele weitere Möglichkeiten hierdurch. Die Funknetzanbindung kann ebenfalls über einen LTE USB Dongle realisiert werden.

Bei dem ISP1362 handelt es sich um einen USB Controller Chip der Firma Philips. Dieser ermöglicht es die in Kapitel 4.1.3 beschriebenen Host/Slave USB-Anschlüsse mit einem Chip anzusprechen. Desweiteren wird dieser Chip von Altera auf ihren DE2-70 Evalboards verwendet. Hierdurch sollte eine entsprechende Funktion im Umgang mit

Chip	Verfügbarkeit	Host/Slave	uCLinux Treiber	Pins
ISP1362	✓ ⁴	✓	✓	64
Softcore FPGA	✓	✓	-	2/4
ISP1761	✓	✓	-	128

Tabelle 4.1: Vergleich der USB Chips für Verfügbarkeit, Host/Slave Funktionalität sowie uCLinux Treiber

der NIOS2 CPU auf dem FPGA vorhanden sein. Ebenso finden sich im Internet bereits uCLinux Treiber, was einen späteren Betrieb der USB-Anschlüsse unter Linux vereinfachen sollte. Nachteilig ist, dass dieser Chip seit 2009 abgekündigt wurde. Der ISP1362 Chip ist in 2 Bauformen erhältlich, wobei die TDBGA64 aufgrund der untenliegenden Lötpads ein Anlöten ohne Reflow Löttechnik nicht ermöglicht.

Der ISP1761 der Firma NXP ist der nachfolger Chip des ISP1362 und bietet für die Anforderungen dieser zu entwerfenden Plattform keinen Vorteil gegenüber seinem Vorgänger und wird aufgrund der fehlenden uCLinux Treiber nicht näher betrachtet.

Die Softcore Variante wird nicht gewählt, da die meisten Softcores kommerzielle Anwendungen sind, welche einen entsprechenden Preis haben. Daher fällt anhand der Tabelle 4.1 und der Erfahrungen mit dem DE2-70 Board die Entscheidung zugunsten des Philips ISP1362, da dieser zu erwartend die bestmögliche Funktionalität für die gewünschten Anforderungen erreicht. Aufgrund der geringeren Pinanzahl des ISP1362 gegenüber seinem Nachfolger ergibt sich auch eine kleine Gesamtfläche für das Platinenlayout, wodurch Gewicht gespart werden kann in Hinsicht auf die Flugfähigkeit und Flugdauer des gesamten Quadrocopters.

4.1.4 Datenfunk

Aufgrund der Anforderung einer benötigten Funkschnittstelle, wird auf der Platine eine XBEE Schnittstelle angebracht. Diese hat den entscheidenden Vorteil, dass im Rahmen des Platinenentwurfs keine Entscheidung bezüglich eines Funkstandards nötig ist. Dadurch fällt einerseits die Festlegung auf einen Funkstandard weg, andererseits, bei einer Chip-on-Platinen Lösung, die Beachtung von Leitungswellenwiderstand der hochfrequenten Signale auf den Leiterbahnen. Die Verwendung dieser Schnittstelle

ermöglicht den einfachen Wechsel des Funkstandard. Als Möglichkeiten stehen Bluetooth, Wlan sowie ZigBee zur Verfügung. Der Ansatz, bei welcher ein Funkdongle an die USB Schnittstelle der Trägerplatine angeschlossen werden sollte wird verworfen, da der USB Anschluss in erster Linie für die Verwendung einer Kinect vorgesehen ist. Die Schnittstelle ist in zwei Varianten vorhanden. In einer mit 20 Pins und einer weiteren mit 37 Anschlüssen. Beide Varianten sind als Oberflächenmontage vorgesehen, welche beide eine Plugin Lösung bieten. Obwohl hier bei der Plugin Lösung eventuell noch Anpassung an der Software für das verwendete Modul vorgenommen werden muss. In diesem Entwurf der Platine wird die 20 Pins Variante verwendet, da für diese, den Anforderungen entsprechend, eine große Auswahl an Funkmodulen zur Verfügung steht. Aufgrund der relativ begrenzten Anzahl von User I/O des Firefly Moduls wird die XBEE-Schnittstelle mit 4 Leitungen (RX, TX, CTS, DFSA) mit dem FPGA verbunden.

4.1.5 SRAM

Das Active-Serial-Programming des Firefly Moduls belegt ⁵ der 95 freien User-I/O Anschlüsse des Firefly Moduls. Daher stehen anhand der in Tabelle 4.2 zu erkennenden Pin Belegung von 81 Leitungen nur noch 14 Leitungen für die Speicherbreite zur Verfügung. Der SRAM Chip soll mind. eine Größe von 4 MBit aufweisen. Dies entspricht 19 Adressierungsleitungen (bei 8 Bit Wortbreite), sowie zusätzlichen 3 Leitungen für WriteEnable, ChipEnable und OutputEnable. Da ein 4MBit SRAM-Chip mit 16 Bit Wortbreite 16 Wortleitungen und 18 Adressierungsleitungen benötigen würde, was mit der freien User-I/O Anschlussanzahl nicht realisierbar ist, wird ein 4MBIT SRAM-Chip mit 8 Bit Wortbreite verwendet.

Verwendet wird ein CY62148ELL-55SXI⁶ von CYPRESS SEMICONDUCTOR. Dieser wurde ausgewählt da Altera CYPRESS SEMICONDUCTOR als Speicherhersteller im Zusammenhang mit ihren FPGA erwähnt, wodurch mit keinen großen Problemen bei der Implementierung eines SRAM Controller in das SoPC zu rechnen ist.

⁵laut Datenblatt Firefly Modul, welches sich auf der Begleit DVD dieser Bachelorarbeit befindet

⁶Datenblatt ebenfalls auf der Begleit DVD

Modul	Anzahl Pins
XBEE	4
SRAM Adressleitungen	19
SRAM Enable	3
PWM Motoren	4
RX PWM Eingänge	8
USB _{Data}	16
USB _{Adress}	2
USB _{Sonstiges}	12
GPS UART	2
2 * I ² C	4
Active Serial	7
Gesamt	81

Tabelle 4.2: Anzahl der benötigten I/O Anschlüsse der Bauteile an das Firefly IV Modul

4.1.6 Spannungsversorgung

Für die DC-DC Spannungswandlung wurde in den nachfolgenden Abschnitten das webench Online Tool⁷ von Texas Instruments verwendet. Dieses Tool berechnet die komplette Schaltung für gewünschte Anforderungen. Als Eingabewerte werden die Eingangsspannungen (Minimum und Maximum) sowie Ausgangsspannung und Ausgangstrom bei der zu erwartenden Betriebstemperatur angegeben. Als Ergebnis werden meist mehrere Schaltungen mit unterschiedlichen ICs angezeigt mit passender Be- schaltung. Diese Schaltungen lassen sich direkt in Hinsicht auf den verwendeten IC, Bauteilanzahl, Effizienz, Platzgröße sowie Kosten vergleichen. In Abbildung 4.2 ist eine Beispiel Auswahl von verschiedenen Schaltungen gezeigt, welche eine schwankende Eingangsspannung von 12.8V-17V auf 12V mit einem Augangsstrom von 4A konvertiert.

⁷<http://webench.ti.com>

Part	Create	WEBENCH® Tools	Schematic	BOM Images	Design Considerations	BOM Footprint (mm ²)	BOM Cost	Eff (%)	BOM Count	Freq (kHz)
LM25085	Open Design				PFET COT BUCK controller with low output voltage ripple	531	\$2.17	95%	16	542
LM25085A	Open Design				PFET COT BUCK controller with low output voltage ripple	531	\$2.23	95%	16	542
LM5085	Open Design				PFET COT BUCK controller with low output voltage ripple	531	\$2.32	95%	16	542
TPS54620	Open Design				6A Synchronous Step Down SWIFT Converter	249	\$4.03	96%	15	900
TPS54020	Open Design				Sync Step Down Converter with Full Feature Set	314	NA	96%	16	700
TPS54622	Open Design				6A Synchronous Step Down SWIFT Converter with	249	\$4.03	96%	15	900

Abbildung 4.2: Screenshot webench von Texas Instrument mit verschiedenen DC-DC Konvertierungslösungen

Anhand der im vorherigen Kapitel getroffenen Entscheidungen der Bauteilauswahl ergibt sich die Tabelle 4.3. In dieser Tabelle werden alle Bauteile aufgelistet und unter Angaben des Stromverbrauchs ihrer benötigten Versorgungsspannung zugeteilt.

Bauteil	1,2V	3,3V	5V	12V
Reserve	0,2 A	0,2 A	0,2 A	0,2 A
Firefly	2 A	1 A	-	-
Kinect	-	-	0,5 A	1,08 A
Servo	-	-	2,5 A	-
USB-Controller	-	0,3 A	-	-
XBEE	-	0,3 A	-	-
GPS / SRAM	-	-	0,2 A	-
Gesamt	2,2 A	1,8 A	3,4 A	1,28A
Leistung	2,64 W	5,94 W	17 W	15,36W

Tabelle 4.3: Strom und Leistung der Bauteile der Trägerplatine bezüglich der Versorgungsspannung

Aufgrund der schwankenden Eingangsspannung durch den LiPo-Akkumulator wird ein Ansatz eines kaskadierten System weiterverfolgt und entworfen. Die Idee dahinter besteht darin, dass bei jeder DC-DC-Wandlung die Ausgangsspannung noch Wechselspannungsanteile der Schaltvorgänge enthalten kann. Da die DC-DC Wandlung der Batteriespannung einen großen Bereich abdecken muss ist hier mit stärkeren Schaltvorgängen bei der Wandlung zu rechnen. Daher wird angenommen das bei einem kaskadierten System wie in Abbildung 4.3 die Ausgangsspannung nach der 3. und 4. wandlung (3,3V und 1,2V) weniger Anteile der Batteriespannungs DC-DC Wandlung enthält.

Die alternative Variante des kaskadierten Systems bei welcher sich die Spannungen 5V, 3,3V und 1,2V direkt vom Ausgang des 12V Wandler ableiten, wird nicht verwendet, da wie beschrieben die Gefahr besteht, dass die 12 Volt Spannung starke Störanteile enthält, die bei den nachfolgenden Spannungen direkt Störungen zeigen könnten.

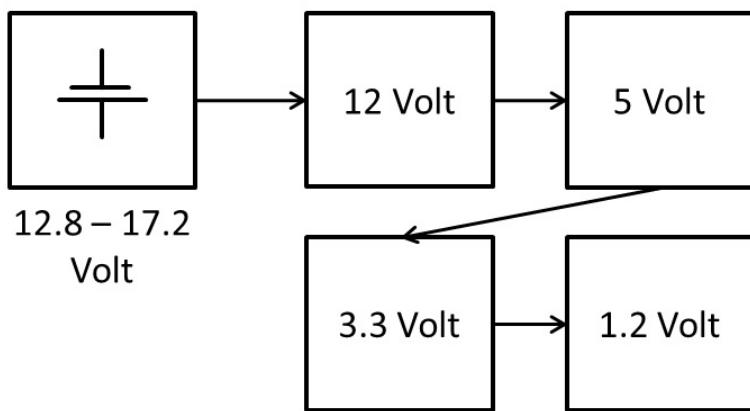


Abbildung 4.3: DC-DC Konvertierung, Batteriespannung (12,8V-17,2V) auf 12, 5, 3,3, 1,2 Volt

Spannungsversorgung 12Volt

Für den Betrieb der Kinect sowie der nachgeschalteten DC-DC Spannungswandler werden konstante 12V benötigt. Hierfür wird ein bestehend aus einem Texas Instrument LM5085 Spannungsregler und einem P-Kanal Mosfet, welcher die eigentliche Spannung zurverfügung stellt und durch den Spannungsregler geschaltet wird, verwendet. Sowie verschiedenen Kondensatoren und Induktivitäten die evtl. entstehenden Frequenzen und Überschwinger auf der Spannung minimieren. Die gesamte Schaltung⁸ ist in Abbildung 4.5 dargestellt.

Die Effizienz der Schaltung liegt im Bereich von 91-97% in Abhängigkeit der entnommenen Leistung ist in Abbildung 4.4 für 12,7 V, 14,9 V und 17 V dargestellt. Für den Entwurf der Schaltung wurden die Maximale Leistung aller 4 DC-DC Konvertierungen anhand der Tabelle 4.3 addiert. Mit einer angenommenen 90% Effizienz aller DC-DC Wandler ergibt sich ein Maximalstrom von 3,64 Ampere der entnommen wird, wie in folgender Rechnung zu sehen.

$$\begin{aligned}
 P_{MAX} &= P_{12V} + \frac{P_{5V}}{\eta} + \frac{P_{3,3V}}{\eta} + \frac{P_{1,2V}}{\eta} \\
 P_{MAX} &= 15,36W + \frac{17W}{0,9} + \frac{5,94W}{0,9} + \frac{2,64W}{0,9}
 \end{aligned}$$

⁸detaillierte Bauteile Bezeichnung befinden sich im Anhang A.8

$$P_{MAX} = 15,36W + 18,89W + 6,6W + 2,93W = 43,78W$$

$$I_{MAX} = \frac{43,78W}{12V} = 3,64A$$

Sicherheitshalber wurde der Entwurf aus Abbildung 4.5 mithilfe des webbench Tools mit 4 Ampere, anstatt der berechneten 3,64 Ampere, maximalen Ausgangsstrom ausgelegt.

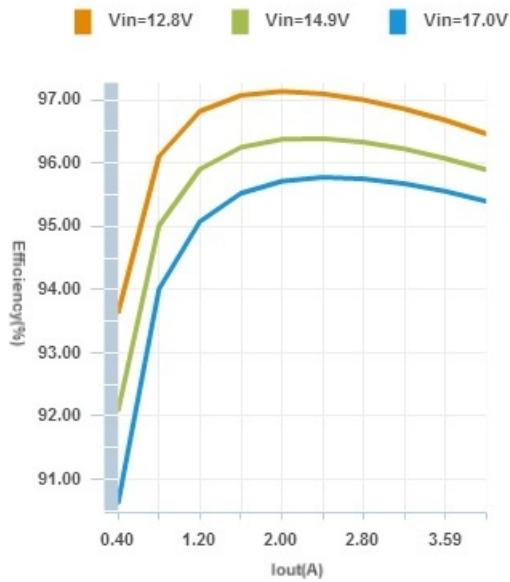


Abbildung 4.4: Effizienzverlauf der 12 Volt Spannungswandlung in Abhängigkeit zum entnommenen Strom bei 3 Eingangsspannung: 12.8 V, 14.9 V und 17 V

Spannungsversorgung 5 / 3.3 / 1.2 Volt

Die 5 Volt Spannung wird für die evtl. vorhandenen Servo Motoren sowie das GPS Chip und dem SRAM-Baustein benötigt. Die Stromaufnahme des SRAM-Baustein sowie des GPS Chip ist mit insgesamt 0,2 A relativ gering. Da die Platine auch für den Betrieb eines Duocopters vorgesehen ist, wird die 5 Volt Spannungsversorgung auch für die Servomotoren benötigt. Die Drehung der beiden Motoren mit Propeller des Duocopters bedarf einiges an mechanischer Kraft, weshalb die demensprechenden Servomotoren zusammen eine maximale Stromaufnahme von 2.5 A haben. Die 5 Volt Spannung wird direkt durch die konstante 12 Volt Spannung konvertiert. Als IC wird ein Texas Instrument TPS54526 verwendet mit entsprechender Vor- und Endbeschaltung, welche sich im Anhang A.7 befindet. Die Schaltung zieht nach Tabelle 4.3 mit angenommener

Effizienz der nachfolgenden Schaltungen von 0,9 ca. 28,5W, was wiederum einem maximalen Strom von 5,7A entspricht. Daher wird die Schaltung mit einem maximalen Ausgangsstrom von 6A entworfen, die Rechnungen und der Entwurf erfolgt wie im vorherigen Kapitel.

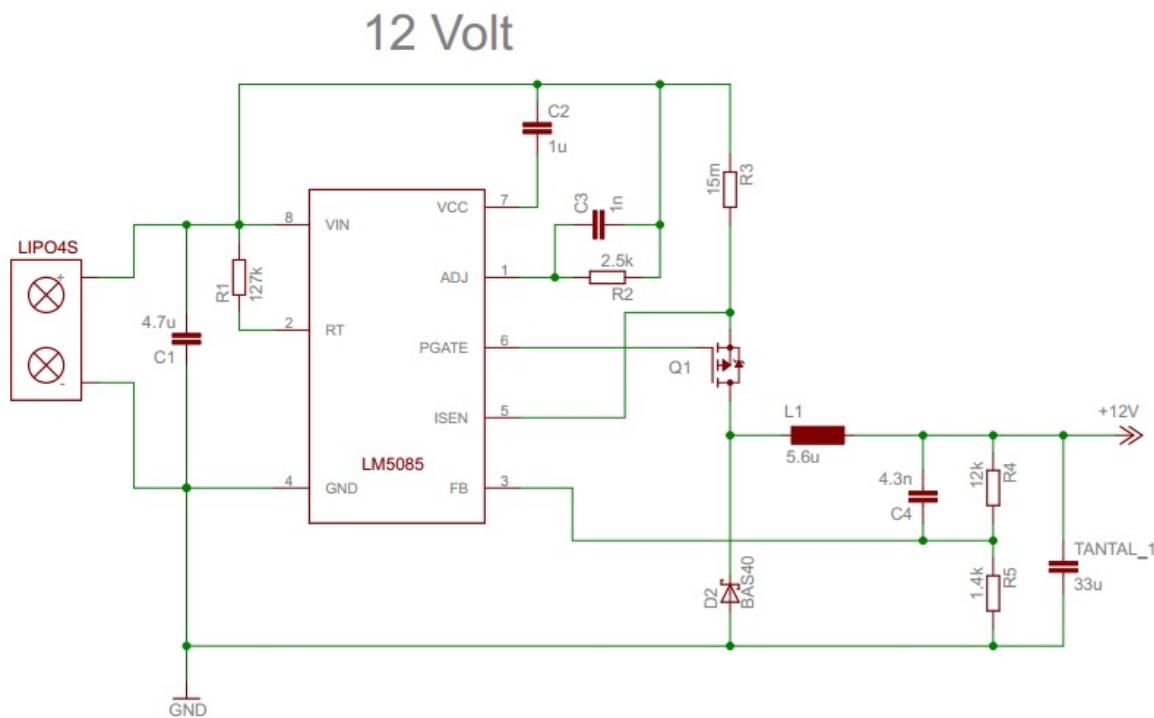


Abbildung 4.5: Schaltplan DC-DC Konvertierung, Batteriespannung 12.8V-17.2V auf 12 Volt

Die 3.3 Volt und 1.2 Volt Spannungswandlung wurden ebenfalls mittels des webench Tool von TI entworfen, die Schaltungen sind in Anhang A.7 zu finden. Auf eine genauere Beschreibung dieser DC-DC Wandler wird verzichtet, da diese nach dem selben Verfahren wie die im selbigen Kapitel beschrieben 12 V Spannungsversorgung entworfen und berechnet wurden.

4.1.7 Layer

Das Layout der Platine wurde mit EAGLE erstellt und aus dem entworfenen Schaltplan erzeugt. Für den Entwurf eines ersten Prototypen wird eine 4-lagige Platine verwendet. Diese hat den Vorteil das deutlich mehr Möglichkeiten bestehen, die verschiedenen Singalleitungen und Spannungsleitungen an ihr Ziel zu routen. Desweiteren ergibt sich hierdurch eine Verringerung der gesamten Platinenfläche, was wiederum zu einem geringeren Gewicht führt.

Ein Querschnitt der 4 Lagenplatine und deren Bemaßung ist in Abbildung 4.6 zu sehen. Layer 1 stellt den Toplayer dar und wird hauptsächlich für Signalleitungen verwendet, sowie zum Teil für die Bestückung der verwendeten Bauteile. Der Layer 2 besteht komplett aus einer Masse Fläche. Dies ermöglicht überall per Vias Zugriff auf Masse zu gewährleisten, wodurch sich der Entwurf der Platine vereinfacht. Der Layer 15 beinhaltet die verschiedenen Versorgungsspannungen als großzügige Flächen. Hierdurch wird sicher gestellt, dass die benötigten Ströme innerhalb der Platine zu keiner nennenswerten Erwärmung führen.

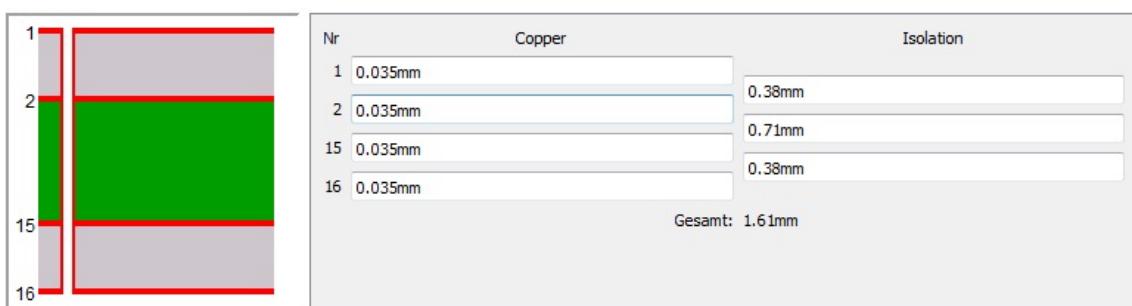


Abbildung 4.6: Screenshot Eagle Einstellungen für 4 lagige Platine mit Bemassung

Durch die Verwendung von aussenliegenden Signalleitungen soll die Möglichkeit gegeben werden, Messungen am fertigen Prototypen vornehmen zu können. Die Platine wird doppelseitig bestückt. Dies hat den Grund allgemein Platz zu sparen und ermöglicht, die Signalleitungen von außen messbar zu verlegen, da bisher keinerlei Erfahrung mit den verwendeten Bauteilen wie dem SRAM-Baustein und dem USB-Controller in Verwendung mit einem SoPC vorliegen.

Auf dem Top Layer sind die gesamten Bauteile, welche für die verschiedenen DC-DC wandlungen notwendig sind, angebracht. Ebenfalls befinden sich auf dem Top Layer die Anschlüsse von I2C, PWM Ein- und Ausgänge, sowie dem XBEE Modul. Desweiteren befinden sich dort die 144 Pins im 0.1“ Raster welche das anbringen des Firefly IV Modul ermöglichen.

Der Entwurf des Toplayer und des Bottomlayer der Leiterplatte befinden sich als Screenshot auf der Begleit DVD. Im Anhang A.10 befindet sich ein Bestückungsplan des Top- und Bottomlayer der Platine.

4.2 Ergebniss

Dieses Kapitel soll einen Überblick geben inwieweit die entworfene Platine mit ihrem Spannungswandler-Konzept den gewünschten Anforderungen entspricht.

Die Abbildung 4.7 zeigt die komplett bestückte Platine welche in den nachfolgenden Kapiteln vermessen wird und anhand der Anforderungen an die Spannungsversorgung überprüft wird.



Abbildung 4.7: Foto der entworfenen und bestückten Trägerplatine

4.2.1 Messergebnisse Spannungsversorgung

Die Versorgungsspannung der gesamten Platine erfolgt durch einen LiPo Akkumulator mit 4 Zellen. Dieser hat einen Spannungsbereich von 12,8-17,2 Volt. Die Spannungsversorgung der Platine ist für diesen Bereich ausgelegt und wird in diesem Kapitel vermessen. Die Tabelle 4.5 zeigt die 4 Ausgangsspannungen 12, 5, 3,3, 1,2 Volt in Abhängigkeit zur Eingangsspannung. Die Eingangsspannung wird im Bereich von 4 - 19 Volt variiert, als Last wurden für die Messung beliebig ausgewählte Lastwiderstände aus Tabelle 4.4 verwendet.

R_{12V}	20	Ω
R_{5V}	10	Ω
$R_{3.3V}$	20	Ω
$R_{1.2V}$	10	Ω

Tabelle 4.4: Für die Messung angeschlossene Lastwiderständen an den unterschiedlichen Spannungsversorung

Der größere Spannungsbereich als der Spannungsbereich des LiPo wird verwendet, da die LiPo Spannung auch unter 12,8 Volt sinken kann, falls im Betrieb nicht auf die Spannung geachtet wird und weiterhin Stromentnahme erfolgt. Des Weiteren erfolgt die Messung im größeren Bereich, da eventuell Teile der Spannungsversorgung dieser Bachelorarbeit in weiteren Projekten an der Hochschule Ulm verwendet werden sollen.

Batteriespannung	12 Volt	5 Volt	3,3 Volt	1,2 Volt
19V	12,26V	4,95V	3,32V	1,23V
18V	12,26V	4,95V	3,32V	1,23V
15,5V	12,26V	4,95V	3,32V	1,23V
15V	12,26V	4,95V	3,32V	1,23V
13,5V	12,06V	4,95V	3,32V	1,23V
13V	11,8V	4,95V	3,32V	1,23V
12,75V	11,73V	4,95V	3,32V	1,23V
12,5V	11,65V	4,95V	3,32V	1,23V
12V	11,53V	4,95V	3,32V	1,23V
11,75V	11,53V	4,95V	3,32V	1,23V
11,5V	11,25V	4,95V	3,32V	1,23V
11V	10,7V	4,95V	3,32V	1,23V
9V	8,4V	4,95V	3,32V	1,23V
6V	5,5V	4,95V	3,32V	1,23V
5,5V	4,7V	4,6V	3,32V	1,23V
5V	4,32V	4,2V	3,32V	1,23V
4,5V	3,95V	3,8V	3V	1,23V
4V	3,3V	3,2V	2,5V	1,1V

Tabelle 4.5: Messung der Spannungen nach der Spannungswandlung an 12, 5, 3.3 und 1.2 Volt in Abhängigkeit der Eingangsspannung mit Lastwiderständen an $R_{12V} = 20\Omega$, $R_{5V} = 10\Omega$, $R_{33V} = 20\Omega$, $R_{12V} = 10\Omega$

Die Gleichspannungsmessung aus Tabelle 4.5 zeigt das bei einem Betrieb der Trägerplatine mittels LiPo-Akkumulator mit 4 Zellen die Spannungen 5, 3,3 sowie 1,2 Volt nicht von Schwankungen der Spannung des LiPo-Akkumulators beeinflusst werden. Die 12 Volt Ausgangsspannung fängt bei einer Eingangsspannung unterhalb von 13 Volt an einzubrechen. Da die 12 Volt Spannungsversorgung das kaskadierte System erst unter einer Eingangsspannung von 5,5 Volt mitbeeinflusst, ist ein Betrieb aller Bauteile sowie dem Firefly Modul auf der Trägerplatine ohne Bedenken möglich. Da die Trägerplatine mit der Anforderung eine Kinect-Kamera anschliessen zu können entworfen wurde, welche über die 12 Volt Spannungsversorgung der Trägerplatine betrieben werden soll, sind diebezüglich weitere Tests notwendig. Unter anderem ist zu testen, ob der

problemlose Betrieb der Kinect mit der externen Spannung von 11.65 Volt (bei 12,5 Volt Eingangsspannung an der Trägerplatine) möglich ist.

12 Volt Spannungsversorgung Analyse der Wechselspannungsanteile

Mithilfe eines Digital Oszilloskop von Agilent werden die Wechselspannungsanteile auf der Ausgangsspannung gemessen. Die Abbildung 4.8 zeigt einen Screenshot des Digital Oszilloskops gemessen an den 12 Volt Anschlussklemmen für die Kinect bei welcher der Gleichspannungsanteil von 12,26 Volt nicht angezeigt wird.



Abbildung 4.8: 12 Volt Ausgangsspannung bei 15V Eingangsspannung, ohne Gleichspannungsanteil mit erkennbaren Schaltvorgängen des LM5085MME von Texas Instruments

Die Eingangsspannung beträgt 15 Volt und als Last werden ebenfalls die Lastwiderstände aus Tabelle 4.4 verwendet. Auf dem Screenshot sind deutlich die Schaltvorgänge des LM5085MME Chips zu erkennen. Durch den Abstand der Spannungsspitzen von ca. 20uS ergibt sich die Schaltfrequenz des LM5085MME von 50kHz. Die Spitze-Spitze Spannung von 259mV, was sich im Feld Messungen ablesen lässt, bezieht sich auf die 11 Schaltvorgänge die in der Abbildung aufgezeichnet wurden. Weitere Messungen

mit einer größeren Zeitbasis, zeigte bei 30 Schaltvorgängen nur einen leicht erhöhten Wert der Spitze-Spitze Spannung von 265mV. Noch größere Zeitbasen zeigten keine Veränderungen mehr. Die Spitze-Spitze Spannung eines einzelnen Schaltvorgang beträgt ca. 200mV. Somit ergibt sich auf der 12 Volt Ausgangsspannung ein Wechselanteil der 1,08% der Spannung entspricht. Durch diese Tatsache ist der Betrieb der Kinect Kamera an der 12 Volt Spannungsversorgung der Trägerplatine ausführlich zu testen. Gegebenenfalls ist mithilfe eines zusätzlichen, dementsprechenden dimensionierten, Kondensators eine Glättung des Signals herbeizuführen.

5, 3,3 und 1,2 Volt Spannungsversorgung Analyse der Wechselspannungsanteile

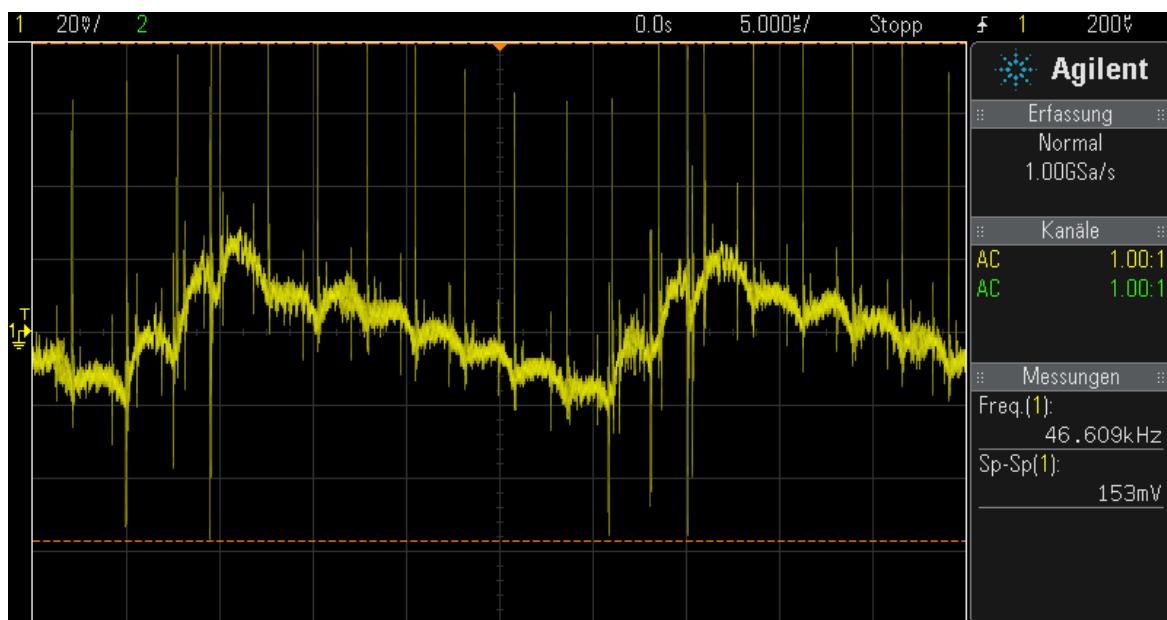


Abbildung 4.9: 5 Volt Ausgangsspannung der Trägerplatine, ohne Gleichspannungsanteil

Die Abbildung 4.9 zeigt den Screenshot des Digital Osziliskop der 5 Volt Ausgangsspannung, diese Ausgangsspannung wird mithilfe des TPS54526PWP Chips von TI direkt von der 12 Volt Spannung abgeleitet. Der Abstand zwischen 2 Schaltvorgängen beträgt ca. 5uS was einer Schaltfrequenz von 200kHz entspricht. Desweiteren ist ein weiterer periodischer Vorgang in der Abbildung zu erkennen. Der Abstand zwischen den Maximas dieses Vorgangs beträgt abgelesen ca. 25uS und hat einen Spitze-Spitze Wert

von ca. 40mV. Die $25\mu\text{S} = 40 \text{ Khz}$ (Messung des Osziloscop: 46,609kHz) entsprechen in etwa der Schaltfrequenz der 12 Volt Spannungswandlung mit 50kHz. Die Spitze-Spitze Spannung über die 19 in der Abbildung gezeigten Schaltvorgänge beträgt 153mV.



Abbildung 4.10: 3,3 Volt Ausgangsspannung der Trägerplatine, ohne Gleichspannungsanteil

In Abbildung 4.10 ist der Screenshot der 3,3 Volt Ausgangsspannung zu sehen. Der Spitze-Spitze Spannungswert liegt in den meisten Fällen unterhalb von 20mV, periodisch treten ca. alle 10 Schaltvorgänge Spitze-Spitze Spannungswerte von bis zu 130mV auf. Der Abstand der Schaltvorgänge beträgt hier ca. 1-2 μS was einer Schaltfrequenz von 500kHz-1MHz entspricht. Dies deckt sich mit den Angaben im Datenblatt des verwendeten TPS54428 Chips von TI, welcher eine Schaltfrequenz von 650kHz angegeben hat.



Abbildung 4.11: 1,2 Volt Ausgangsspannung der Trägerplatine, ohne Gleichspannungsanteil

Der Screenshot der Messung der 1,2 Volt Spannung ist in Abbildung 4.11 zu sehen. In dieser Abbildung ist der Abstand der Schaltvorgänge ebenfalls zu erkennen und beträgt ca. $2\mu\text{s} = 500\text{kHz}$ was in etwa der Schaltfrequenz im Datenblatt des TPS54312 Chip von TI von 550 kHz entspricht. Die maximale Spitze-Spitze Spannung über alle Schaltvorgänge in der Abbildung beträgt 109mV.

Aufgrund der Messergebnisse hat sich die Vermutung des kaskadierten Systems teilweise bewahrheitet. Die Spannungen 3,3 und 1,2 welche den kritischsten Punkt der Spannungsversorgung darstellen sind innerhalb des erlaubten Bereiches für den Betrieb des FPGA welche in Tabelle 2.1 aufgeführt ist. Die Schwankung der Spannungen beträgt 3,225 - 3,375 Volt bzw. 1,15 - 1,25 Volt. Einzig die 5 Volt Spannungsversorgung zeigt mit einem zusätzlichen 50 kHz Signal mit Spitze-Spitze Spannung von 40mV Anteile des Schaltvorgangs des vorangehenden Spannungswandler. Das nicht kaskadierte System, bei dem alle Spannungen sich direkt von der 12 Volt Spannung ableiten würde, hätte vermutlich dessen Schaltvorgänge auf allen Spannungen gezeigt.

4.2.2 Testen der Trägerplatine mit Firefly Modul

Anhand der Erkenntnisse des vorangehenden Kapitels sowie der Kontrolle der Versorgungsspannung Pins auf der Trägerplatine für das Firefly Modul (Anhang A.1) ist mit einer komplikationslosen Inbetriebnahme der Trägerplatine mit bestücktem Firefly Modul zu rechnen. Durch die Bestückung der Trägerplatine mit dem Firefly Modul und Anlegen einer Versorgungsspannung wird desweiteren versucht ein einfaches SoPC, welches vorher erfolgreich auf das Firefly Modul mithilfe des Eval Boards von Microtonix geladen werden konnte, zu laden. Hierzu wird das bestehende SoPC aus Kapitel 3.1 mittels eines USB-Blaster, welcher den PC mit dem 10-poligen JTAG-Flash Anschluss der Trägerplatine verbindet, auf das Firefly Modul geladen. Das Laden des SoPC erfolgt fehlerfrei. Hierdurch ist die korrekte Beschaltung des 10-poligen JTAG-Flash Anschlusses bestätigt. Die Anwendung wurde um eine Endlosschleife erweitert welche jeweils „Hello NIOS+X“ ausgibt, wobei X jeweils von 1-1000 hochgezählt wird. Das Hochladen der Anwendung sowie die Anzeige der Konsole, welches beides über den 10-poligen-JTAG auf USB-Blaster am PC erfolgt, zeigte ebenfalls ein Fehlerfreies Arbeiten des Firefly Moduls. Die Funktion des FPGA sowie der Beispielanwendung wird durch eine stark und schnell schwankende Eingangsspannungen, welche sich innerhalb des Spannungsbereiches des LiPo-Akkumulator befindet, nicht beeinflusst.

5 Zusammenfassung und Ausblick

Zusammenfassend lässt sich sagen, dass die entworfene Platine für den Flugbetrieb geeignet ist. Die Spannungsversorgung hat die geforderten Anforderungen eingehalten. Der Entwurf der Platine wurde auch zufriedenstellend umgesetzt. Die in dieser Bachelorthesis gesammelten Erfahrungen für den Entwurf eines Multiprozessor-Systems sowie der passenden Hardware beschränken sich nicht nur auf den Betrieb eines Quadrocopter System. Die Erkenntnisse sind ebenso auf ein Flächenmodell anwendbar, welches in Hinsicht auf Flugzeit und Flugstrecke Vorteile gegenüber Quadrocoptern aufweist. Außerdem ermöglichen die in dieser Arbeit gesammelten Erfahrungen mit dem Firefly Modul sowie der Platine in einer späteren Bachelor- oder Masterthesis den Aufbau eines Systems bestehend aus mehreren Firefly Modulen. Mit diesem System lässt sich kostengünstig ein Multiprozessorsystem aufbauen welches für die Lehre an Hochschulen oder Universitäten verwendet werden kann.

Durch die Verwendung eines zusätzlichen kleinen Mikroprozessors auf der Platine, welche die 8 parallelen Kanäle der Fernbedienung auf einen Kanal serialisiert würden 7 User I/O Pins am Firefly Modul frei. Diese Freien Pins könnten genutzt werden um den derzeit verwendeten 8 Bit breiten SRAM Speicher durch einen 16 Bit breiten Speicher zu ersetzen, was wiederum zu einer Leistungssteigerung des Systems führen dürfte. Mithilfe eines Analog-Digital-Umsetzer könnte während des Fluges die Batteriespannung überwacht werden, hiermit könnte sichergestellt werden dass der verwendete LiPo-Akkumulator keinen Schaden durch Unterspannung nimmt.

Die Erkenntnisse dieser Bachelorarbeit kommen zu dem Schluss das die entwickelte Trägerplatine sich für den Betrieb eines Quadrocopter eignen würde. Hierzu ist das bestehende SoPC um den USB-Controller und dem SRAM-Baustein zu erweitern und die Inbetriebnahme einer geeigneten Software für die Flugsteuerung notwendig. Ebenso ist der Betrieb, bei erfolgreicher Inbetriebnahme des USB-Controller, der Kinect Kame-

ra sehr wahrscheinlich.

Die Anforderungen aus Kapitel 1.3 wurden teilweise umgesetzt, die nachfolgende Tabelle 5 soll einen kurzen Einblick geben welche Anforderungen im Rahmen dieser Bachelorarbeit komplett, teilweise oder nicht umgesetzt wurden.

Anforderung	Status
Firefly Modul in Betrieb nehmen	teilweise umgesetzt
Spannungsversorgung der Trägerplatine mittels LiPo	umgesetzt
Funkschnittstelle integrieren (XBEE)	umgesetzt
serialisierung des 8-Kanal Signals	nicht umgesetzt
Schnittstellen für GPS, Bluetooth und Sensoren	umgesetzt
möglichkeit der Einbindung einer Kinect/Funknetzes	umgesetzt
Platinenkonzept in Prototypen überführen	umgesetzt
Inbetriebnahme und Test der Trägerplatine	teilweise umgesetzt
SoPC an Anforderungen anpassen	teilweise umgesetzt

Tabelle 5.1: Tabelle der umgesetzten Anforderungen der Bachelorarbeit

Abbildungsverzeichnis

2.1	Skizze der Motordrehrichtung eines Quadrocopter Flugmodel aus [8]	6
2.2	Foto eines autonom fliegenden Quadrocopter aus [6]	7
2.3	Foto eines Duocopter aus [3]	8
2.4	Skizze eines typischen UART Frame mit 8 Datenbits aus [2]	9
2.5	Kinect Kamera von Microsoft, mit markierung der 3D-Tiefen Sensoren aus [5]	9
2.6	Foto des Firefly IV Modul der Firma Microtonic	12
2.7	Bestandteile eines SOPC System aus [7]	13
2.8	Screenshot Altera SOPC Builder	15
2.9	Foto eines XBEE Moduls	17
3.1	Foto des Evaluationsboard von Microtonix mit bestücktem Firefly IV Modul	18
4.1	Skizze der dreireihigen Stiftleiste für den Anschluss der 8 Kanal Fernbedienung an die Trägerplatine	22
4.2	Screenshot webench von Texas Instrument mit verschiedenen DC-DC Konvertierungslösungen	27
4.3	DC-DC Konvertierung, Batteriespannung (12,8V-17,2V) auf 12, 5, 3,3, 1,2 Volt	29
4.4	Effizienzverlauf der 12 Volt Spannungswandlung in Abhängigkeit zum entnommenen Strom bei 3 Eingangsspannung: 12.8 V, 14.9 V und 17 V	30
4.5	Schaltplan DC-DC Konvertierung, Batteriespannung 12.8V-17.2V auf 12 Volt	31
4.6	Screenshot Eagle Einstellungen für 4 lagige Platine mit Bemassung	32
4.7	Foto der entworfenen und bestückten Trägerplatine	33
4.8	12 Volt Ausgangsspannung bei 15V Eingangsspannung, ohne Gleichspannungsanteil mit erkennbaren Schaltvorgänen des LM5085MME von Texas Instruments	36
4.9	5 Volt Ausgangsspannung der Trägerplatine, ohne Gleichspannungsanteil	37
4.10	3,3 Volt Ausgangsspannung der Trägerplatine, ohne Gleichspannungsanteil	38
4.11	1,2 Volt Ausgangsspannung der Trägerplatine, ohne Gleichspannungsanteil	39
A.1	Pinbelegung des FireFly IV Modul der Firma Microtonix	48
A.2	Schaltplan des USB-Controller	50

A.3	Schaltplan des Firefly Moduls	51
A.4	Schaltplan des SRAM und XBEE Modul	52
A.5	Schaltplan des I/O Anschlüsse	53
A.6	Schaltplan DC-DC Konvertierung, 12 Volt	54
A.7	Schaltpläne DC-DC Konvertierung, 5 Volt, 3,3 Volt und 1,2 Volt	55
A.8	Liste aller verwendeten Bauteile der Trägerplatine mit Schaltplanbezeichnung	57
A.9	2. Teil der Liste aller verwendeten Bauteile der Trägerplatine mit Schaltplanbezeichnung	58
A.10	Anschluss- und Bestückungsplan des Top Layer	60
A.11	Anschluss- und Bestückungsplan des Bottom Layer	61

Tabellenverzeichnis

2.1	Tabelle der empfohlenen Betriebsspannungen für den Cyclone IV Chip, entnommen aus [1]	12
4.1	Vergleich der USB Chips für Verfügbarkeit, Host/Slave Funktionalität sowie uCLinux Treiber	24
4.2	Anzahl der benötigten I/O Anschlüsse der Bauteile an das Firefly IV Modul	26
4.3	Strom und Leistung der Bauteile der Trägerplatine bezüglich der Ver- sorgungsspannung	28
4.4	Für die Messung angeschlossene Lastwiderständen an den unterschiedli- chen Spannungsversorung	34
4.5	Messung der Spannungen nach der Spannungswandlung an 12, 5, 3.3 und 1.2 Volt in Abhängigkeit der Eingangsspannung mit Lastwiderständen an $R_{12V} = 20\Omega$, $R_{5V} = 10\Omega$, $R_{33V} = 20\Omega$, $R_{12V} = 10\Omega$	35
5.1	Tabelle der umgesetzten Anforderungen der Bachelorarbeit	42

Literaturverzeichnis

- [1] ALTERA: *Cyclone IV Device Datasheet*. <http://www.altera.com/literature/hb/cyclone-iv/cyiv-53001.pdf>, 2013. – (abgerufen am: 18. Juni 2013) (verwendet auf den Seiten 12 und 45.)
- [2] BRADY, Brian ; DICKERSON, Josh ; CIAVONNE, Luke ; BAZZO, Michael: *DMX-512 Theater Controller RAMBox*. <http://www.csurambox.com/documents/finalreport/finalreport.htm>, 2008. – (abgerufen am: 18. Juni 2013) (verwendet auf den Seiten 9 und 43.)
- [3] FRANK STEIPER, Prof. D.: *âDuoCopterâ*. http://www.hs-ulm.de/wir/Personal/PersonalSchuSw/steiper/Projekt_Doks/ProjektKurzbeschreibung_DuoCopter.pdf, 2007. – (abgerufen am: 18. Juni 2013) (verwendet auf den Seiten 8 und 43.)
- [4] MICROSOFT: *PrimeSense Supplies 3-D-Sensing Technology to âProject Natalâ for Xbox 360*. <http://www.microsoft.com/en-us/news/press/2010/mar10/03-31PrimeSensePR.aspx>, 2010. – (abgerufen am: 10. Juni 2013) (verwendet auf Seite 9.)
- [5] NILS RÖDER, Björn F.: *Kinect*. <https://www.fbi.h-da.de/fileadmin/personal/n.roeder/MultiTouch/WS2012/Kinect.pdf>, 2012. – (abgerufen am: 10. Juni 2013) (verwendet auf den Seiten 9 und 43.)
- [6] RETTUNGSDIENST.NET: *Quadrocopter flickt Funkloecher*. <http://www.rettungsdienst.de/produkte-und-branche/quadrocopter-flickt-funkloecher-17390>, 2011. – (abgerufen am: 18. Juni 2013) (verwendet auf den Seiten 7 und 43.)
- [7] STRAHNEN, Prof. Dr.-Ing. M.: *SoPC-basierte Embedded Systeme*. <http://www.hs-ulm.de/Institut/IAS/FUE/CTCE/SoPCbasierteEmbeddedSystems/>, 2007. – (abgerufen am: 18. Juni 2013) (verwendet auf den Seiten 13 und 43.)
- [8] UNIVERSITY, Cornell: *ECE 4760: Final Project Quadcopter*. http://people.ece.cornell.edu/land/courses/ece4760/FinalProjects/s2012/yk579_j12782_tnn7/yk579_j12782_tnn7/highlvl.html, 2012. – (abgerufen am: 18. Juni 2013) (verwendet auf den Seiten 6 und 43.)

A Anhang

A.1 Firefly IV Pinbelegung

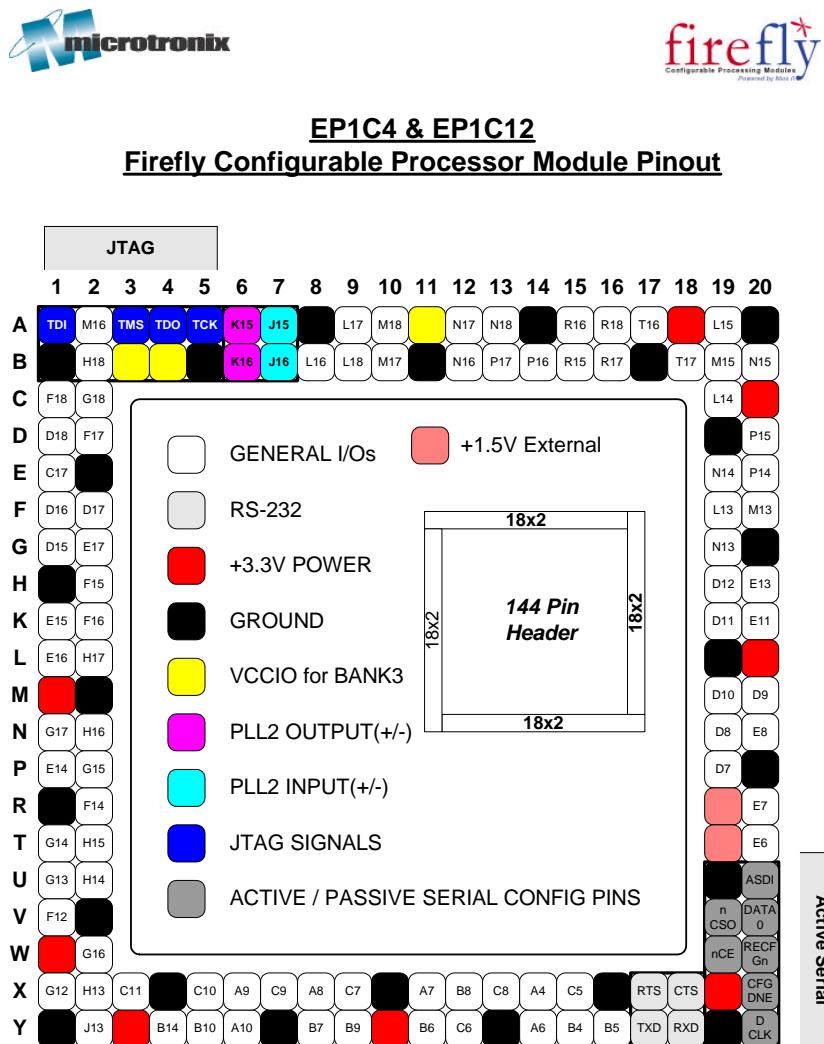


Abbildung A.1: Pinbelegung des FireFly IV Modul der Firma Microtronix

A.2 Schaltpläne

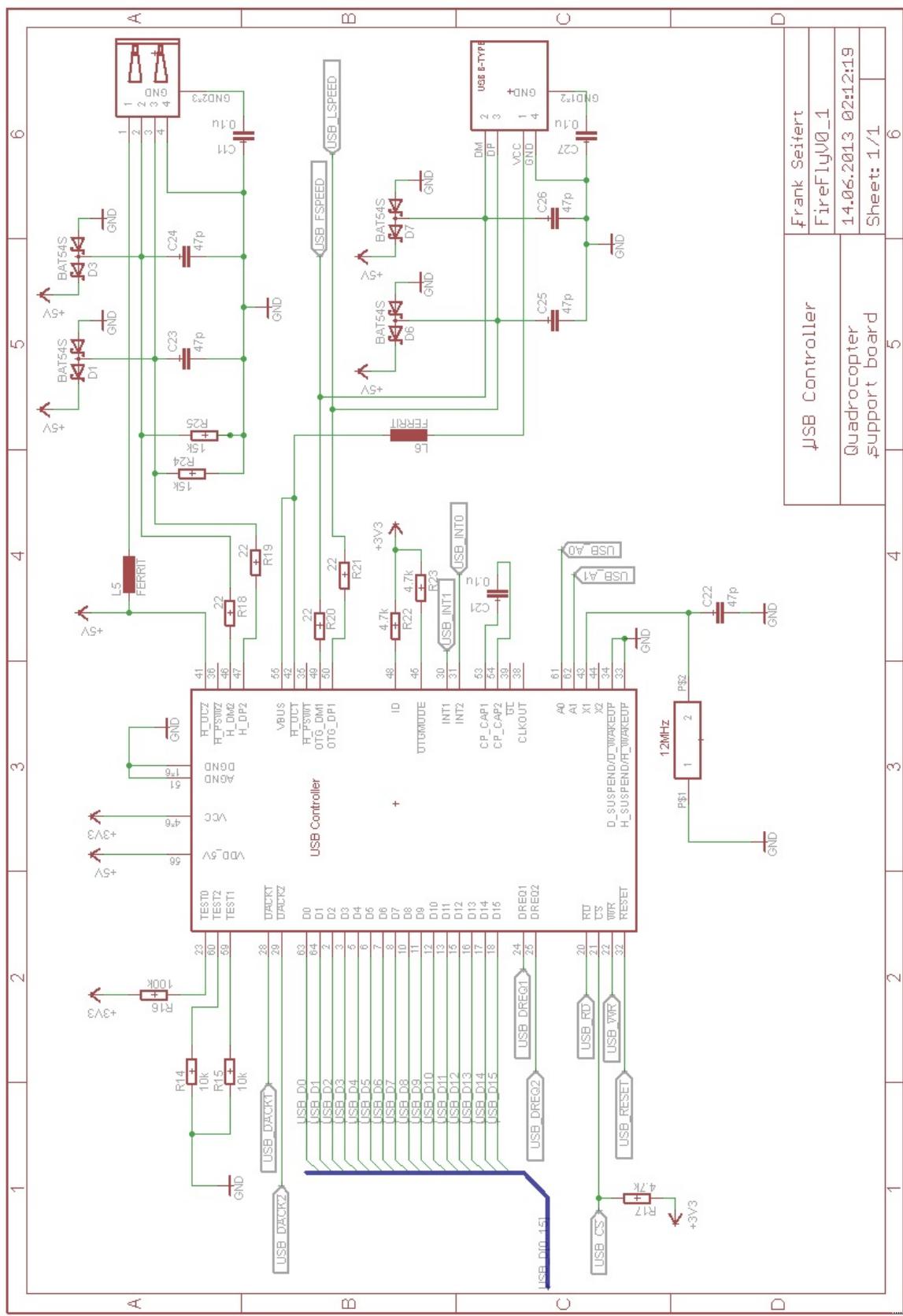


Abbildung A.2: Schaltplan des USB-Controller

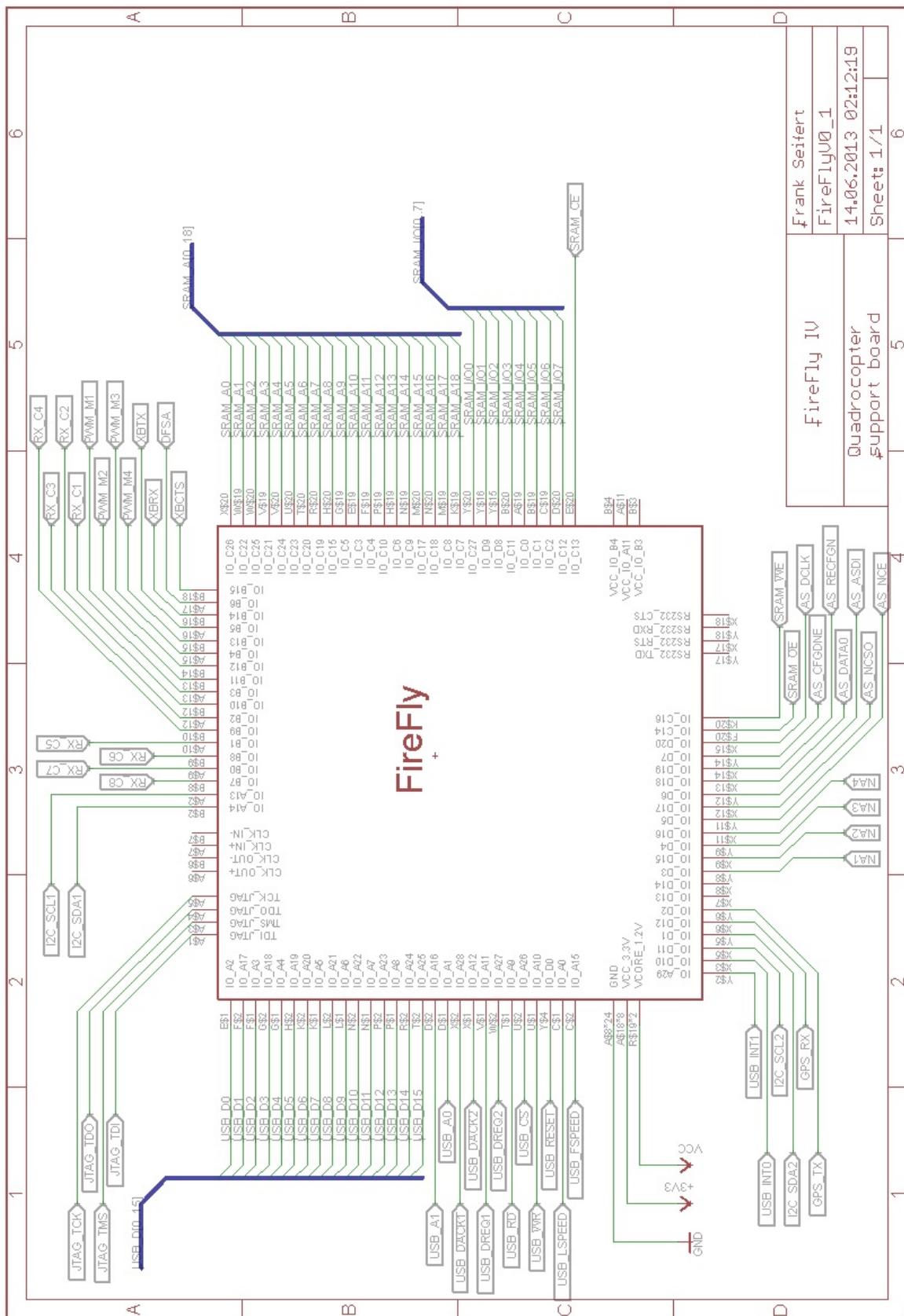


Abbildung A.3: Schaltplan des Firefly Moduls

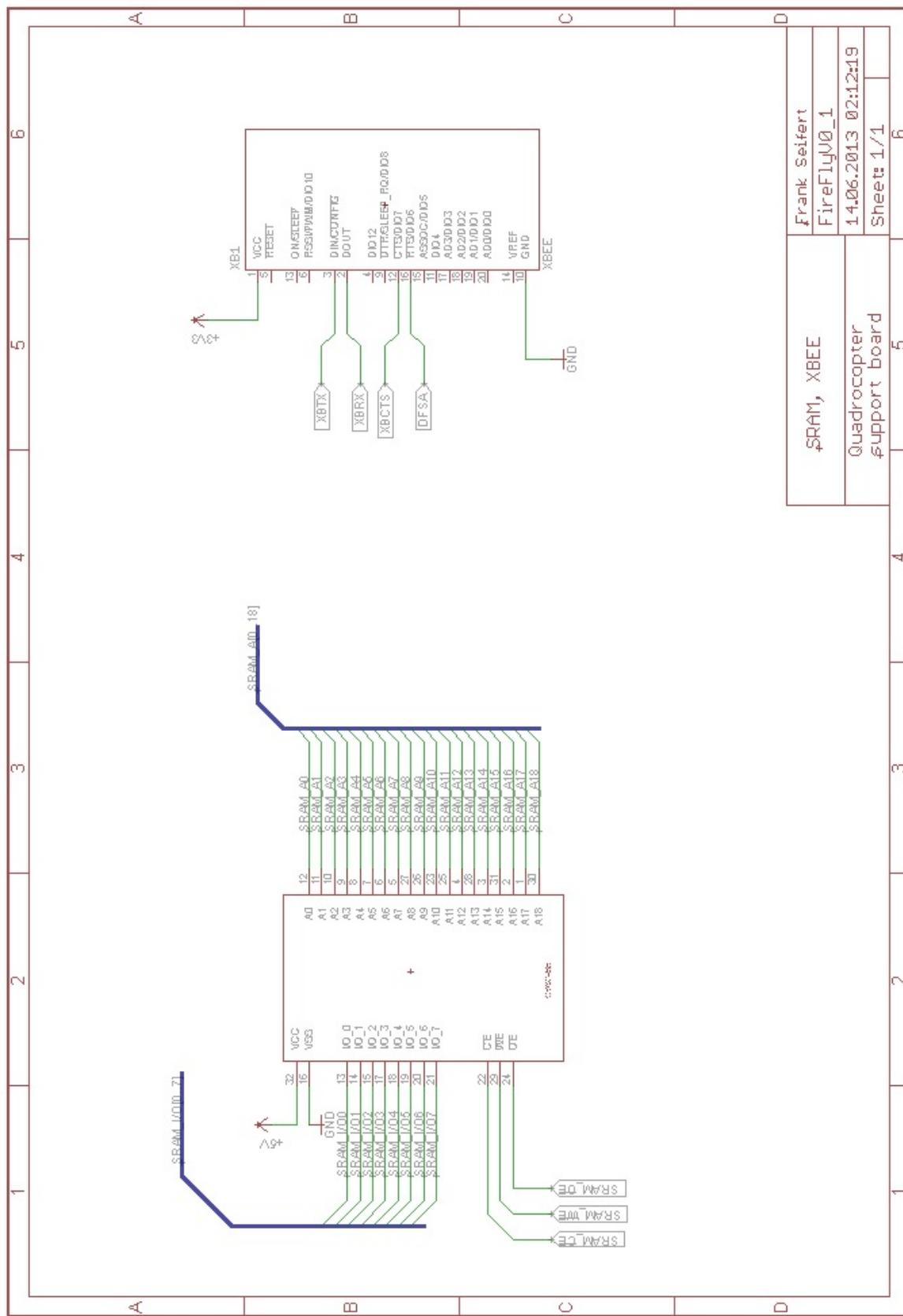


Abbildung A.4: Schaltplan des SRAM und XBEE Modul

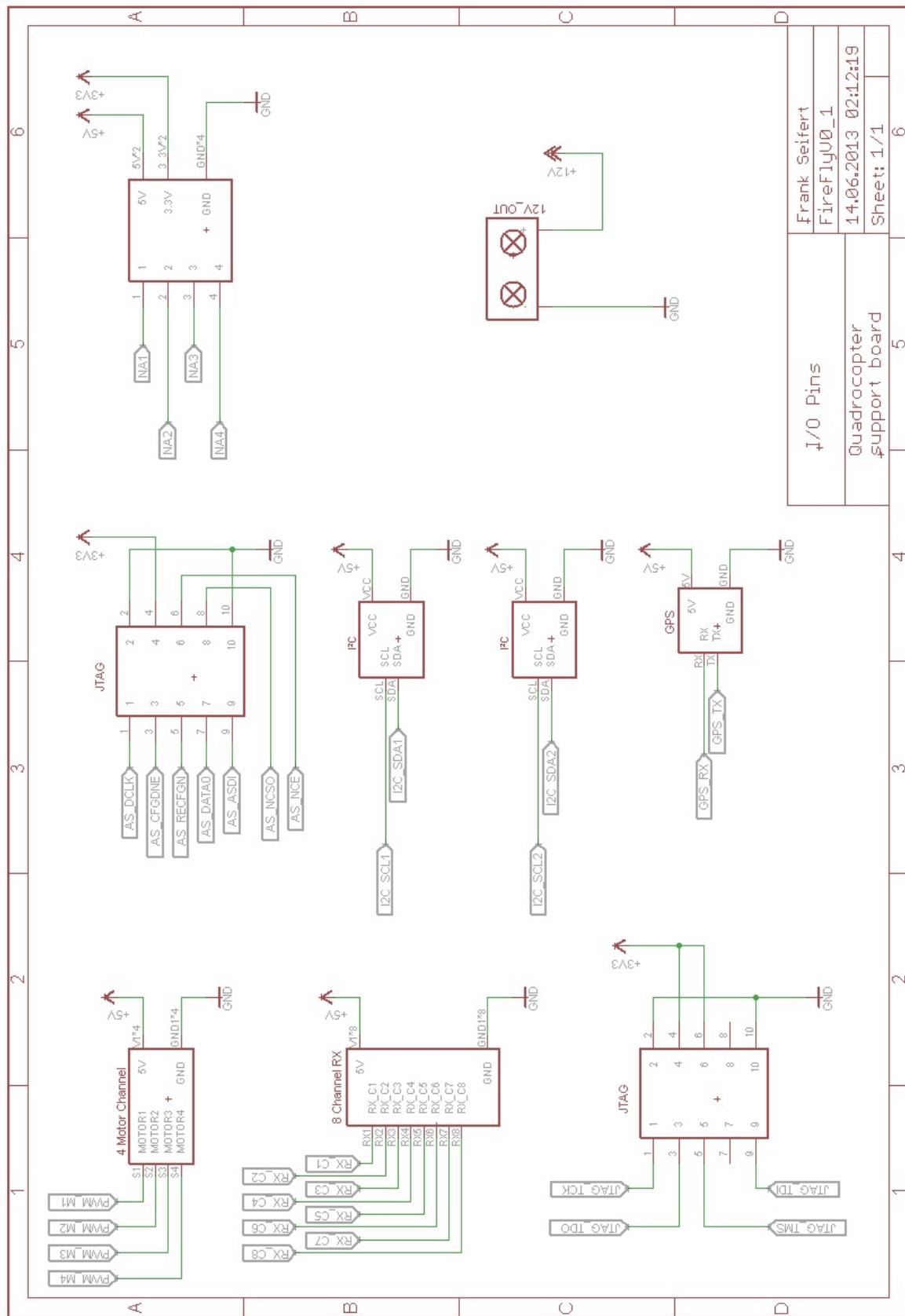


Abbildung A.5: Schaltplan des I/O Anschlüsse

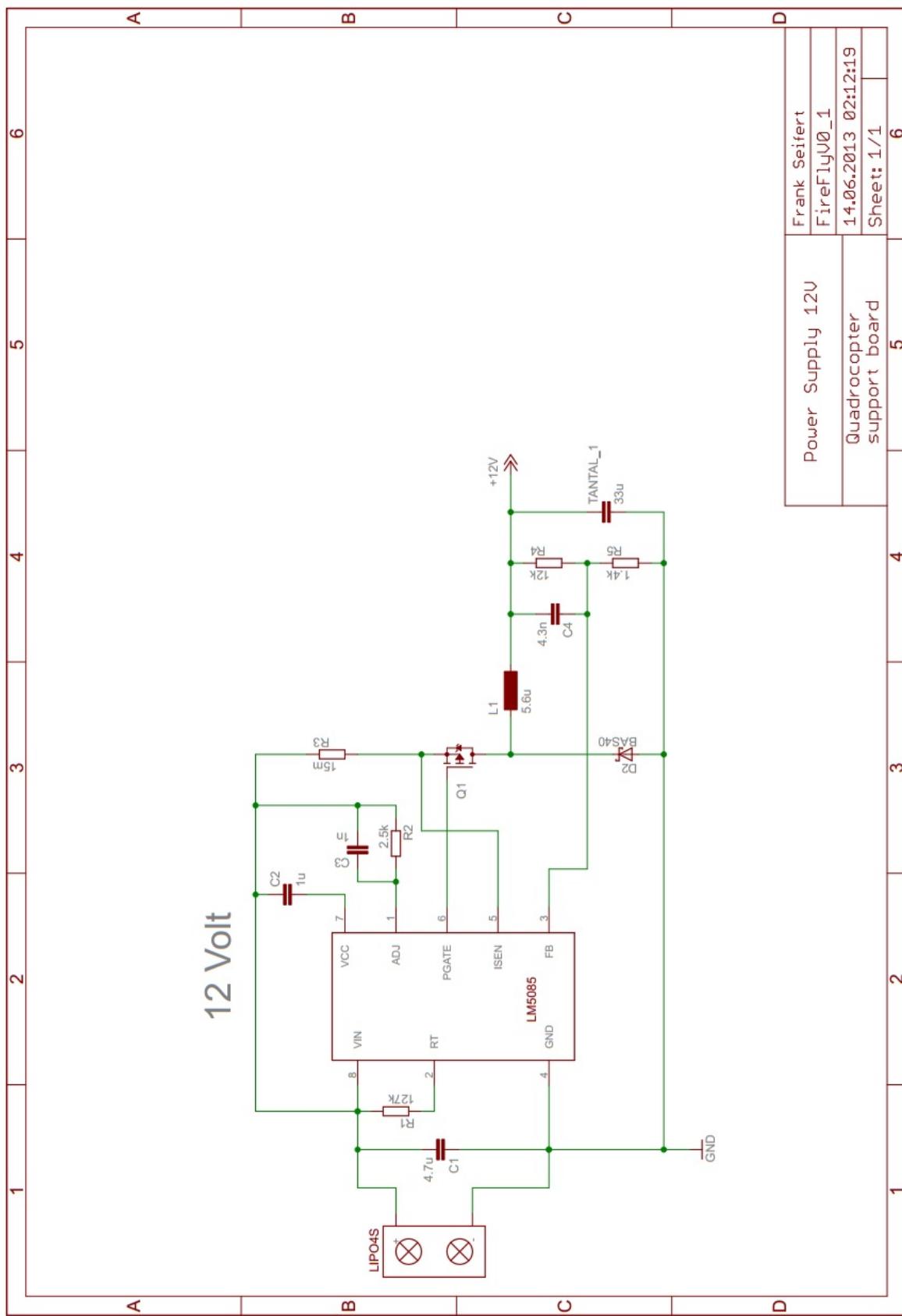


Abbildung A.6: Schaltplan DC-DC Konvertierung, 12 Volt

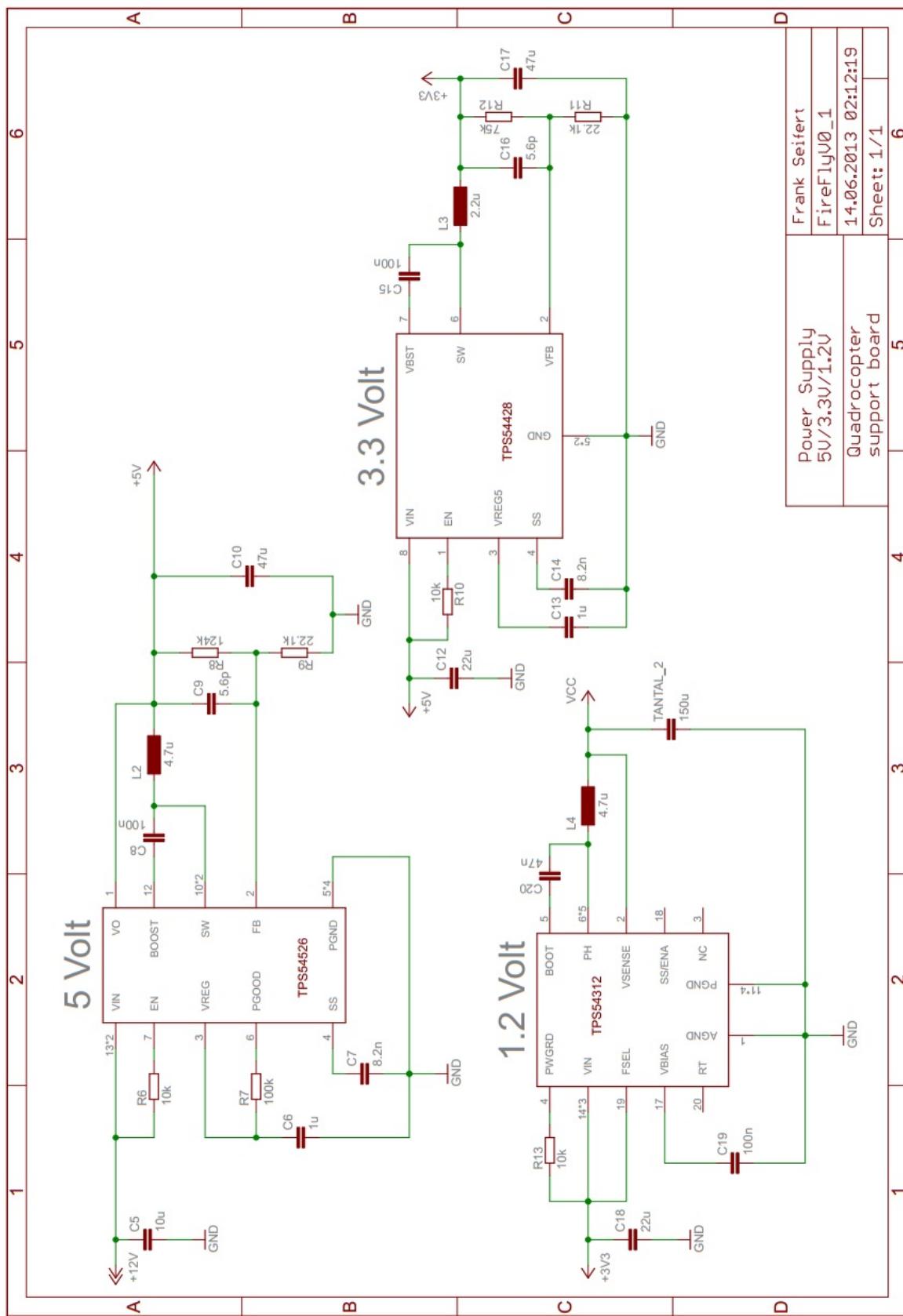


Abbildung A.7: Schaltpläne DC-DC Konvertierung, 5 Volt, 3,3 Volt und 1,2 Volt

A.3 Bauteil Dokumentation

Gruppe	Bezeichnung	Bauform	Typ	Wert	Link	Datenbl.
V_CC 3.3V	C12	1210	Kondensator	22uF	Klick	Klick
V_CC 3.3V	C13	1210	Kondensator	1uF	Klick	Klick
V_CC 3.3V	TPSS4428	8SOP	Spannungsregler		Klick	Klick
V_CC 3.3V	C14	1210	Kondensator	8.2nF	Klick	Klick
V_CC 3.3V	C15	1210	Kondensator	100nF	Klick	Klick
V_CC 3.3V	C16	1206	Kondensator	5.6pF	Klick	Klick
V_CC 3.3V	C17	1210	Kondensator	47uF	Klick	Klick
V_CC 3.3V	L3	????	Induktivität	2.2uH	Klick	Klick
V_CC 3.3V	R10	1206	Widerstand	10kOhm	Klick	Klick
V_CC 3.3V	R11	1206	Widerstand	22.1kOhm	Klick	Klick
V_CC 3.3V	R12	1206	Widerstand	75kOhm	Klick	Klick
<hr/>						
V_CC 1.2V	TPSS4312	20PIN	Spannungsregler		Klick	Klick
V_CC 1.2V	R13	1206	Widerstand	10kOhm	Klick	Klick
V_CC 1.2V	C18	1210	Kondensator	22uF	Klick	Klick
V_CC 1.2V	C19	1210	Kondensator	100nF	Klick	Klick
V_CC 1.2V	C20	1206	Kondensator	47nF	Klick	Klick
V_CC 1.2V	L4	????	Induktivität	4.7uH	Klick	Klick
V_CC 1.2V	TANTAL_2	1210	Tantal-Kondensator	150uF	Klick	Klick
<hr/>						
V_CC 5V	TPSS4526PWP	HTSSOP	Spannungsregler		Klick	Klick
V_CC 5V	C6	1210	Kondensator	1uF	Klick	Klick
V_CC 5V	R7	1206	Widerstand	100kOhm	Klick	Klick
V_CC 5V	L2	????	Induktivität	4.7uH	Klick	Klick
V_CC 5V	R6	1206	Widerstand	10kOhm	Klick	Klick
V_CC 5V	C8	1210	Kondensator	100nF	Klick	Klick
V_CC 5V	C7	1210	Kondensator	8.2nF	Klick	Klick
V_CC 5V	R9	1206	Widerstand	22.1kOhm	Klick	Klick
V_CC 5V	R8	1206	Widerstand	124kOhm	Klick	Klick
V_CC 5V	C10	1210	Kondensator	47uF	Klick	Klick
V_CC 5V	C9	1206	Kondensator	5.6pF	Klick	Klick
V_CC 5V	C5	1206	Kondensator	10uF	Klick	Klick
<hr/>						
V_CC 12V	LM5085MME	MSOP	Spannungsregler		Klick	Klick
V_CC 12V	AOD4189		FET-Transistor			Klick
V_CC 12V	b230a-13-f		Schottky-Diode		Klick	Klick
V_CC 12V	L1	4040DZ	Induktivität	5.6uH	Klick	Klick
V_CC 12V	R1	1206	Widerstand	127kOHM	Klick	Klick
V_CC 12V	R2	1206	Widerstand	2.5kOHM	Klick	Klick
V_CC 12V	R3	1206	Widerstand	15mOHM	Klick	Klick
V_CC 12V	R4	1206	Widerstand	1.4kOHM	Klick	Klick
V_CC 12V	R5	1206	Widerstand	12kOHM	Klick	Klick
V_CC 12V	C1	1206	Kondensator	4.7uF	Klick	Klick
V_CC 12V	C2	1206	Kondensator	1uF	Klick	Klick
V_CC 12V	C3	1206	Kondensator	1nF	Klick	Klick
V_CC 12V	C4	1206	Kondensator	4.7nF	Klick	Klick
V_CC 12V	TANTAL_1	Bauf. B	Tantal-Kondensator	33uF	Klick	Klick

Abbildung A.8: Liste aller verwendeten Bauteile der Trägerplatine mit Schaltplanbe-

<u>Gruppe</u>	<u>Bezeichnung</u>	<u>Bauform</u>	<u>Typ</u>	<u>Wert</u>
USB	R14 /15	1206	Widerstand	10kOhm
USB	R16	1206	Widerstand	100kOhm
USB	R17 /22/23	1206	Widerstand	4.7kOhm
USB	R18 /19/20/21	1206	Widerstand	22OHM
USB	C21	1206	Kondensator	0.1uF
USB	D1 /3/4/5	SOT-23	Schotky Diode	
USB	L2 /4	1206	Ferrit	
USB			USB-TYP-A	
USB			USB-TYP-B	
USB			Quarz	12 MHz
USB	R24 /25	1206	Widerstand	15kOhm
USB	C22 /23/24 /25/26	1206	Kondensator	47pF
USB				
Allgemein			Sram	512K x 8
Allgemein	RX CHANNEL		Stiftleiste	8 PIN
Allgemein	LED	1210	LED	grün
Allgemein	R26 / R27	1206	Widerstand	27Ohm
Allgemein	Xbee		Buchsenleiste	2mm
Allgemein	battery		Schraub-2pol	5,04mm
Allgemein	FireFly		Buchsenleiste	2,54mm

Abbildung A.9: 2. Teil der Liste aller verwendeten Bauteile der Trägerplatine mit Schaltplanbezeichnung

A.4 Anschluss- und Bestückungsplan

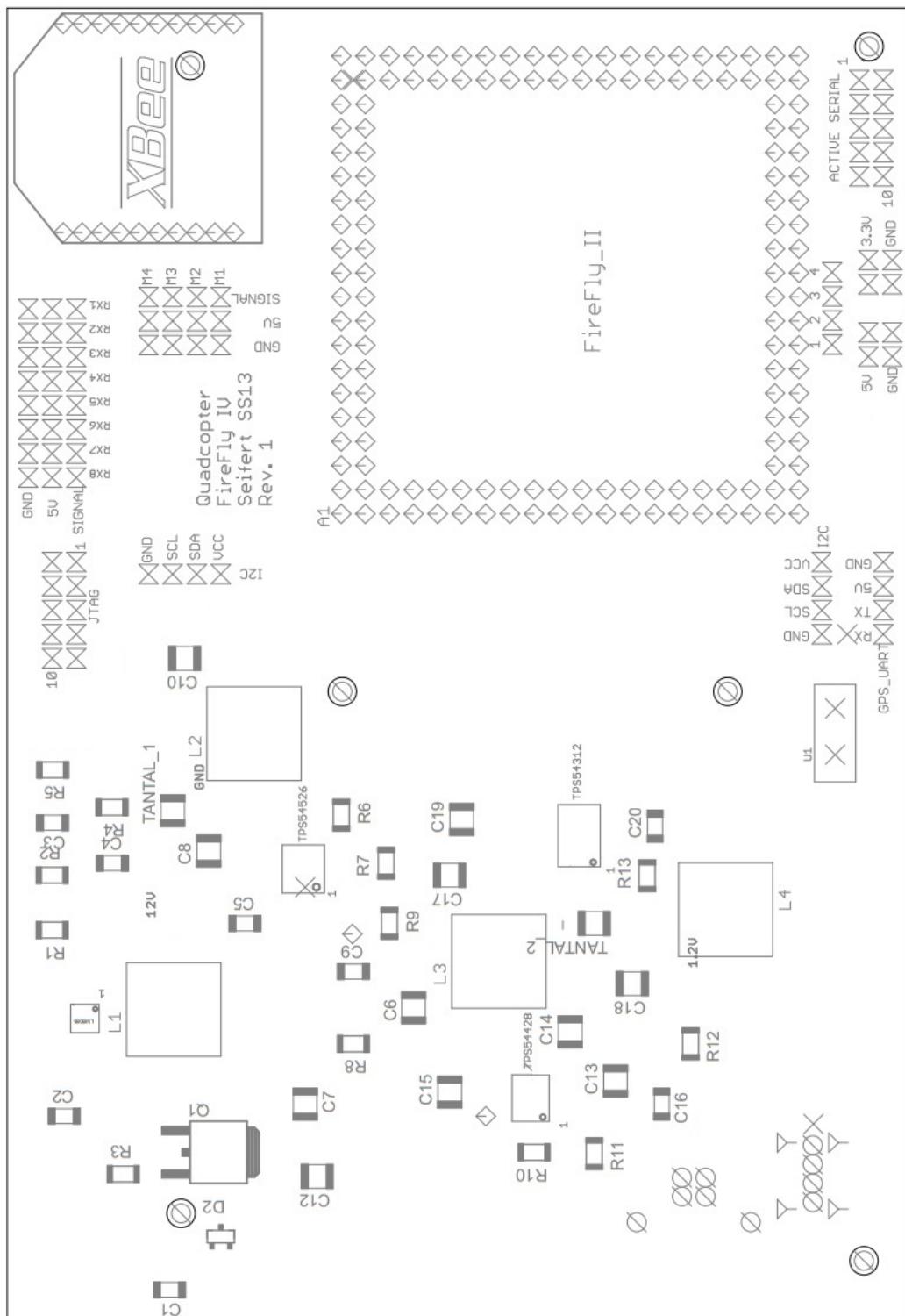


Abbildung A.10: Anschluss- und Bestückungsplan des Top Layer

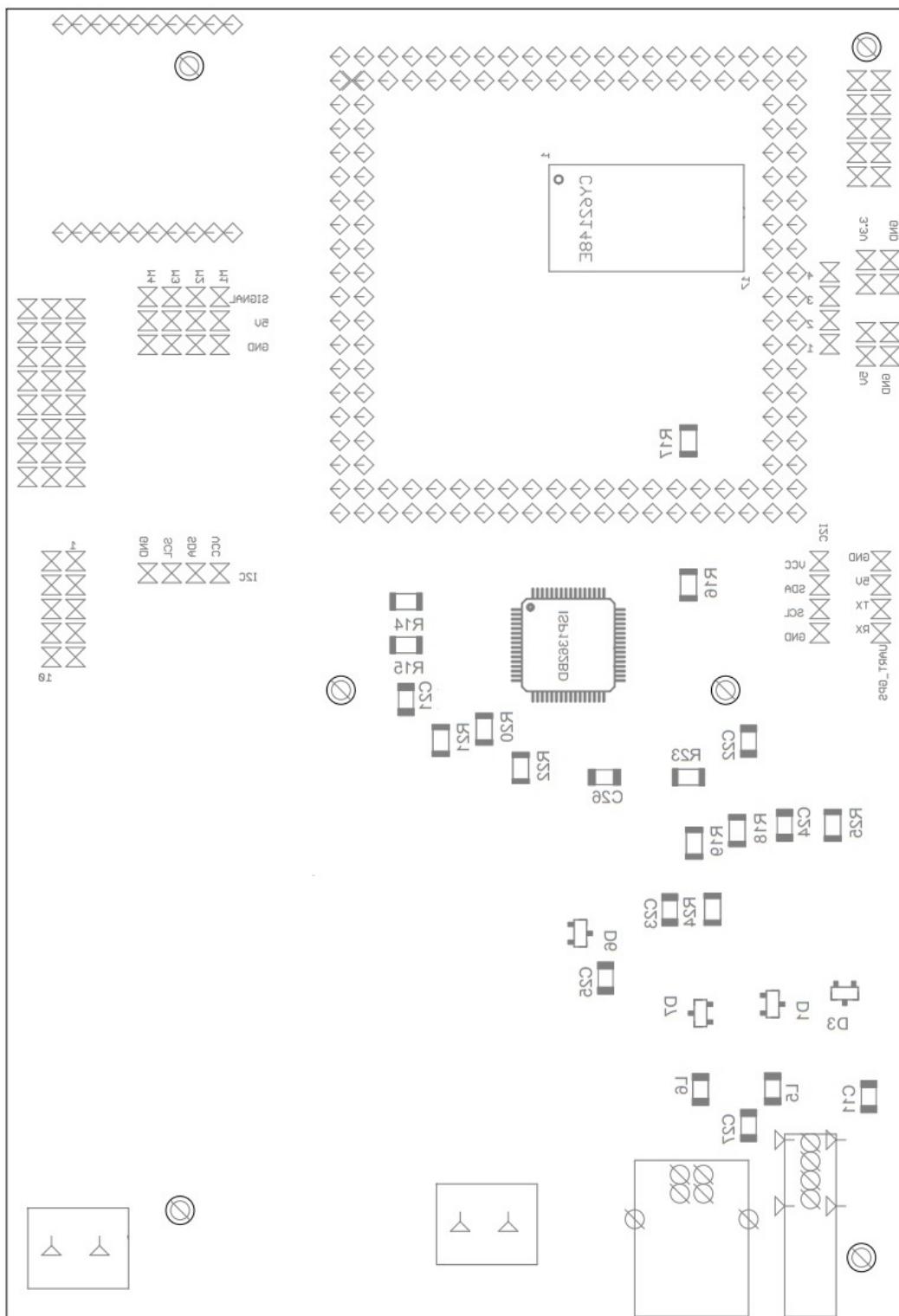


Abbildung A.11: Anschluss- und Bestückungsplan des Bottom Layer