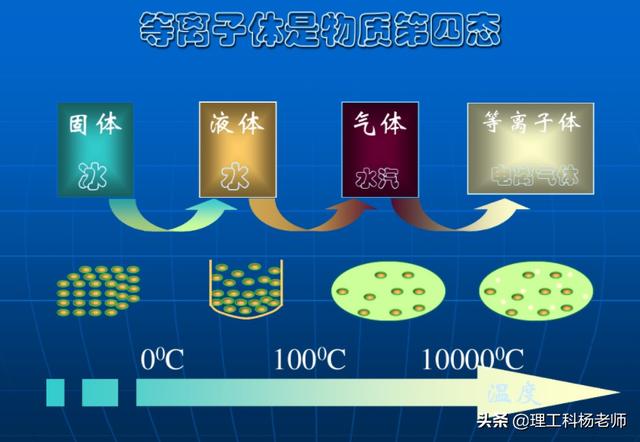
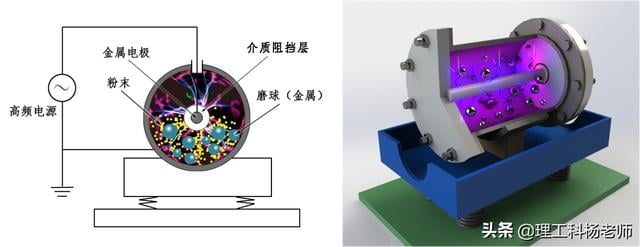
3分鐘讀了解集成電路等離子體刻蝕（干法刻蝕）  
  
等離子體刻蝕在集成電路製造中已有40餘年的發展歷程，最早70年代引入用於去膠，80 年代成為集成電路領域成熟的刻蝕技術。刻蝕採用的等離子體源常見的有容性耦合等離子體 (CCP-capacitively coupled plasma)、感應耦合等離子體ICP(Inductively coupled plasma) 和微波ECR等離子體(microwave electron cyclotron resonance plasma)等。



雖然等離子體刻蝕設備已廣泛應用於集成電路製造，但由於等離子體刻蝕過程中複雜的物理和化學過程到目前為止仍沒有一個有效的方法完全從理論上模擬和分析等離子體刻蝕過程。除刻蝕外，等離子體技術也成功的應用於其他半導體製程，如濺射和等離子體增強化學氣相沉積 (PECVD)。當然鑑於plasma豐富的活性粒子，plasma也廣泛應用於其他非半導體領域，如空氣淨化，廢物處理等。

由於刻蝕過程中複雜的物理和化學反應，不同中性粒子、帶電粒子間的場(電場，流場，力場等)的相互作用，使得plasma刻蝕很難描述。如下圖形象化的等離子球磨技術示意：

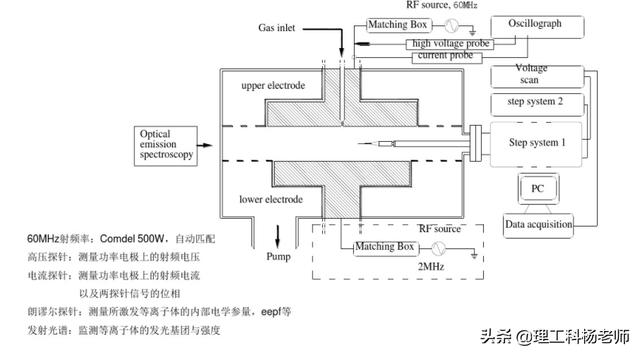


**下面我們將簡單的介紹常用的幾種等離子體刻蝕技術。**

**2、容性耦合等離子體(CCP)**

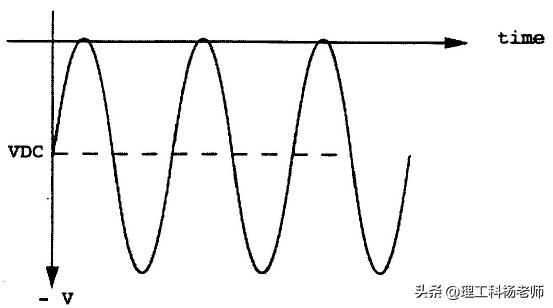
等離子體是部分離化的中性氣體，在等離子體中自由電子與中性分子，原子進行碰撞，通過碰撞電離，進一步得到更多的電子和離子。基於電子的能量，可以獲得更豐富的離子，激發態高能中性粒子等，同時由於電子吸附在中性氣體表面還可獲得負離子。由於每種氣體在原子分子物理學中有各自的能級結構，故高能電子可以將氣體激發到不同的能級上，當氣體分子、原子從高能級向低能級回遷時將會輻射出不同能量的光子，不同能量的光子代表了不同的波長，通過分析光譜我們可以有效地分析等離子體的刻蝕過程。該分析診斷過程常被用於半導體製造中的EDP監測。

容性耦合等離子體源典型的腔室結構如下圖。功率加載到上下電極上，射頻率為60MHZ。所謂的暗鞘層將在所有器壁表面形成，暗鞘層常被認為是絕緣體或電容，因此可以認為功率通過一個電容器轉移至等離子體。



在頻率為1MHz和100MHz之間，自由電子可以伴隨電場的變化獲得能量，離子由於質量較重，往往不會伴隨變化的電場運動。

容性耦合等離子體放電氣壓範圍往往從幾個毫托到幾百毫托，因為電子質量遠低於離子質量，電子可以運動更遠更長的距離並與氣體和器壁進行碰撞，電離出更多的電子和離子。而器壁周圍因為電子游離只留下笨重的離子，但整個腔室必須保證電中性，故必然會在器壁形成一種結構來阻擋電子繼續在器壁周圍的電離，而這種結構最終平衡了等離子體的電中性特性。這種結構即鞘層，鞘層可認為前面所說的電容器，因為電容器處於放電環境中，表面有電荷積累，就形成了一個電場，一個電場必然對應一個電壓，因為電容器周圍達到的電荷積累動態平衡，故這個電場，電壓為動態的靜電場，即直流電場和直流電壓，故VDC形成。因為腔室內壁接地，而形成的偏壓電場為阻止電子，故對地內壁而言此VDC為負值，即負偏壓。在電極上此負偏壓與射頻電壓一起形成了複合電壓，如下圖。



**2. 1 影響VDC因素**

**2.1.1 反應腔的尺寸和刻蝕模式**

**2.1.2 等離子體參數**

**1） 氣體和流量**

電負性氣體是一個主要因素，當其他過程參數保持一定時，氣體的電負特性將決定VDC。地電負性氣體如O2，N2有較高的負偏壓VDC，含F，Cl，Br的氣體有更強電負性，因為VII族的元素很容易吸附自由電子。因子在含F，Cl，Br的氣體中電子密度會大大降低。含F比含Cl氣體電負性更強， SF6為典型的電負性氣體。

氣體流量通常對VDC沒有較大影響，但是如果用混合氣體，當氣體的相對流量增加時，VDC單調的增加，通常，當加入弱電負性氣體時，負偏壓將會急劇增加。對於電負性氣體放電，小的流量變化對VDC影響也不大。

**2）氣壓**

氣壓也影響VDC，高氣壓，更多的分子、原子與電子碰撞，產生新的電子和離子，因此通過提高氣壓，增加更多的自由電子，提高了負偏壓。另一方面，氣壓增加，密度增加，電子的平均自由程降低，在和分子碰撞之前，電子獲得能量減小，導致新的電子、離子減少。因此兩個方面相反的趨勢，對於等離子體刻蝕，可以看到，1-100mT範圍內，等離子密度隨氣壓增加而增加，但更高的氣壓，密度隨氣壓增加而降低。VDC也與自由電子能量相關，高氣壓，電子碰撞增加，電子能量因碰撞而降低。考慮到這些機制，我們可以理解VDC隨氣壓增加並不會持續增加。

**3）功率**

功率的影響最直接，功率增加，密度和電子能量都增加，因此VDC增加；

**結論**

當Wafer放置在下電極上，可以在等離子體和Wafer之間得到較高的電壓降即VDC。當電負性氣體添加時，在低氣壓下，我們可以獲得高的電壓降VDC，對於高功率，RIE反應離子刻蝕，我們可以通過以上途徑獲得高VDC。如果要獲得低的VDC則從反方向條件著手。

**2. 2 刻蝕機制**

刻蝕機理的解釋適用於所有類型的等離子體技術，不局限於RIE。

通常，等離子體刻蝕是化學刻蝕，不是物理刻蝕，這意味著固體原子與氣體原子反應形成化學分子，然後從基片表面移除形成刻蝕。因為VDC的存在，通常存在一定的基片濺射，對於大量的刻蝕，物理刻蝕效應很弱可以被忽略。

幾個主要的刻蝕過程為：

1. 形成反應粒子；

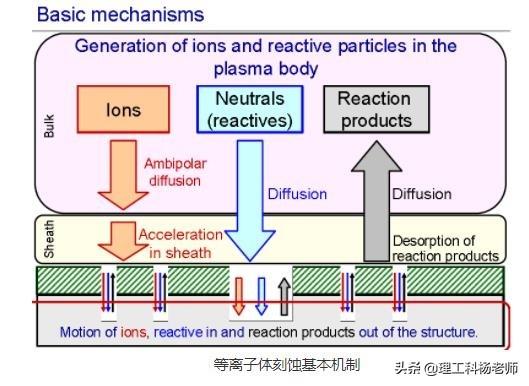
2. 反應粒子到達Wafer表面並被吸附

3. Wafer表面化學吸附反應，形成化學鍵，並形成反應產物；

4. 解吸附化學反應產物，並在Wafer表面移除，抽離腔室；

舉例：SF6+e—> SF5+F+e; SF5+e—> SF4+F+e;等等

F原子到達基片與基片反應F+Si—>SiF，SiF+F—>SiF2；SiF+SiF—>SiF4...

  
  
**2. 3 VDC** **對刻蝕的影響**

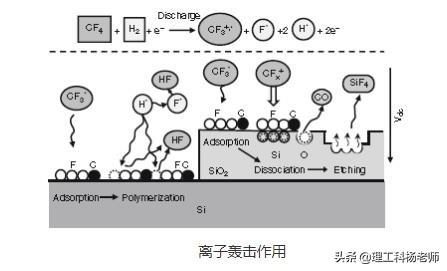
1.刻蝕速率，因為電子密度和能量與VDC相關聯，故以上的化學反應過程與速率相對應；

2.離子轟擊造成Wafer表面損傷；而離子轟擊的能量與VDC相關,VDC越高轟擊越強；

3.離子轟擊還會對刻蝕形貌有一定的影響等等

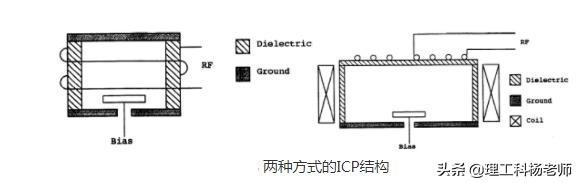
4.對於非易揮發性副產物，通過一定的離子轟擊可以將副產物解離形成易揮發性產物，使本身在易在Wafer表面已形成的膜層消失；

對於VDC主要會加速離子對Wafer表面的作用，根據不同的工藝需求，調節VDC可以調節對Wafer的刻蝕。

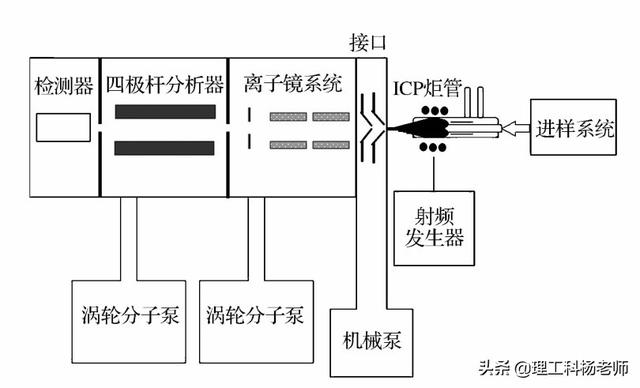


**3、感應耦合等離子體(ICP)**

兩種類型的感應耦合等離子體源：採用柱形和平面結構，如下圖所示。射頻電流流經線圈在腔室內產生電磁場激發氣體產生等離子體，偏壓源控制離子轟擊能量。通過這種方式，可以獨立的控制等離子體密度和離子的轟擊能量。因此ICP刻蝕機提供了更多的調控手段。



用於等離子體刻蝕的ICP源通常為平面結構，該方式容易獲得可調的等離子體密度和等離子體均勻性分布，此外平面ICP源使用的介質窗也易於加工。石英和陶瓷是常用的介質窗材料。



此外感應耦合ICP源也存在容性耦合，介質窗作為線圈和等離子體之間的耦合層是作為一個電容器存在，在線圈的輸出端電壓達到2000V時，容性耦合將會形成。這個容性高壓可以點燃和維持等離子體放電，另一方面，局部高壓的形成會導致介質窗的刻蝕，導致顆粒的產生或者造成晶圓的污染。為減小容性耦合，採用法拉第屏蔽或者在線圈末端串聯接地電容的方式。