

بسم الله الرحمن الرحيم

Computer Architecture

- 4 -

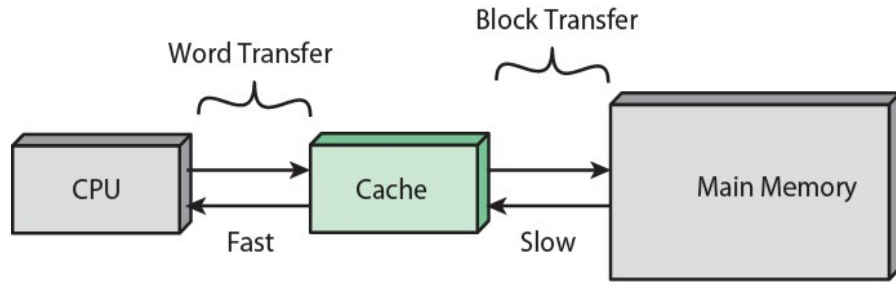
ذاكرة الكاش

Cache Memory

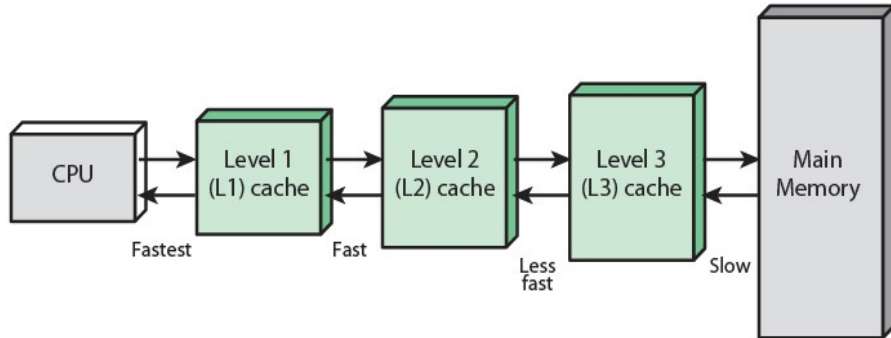
1

ذاكرة الكاش Cache Memory

الهدف من استخدام ذاكرة الكاش هو الحصول على سرعة عالية مقارنة لتلك التي تتيحها أسرع أنواع الذاكرة و الحصول في نفس الوقت على السعة الكبيرة التي تتيحها أنواع الذاكرة الأرخص. حيث يستخدم للذاكرة الرئيسية سعة كبيرة من الـ DRAM، و يتم وضع ذاكرة كاش مكونة من سعة محدودة من الـ SRAM ما بين المعالج و الذاكرة الرئيسية، كما هو موضح بالشكل التالي:



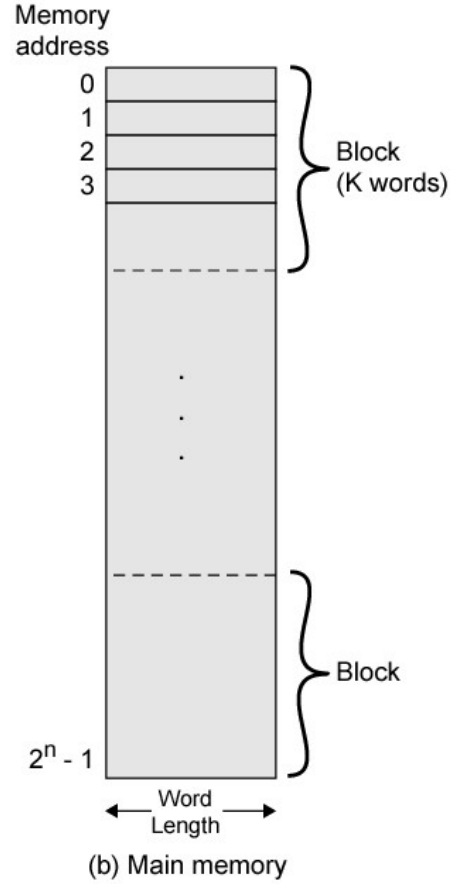
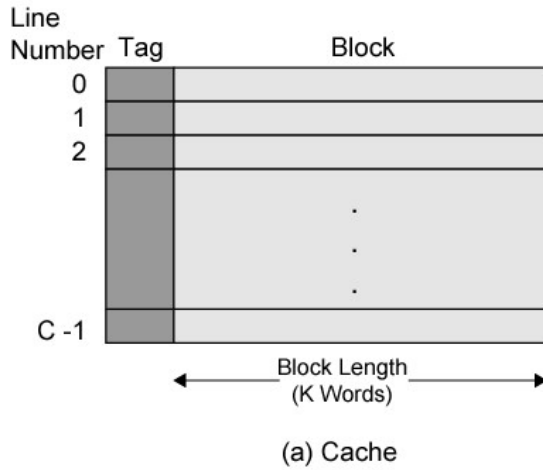
(a) Single cache



(b) Three-level cache organization

يحتوي الكاش على نسخة من أجزاء من الذاكرة الرئيسية. عندما يحتاج المعالج للرجوع لـ Word معينة من الذاكرة فإنه يتم البحث عنها أولاً في الكاش، فإذا وجدت به يتم قراءتها مباشرة من الكاش، أما إذا لم توجد بالكاش فإنه يتم نقل الكتلة (Block) من الذاكرة الرئيسية المحتوية على الـ Word المطلوبة إلى الكاش و يتم في نفس الوقت نقل الـ Word إلى المعالج. و بسبب ظاهرة تَمَوُّضُ المراجع (Locality of Reference) فإنه عندما يتم نقل كتلة (Block) معينة إلى الكاش بغرض الوصول إلى Word معينة فيها فإنه غالباً ما يحتاج المعالج في المستقبل القريب للرجوع إلى الـ Words الأخرى في تلك الكتلة.

الشكل التالي يوضح منظومة ذاكرة رئيسية/ذاكرة كاش:

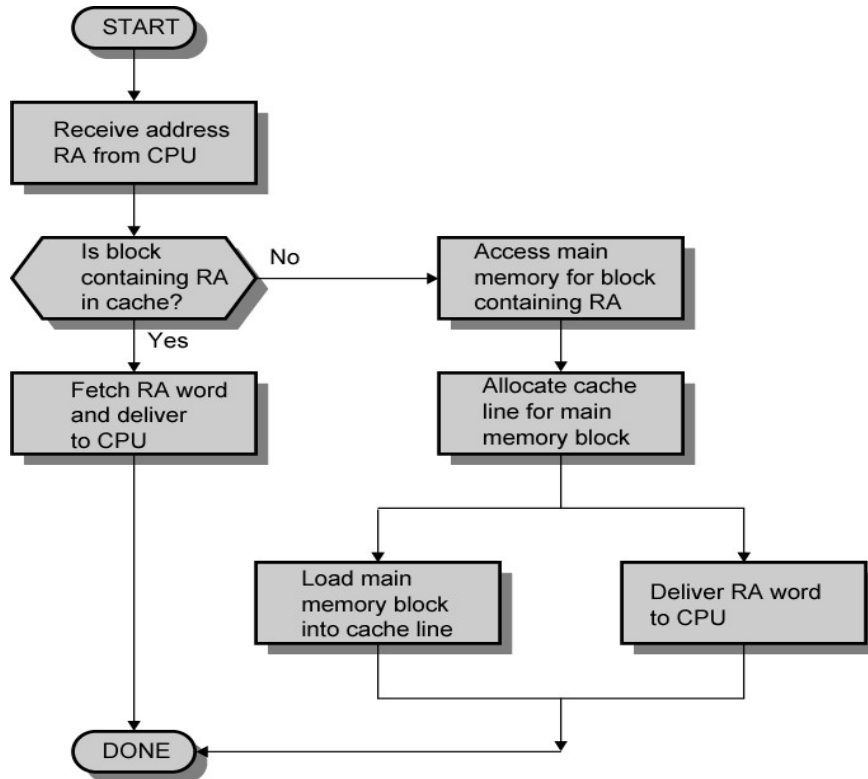


تتكون الذاكرة الرئيسية من عدد من الـ Words يساوي 2^n ، و لكل Word منها عنوان مكون من n -bits. يتم تقسيم هذه الذاكرة إلى M كتلة (Block) كل منها مكونة من عدد ثابت من الـ Words يرمز له بالرمز K . أي أن:

$$M = \frac{2^n}{K}$$

أما الكاش فيتكون من مجموعة من الخطوط (Lines) يتسع كل منها لكتلة (Block) من كتل الذاكرة، و عدد هذه الخطوط هو C ، و هو أقل بكثير من عدد كتل الذاكرة ($C \ll M$). في أي لحظة زمنية يحتوي الكاش في خطوطه على

مجموعة جزئية من مجموعة كتل الذاكرة. فعند الرجوع لأي Word في الذاكرة يتم نقل الكتلة الحاوية على تلك الـ Word إلى أحد خطوط الكاش. و حيث أن الكاش لا يتسع لجميع كتل الذاكرة نحتاج لمعرفة أي من تلك الكتل موجود حالياً بالكاش، و يتم ذلك باستخدام الـ Tag. حيث أن لكل كتلة من كتل الذاكرة الموجودة في خطوط الكاش Tag فريد يميزها عن غيرها من الكتل. و الـ Tag ما هو إلا جزء من عنوان الـ Word المطلوب الرجوع إليها في الذاكرة الرئيسية. الشكل التالي يوضح عملية القراءة (Read):



الشكل التالي يوضح تنظيمًا تقليدياً معاصراً للكاش. حيث يرتبط الكاش بالمعالج عبر خطوط بيانات و خطوط عنوان و خطوط تحكم (Data Lines, Address Lines, and Control Lines). و ترتبط خطوط البيانات و خطوط العنوان عبر عوازل (Buffers) بناقل النظام (System Bus) الذي يمكن عن طريقه الوصول للذاكرة الرئيسية (Main Memory). عندما تحدث إصابة في الكاش (Cache Hit) يتم إبطال عمل العوازل و يتم التواصل ما بين المعالج و الكاش مباشرة دون استخدام ناقل النظام. إما في حالة حدوث عدم إصابة في الكاش (Cache Miss) يتم تفعيل العوازل و التواصل مع الذاكرة الرئيسية عبر ناقل النظام و توصيل البيانات المطلوبة إلى كل من المعالج و الكاش في نفس الوقت.

