Министерство науки и высшего образования Российской Федерации

1830

Калужский филиал

федерального государственного бюджетного образовательного учреждения высшего образования

«Московский государственный технический университет имени Н.Э. Баумана (национальный исследовательский университет)» (КФ МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ	ИУК «Информатика и управление»					
КАФЕДРА	ИУКЗ «Системы автоматического управления»					

ОТЧЁТ

ЛАБОРАТОРНАЯ РАБОТА № 4

«Описание цифровых устройств в среде пакета WebPACK ISE на языке VHDL»

ДИСЦИПЛИНА: «Логическое проектирование цифровых систем управления»

Выполнил: студент гр. ИУК3-51Б	(Подпись)	(<u>Смирнов Ф.С.</u>) (Ф.И.О.)
Проверил:	(Подпись)	(<u>Коновалов В. Н.</u>) (Ф.И.О.)
Дата сдачи (защиты): Результаты сдачи (защиты): - Баллы	ная оценка:	
- Оценк	ca:	

Калуга, 2023

Цель: Сформировать и закрепить практические навыки работы с программным пакетом WebPACK ISE

Задачи:

- 1. Изучить устройство стенда ЛСЦ-003;
- 2. Изучить методы взаимодействия с пакетом WebPACK ISE;
- 3. Создать принципиальную схему в среде редактора ECS;
- 4. Выполнить испытание реализованного цифрового устройства на стенде ЛСЦ-003;

ТЕОРЕТИЧЕСКАЯ ЧАСТЬ

Изучим устройство стенда ЛСЦ-003, используя схему расположения основных элементов стенда (рис. 1)

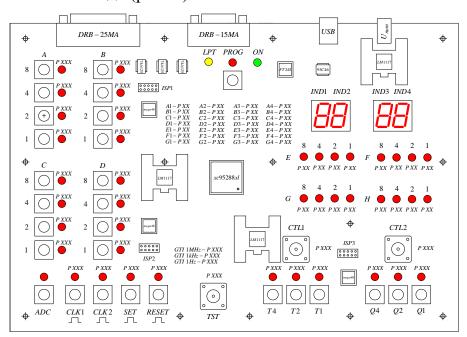


Рисунок 1 - Схема расположения основных элементов стенда ЛСЦ-003

Для начала работы с пакетом WebPACK ISE необходимо запустить окно Навигатора проекта (рис. 2)

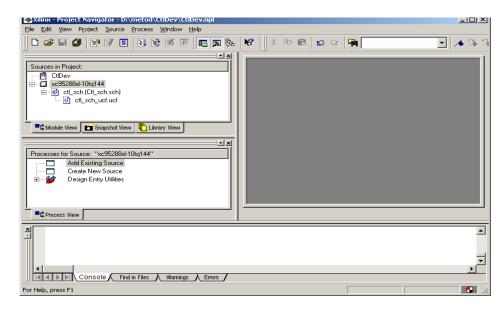


Рисунок 2 - Основное окно Навигатора проекта пакета WebPACK ISE

Основное взаимодействие происходит в окне исходных модулей проекта. Расположение модулей имеет иерархическую структуру, включая описание проектируемого устройства и описание тестовых воздействий, используемых в процессе моделирования.

ПРАКТИЧЕСКАЯ ЧАСТЬ

Таблица 1 – Таблица истинности семисегментного индикатор

X8	X4	X2	X1	a	b	c	d	e	f	g	
0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	1	0	0	1	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0	2
0	0	1	1	0	0	0	0	1	1	0	3
0	1	0	0	1	0	0	1	1	0	0	4
0	1	0	1	0	1	0	0	1	0	0	5
0	1	1	0	0	1	0	0	0	0	0	6
0	1	1	1	0	0	0	1	1	1	1	7
1	0	0	0	0	0	0	0	0	0	0	8
1	0	0	1	0	0	0	0	1	0	0	9
1	0	1	0	0	0	0	1	0	0	0	A
1	0	1	1	1	1	0	0	0	0	0	В
1	1	0	0	0	1	1	0	0	0	1	C
1	1	0	1	1	0	0	0	0	1	0	D
1	1	1	0	0	1	1	0	0	0	0	E
1	1	1	1	0	1	1	1	0	0	0	F

Напишем код дешифратора для 7-ми сегментного индикатора.

```
library IEEE;
use IEEE.STD LOGIC 1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD LOGIC UNSIGNED.ALL;
-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;
entity Decomp is
Port (
  X8: in STD_LOGIC;
  X4: in STD_LOGIC;
  X2: in STD LOGIC:
  X1: in STD_LOGIC;
  A : out STD LOGIC:
  B: out STD LOGIC;
  C: out STD_LOGIC:
  D: out STD_LOGIC;
  E: out STD LOGIC;
  F: out STD_LOGIC;
  G: out STD LOGIC
);
end Decomp;
architecture Behavioral of Decomp is
```

begin

 $A \le (\text{not } X8 \text{ and } X4 \text{ and } (\text{not } X2) \text{ and } (\text{not } X1)) \text{ or } (X8 \text{ and } X4 \text{ and } (\text{not } X2) \text{ and } (\text{not } X2))$ X1) or (X8 and (not X4) and X2 and X1) or (not X8 and (not X4) and (not X2) and X1);

 $B \le (\text{not } X8 \text{ and } X4 \text{ and } X2 \text{ and } (\text{not } X1)) \text{ or } (\text{not } X8 \text{ and } X4 \text{ and } (\text{not } X2) \text{ and } X1)$ or (X8 and X4 and (not X1)) or (X8 and X2 and X1);

 $C \le (X8 \text{ and } X4 \text{ and } X2) \text{ or } (X8 \text{ and } X4 \text{ and } (\text{not } X2) \text{ and } (\text{not } X1)) \text{ or } (\text{not } X8)$ and (not X4) and X2 and (not X1);

 $D \le (\text{not } X8 \text{ and } (\text{not } X4) \text{ and } (\text{not } X2) \text{ and } X1) \text{ or } (\text{not } X8 \text{ and } X4 \text{ and } (\text{not } X2))$ and (not X1)) or (X8 and (not X4) and X2 and (not X1)) or (X4 and X2 and X1);

 $E \le (\text{not } X8 \text{ and } X1) \text{ or } (\text{not } X4 \text{ and } (\text{not } X2) \text{ and } X1) \text{ or } (X4 \text{ and } (\text{not } X2) \text{ and } (\text{not } X2) \text{ and } (\text{not } X3) \text{ and } (\text{$ X8));

 $F \le (X8 \text{ and } X4 \text{ and } (\text{not } X2) \text{ and } X1) \text{ or } (\text{not } X8 \text{ and } (\text{not } X4) \text{ and } X1) \text{ or } (\text{not } X8)$ and X2 and X1) or (not X8 and (not X4) and X2);

 $G \le (\text{not } X8 \text{ and } (\text{not } X4) \text{ and } (\text{not } X2)) \text{ or } (\text{not } X8 \text{ and } X4 \text{ and } X2 \text{ and } X1) \text{ or } (X8)$ and X4 and not X2 and not X1);

end Behavioral;

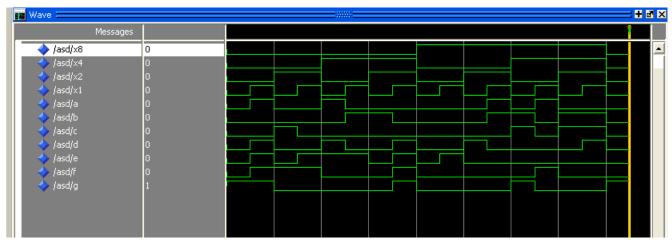


Рисунок 1 – проверка кода в ModelSim