

CISC 复杂指令集计算

RISC 精简指令集计算

指令集依赖 CPU 架构，复杂指令集

用更复杂的 CPU 线路和更多晶体管，来执行复杂指令，即一个指令可以完成较复杂的工作，从而减少指令数，减少一个任务的执行时间。

精简指令集用更少的简单的指令

来完成所有工作，依赖更精简的 CPU  
计算电路，相对的，一个任务要拆分成  
更多指令，但一个指令执行时间更快，  
总体时间不一定变快或变慢。但指令  
数变多，取指操作变多的话，CPU  
与内存的交互变多，流水速度也会变  
慢，为了减少取内存指令耗时，RISC  
CPU 中增加了指令缓存来解决。

指令指令架构是复杂指令集与精简

指令集的兼容，用cpu中增加一个  
CISC  $\rightarrow$  RISC的译码过程，实现  
上层兼容CISC指令集系统，下层以  
RISC来实现。

Inter采用级指令架构是为了向  
RISC靠拢时兼容可代，而ARM则只  
用RISC为起炉灶。两者实现上都  
依赖于RISC，但前者定位PC，重  
以... 复杂度来提升性能，

用增加CPU核心、内存及闪存、

后者牺牲一些性能来提升续航，

从而垄断了移动市场。

RISC-V 是 RISC 设计开源项目，

有望减轻 ARM 的垄断。