

现代计算机系统中典型的总线标准

本片报告将分别介绍几种现代计算机系统中典型的总线标准

1 PCI-express 总线

1.1 背景

PCI express 总线 (下简称为 PCIe) 是 Intel 公司在 2001 提出的一种新的总线标准, 是基于之前传统 PCI 总线的高级拓展, 可以提供更高的数据传输带宽, 更大的最大系统总线吞吐量以及更低的延迟, 更低的 I/O 引脚数量和更小的物理尺寸.

1.2 基本特征

PCIe 和传统的 PCI 总线结构的最主要的区别是总线的拓扑结构, 传统的 PCI 总线是采用的并行总线架构, 而 PCIe 采用的策略是基于点到点拓扑, 单独地串行链路将每一个设备直接连接到主机, 极大程度上避免了总线争用的问题, 可以实现任何端点之间的全双工通信.

此外, 每个设备和主机相互连接的通道都包含一堆差分信号线, 支持全双工通信

PCIe 的协议分为三层, 分别是物理层 (Physical Layer)、数据链路层 (Data Link Layer) 和事务层 (Transaction Layer), 其中

1. 物理层负责比特级数据的传输,
2. 数据链路层负责数据的可靠传输和流量控制在数据链路层中添加了序列号,CRC 校验等确认机制, 另外通过包重发机制来保证了数据不会丢失或者重复,
3. 事务层负责处理设备之间的通信请求和响应.

在 PCIe 结构中使用数据包在设备之间传递信息, 数据包在事务层和数据链路层中形成, 以将信息从发送设备传送到接收设备。

1.3 基本结构和实现原理

PCIe 的总线拓扑结构基本上就是一个树形的结构, 如图所示

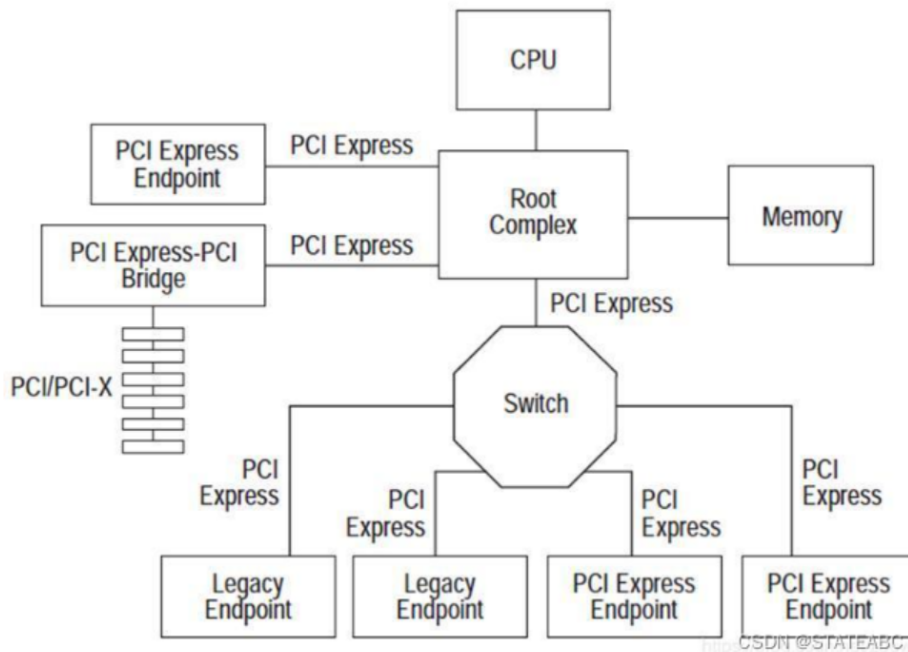


图 1: PCIe 总线拓扑结构

1.3.1 Root Complex

我们可以看到, PCIe 总线的根节点是 Root Complex, 它是连接 CPU 和 PCIe 设备的桥梁, 负责管理 PCIe 设备的访问和通信, 主要功能是完成存储器域到 PCIe 总线域的地址转换, RC 把来自 CPU 的 request 转化成 PCIe 的 4 种不同的请求 (configuration, Memory, I/O, Message) 并发送给接在它下面的设备。

1.3.2 Switch

正如我们之前所说, PCIe 总线协议的设备和总线之间的连接是点对点的, 这也就意味着一条 PCIe 链路的两端只能链接两个设备, 所以如果我们需要在一条链路上搭载更多的设备, 就需要 switch 转换器进行选择

1.3.3 Endpoint

Endpoint 是 PCIe 总线的终端设备, 它是实际的 PCIe 外设, 它们作为数据传输的发起方或接收方

总的来说,就是说 RC 实际上是 CPU 和 PCIe 各个设备之间的桥梁,相当于 RC 将 CPU 发送的请求 (设备向 CPU 发送请求同理) 经过编辑,然后经过 switch 转换来选取具体的设备,然后利用数据包进行数据和信息的传递

1.4 典型部件

PCIe 总线标准主要用于连接各种高速设备,如显卡、存储设备、网络接口卡等

2 DDR4

由于 DDR4 是 DDR3 的升级版,所以我们在此支介绍 DDR4 和 DDR4 相比 DDR3 的进化

2.1 背景

DDR 代表的是 double data rate 也即双倍速据速率,是最常见的主存 RAM 接口总线标准,用于 CPU 和内存之间的数据交互

DDR3 在 2007 年推出,而 DDR4 在 2014 年推出,DDR4 的主要目标是提高内存带宽和降低功耗,以满足现代计算机系统对性能和能效的需求.

2.2 基本特征

DDR 这种内存总线计数的最主要的特征就是双倍的数据传输速率,在传统的数据交换中,只有在时钟信号的上升沿或者下降沿才发生数据传输,而 DDR 技术采用的是在时钟上升沿和下降沿都传输数据,进而就实现了双倍的传输

DDR4 相比 DDR3 的提升主要是 DDR4 在物理接口、电压、信号完整性、频率等方面相比 DDR3 有明显提升,另外 DDR4 引入了一个新的部件就是 Bank Group,允许每个 Bank Group 内的 Bank 可以独立访问,进而提高了内存的并行性和性能

2.3 基本结构和实现原理

DDR 采用并行数据总线,每根数据线同时传输一位数据,数据总线宽度典型为 64bit (单通道),服务器平台可多通道并行

另外 DDR 结构采用了预取机制, 也即一次访问从内存阵列中读取多位的数据, 后来在按需要时分配到数据线上, DDR4 的结构如下图所示

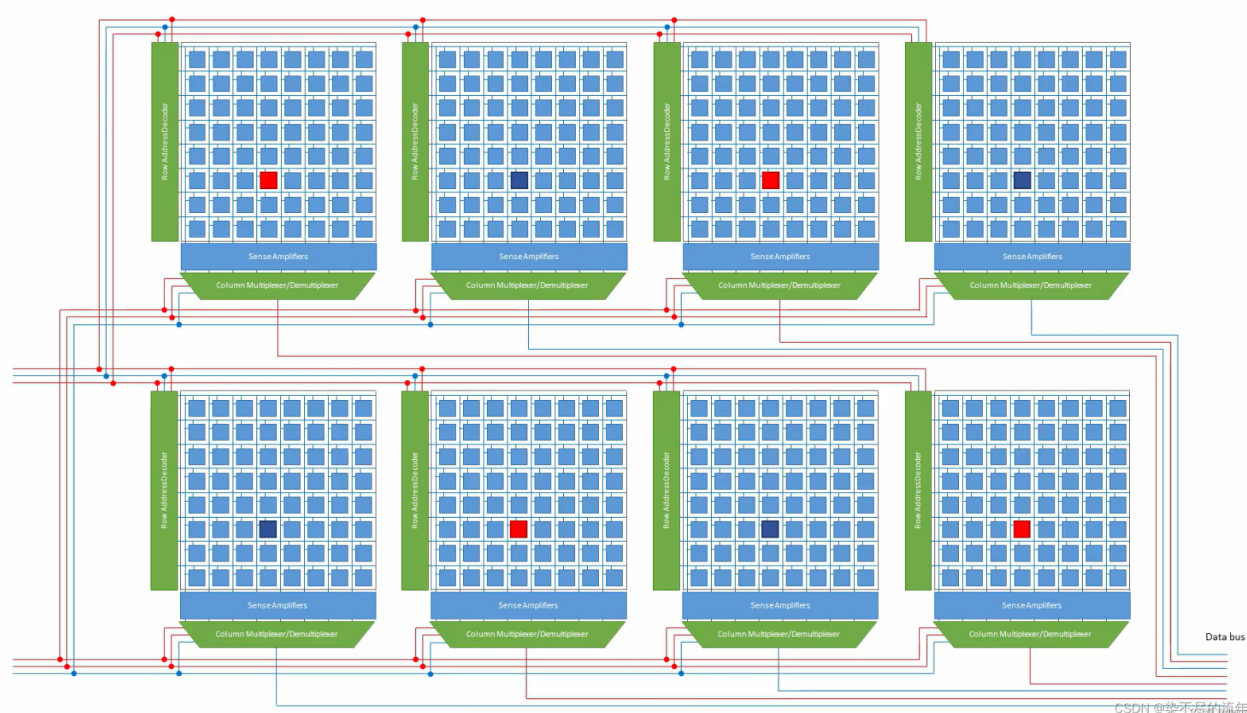


图 2: ddr4 的 8-cell 并联结构

为了进一步加速数据读写效率, DDR4 将 16 个 Cell 阵列进行并联, 让其共用行/列地址线, 通过各自独立的 16 根数据线, 一次可以同时读写 16bit 数据, DDR4 将使用此种方式并联起来的 16 个 Cell 阵列称为一个 Bank。Bank 内 16bit 数据同时读写的机制也称为数据预取, 即 DDR4 单个 Bank 具备 16bit 数据预取能力, 大大提高了数据读写效率。

在此之上, 也如之前所提到的, 4 个 Bank 组成一个 Bank Group, 每个 Bank Group 可独立工作, 进一步地提升了内存的并行性和性能, 使得 DDR4 在多任务处理和高负载应用中表现更好。

2.4 典型部件

DDR4 主要用于现代计算机系统的主存储器, 包括台式机、笔记本电脑、服务器等, 其主要部件包括内存条和内存控制器

3 AXI 总线

3.1 背景

AXI 总线, 也即 Advanced eXtensible Interface, 高级可扩展接口是 ARM 公司提出的 AMBA (Advanced Microcontroller Bus Architecture) 总线协议家族中的一种, 是目前主流 ARM SoC (System on Chip, 片上系统) 内部常用的高性能总线标准。是一种片内总线, 用于连接芯片内部各个部件

3.2 基本特征

AXI 总线的一大特征是 AXI 的地址, 控制 and 数据的相位是分离的, AXI 支持不对齐的数据传输; 另外, AXI 总线支持突发传输, 可以一次性高效地传输大块数据, 极大程度上减少了握手的时序开销; 最后 AXI 总线支持乱序和多主控

3.3 基本结构和实现原理

AXI 总线是基于主从架构的并行通信协议, 就是主设备在通道上向从设备 slave 发送各种信息和请求, 然后 slave 根据主设备的请求进行响应, 其主从结构示意图如下所示

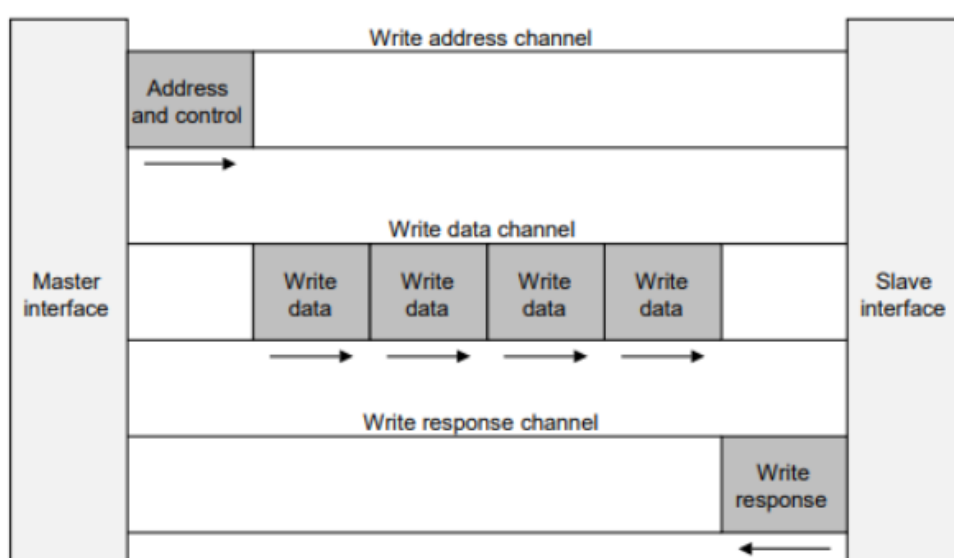


图 3: AXI 总线主从结构示意图

具体地, AXI 总线协议包括如下五个通道

1. 写地址通道 (Write Address Channel)
传送写操作的目标地址和控制信号。
2. 写数据通道 (Write Data Channel)
传送实际要写入的数据。
3. 写响应通道 (Write Response Channel)
返回写操作的执行结果和状态。
4. 读地址通道 (Read Address Channel)
传送读操作的目标地址和控制信号。
5. 读数据通道 (Read Data Channel)
返回读取到的数据和状态信息。

AXI 总线的主要工作传输流程 (以读过程为例) 如下

1. 主设备通过读地址通道发送写请求和各个控制信号
2. 从设备在接收到地址后, 在读数据通道上返回读到的数据

3.4 典型部件

AXI 总线主要用于片上系统 (SoC) 中的各种组件之间的通信, 如处理器、内存控制器、外设等, 其典型部件包括

- ARM Cortex-A/R/M 系列处理器的内部互连
- FPGA SoC 设计 (如 Xilinx Zynq、Intel SoC FPGA)
- 高性能 DMA、外设控制器、内存接口
- 芯片内部 IP 核互联