计算机组成与结构研讨课
实验报告

2023K8009970008　徐昕妍

实验序号：8　　实验名称：存储器设计

1　实验电路图

1.1　MIPS RAM

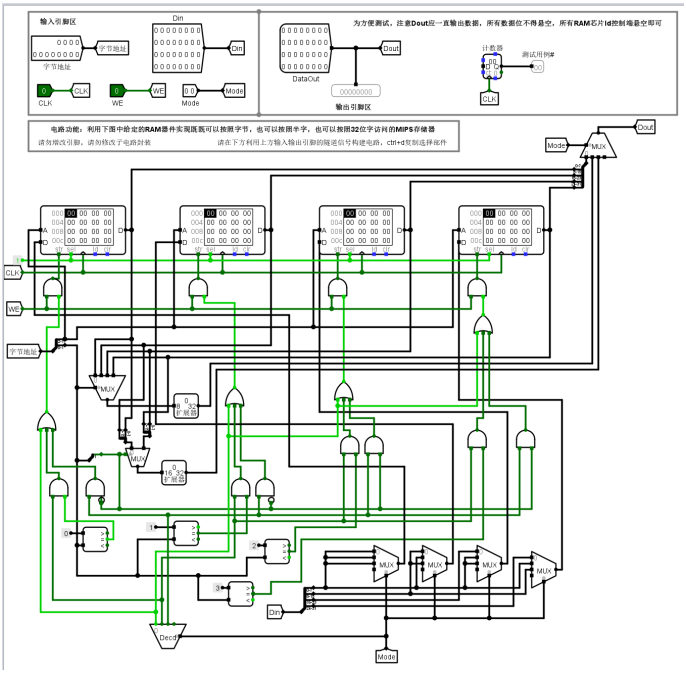

图 1: MIPS RAM 实验电路图

设计思路：

存储系统需支持字节访问、半字访问和字访问，实现可变数据位宽。

RAM 的设计主要分为三个部分：片选信号、写入控制和读出控制。

1.1.1 片选信号

访问模式信号通过译码器确定访问方式。字节访问时，根据地址低两位确定存储器选片；半字访问时，根据第二位选择是高位数据还是低位数据；字访问设计最为简单，需要访问所有 RAM 片。

片选信号部分电路图如下图所示：

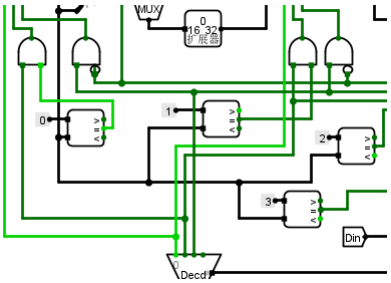

图 2: 片选信号电路图

1.1.2 写入控制

写入控制部分电路图如下图所示：

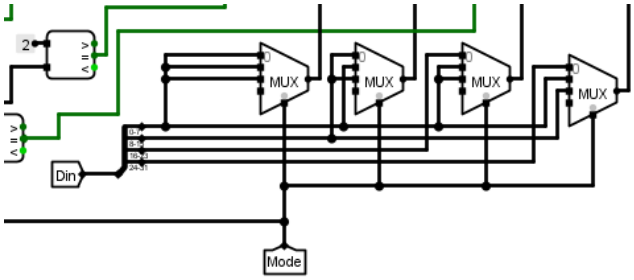

图 3: 写入控制电路图

1.1.3 读出控制

读出控制部分电路图如下图所示：

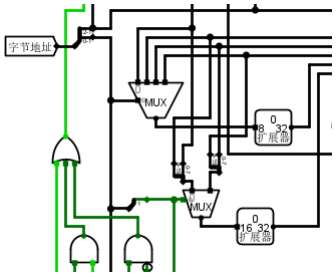

图 4: 读出控制电路图

1.2 全相联 Cache 电路

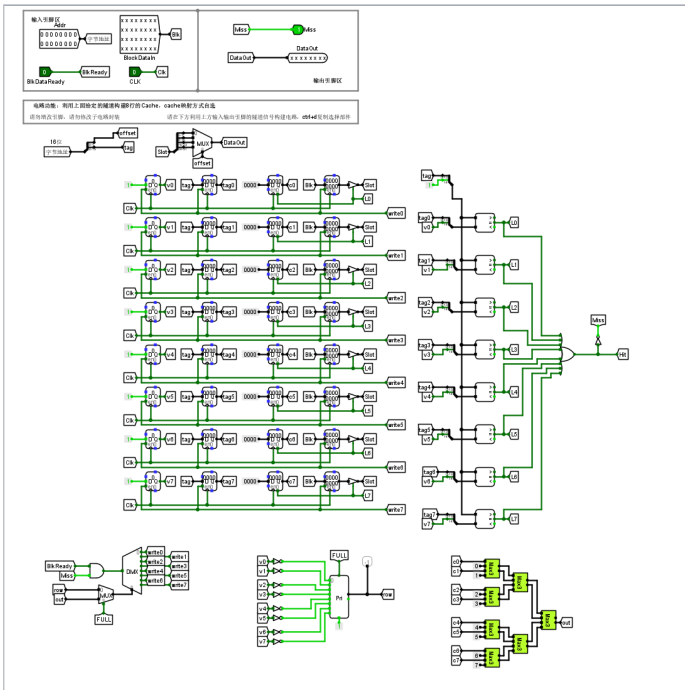

图 5: 全相联 Cache 电路

设计思路：

主存数据块可以放置于 Cache 中任意一块，因此 Cache 在记录数据块地址时，需要记录其在主存的地址。Cache 在命中比较时，使用 Cache 中所以行中的主存标记并发比较，以判断命中与否。

1.3 直接相联 Cache 电路图

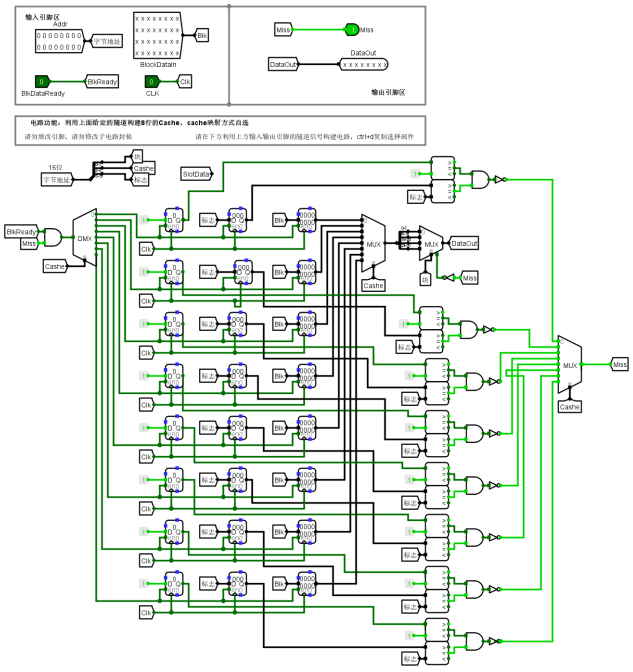

图 6: 直接相联 Cache 电路图

设计思路

主存中某块会被放置于 Cache 中固定位置。

> **设 Cache 块号为 i，共 n 块，主存块号为 j，则 i = j mod n**

由此可以将主存地址分为三部分：区地址 + 行地址 + 字地址

行地址可以确定数据存在 Cache 中具体哪一行，字地址按照读取方式确定，区地址明确数据位于主存哪一区。Cache 行中除了设计数据寄存器，还需增加区地址寄存器，有效位标记寄存器等。

1.4 4 路组相联 Cache 电路

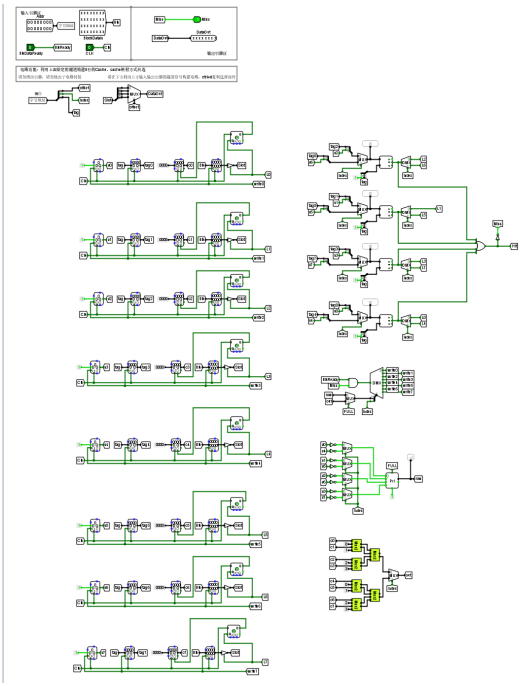

图 7: 4 路组相联 Cache 电路图

设计思路

主存分块,Cache 分行，两者容量相同 Cache 分组，每组中的行数相同，主存分组，每组中的块的数量同 Cache 的组数量。

> 映射关系：i=j mod N (i 是 Cache 组号, j 是主存块号, N 是 Cache 分组数)

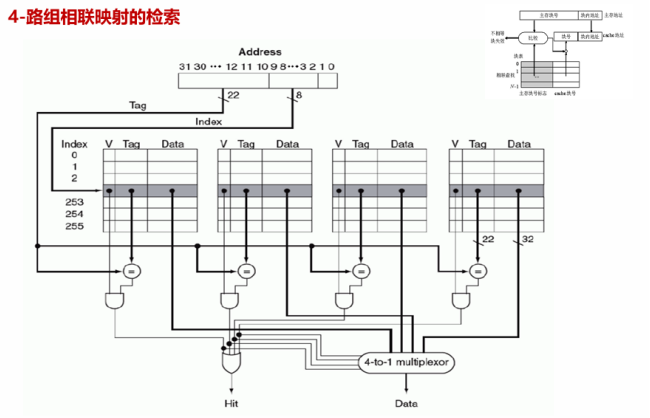

图 8: 4-路组相联映射的检索

2 实验中遇到的问题

1. **RAM 设计的美观度和直观程度不高**

   在我初次实现 RAM 时，连线过于杂乱，所有功能混在一起，且没有使用隧道标签，以至于难以修改和调整。通过观察他人的连线，发现可以通过使用隧道标签简化电路，并将各个部分分开，增强电路图的美观程度和整洁程度。

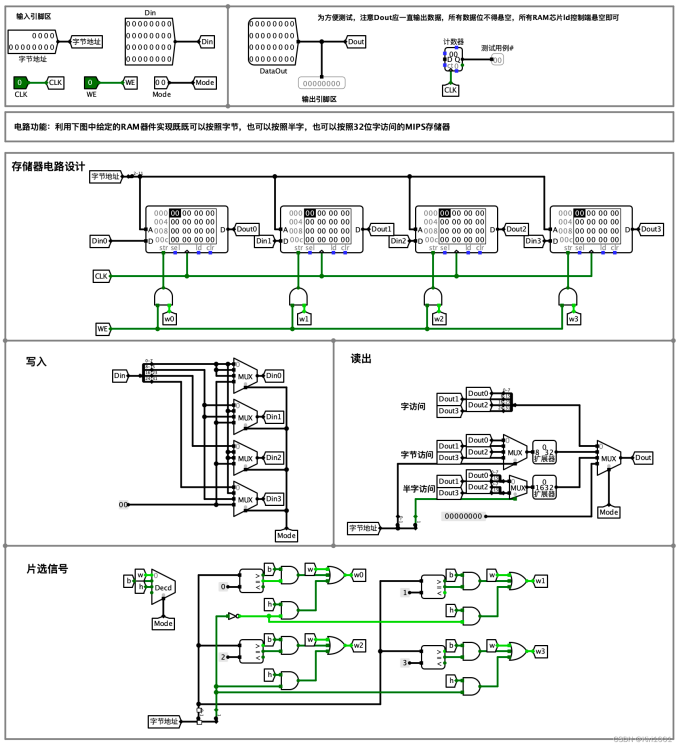

图 9: 使用隧道标签后的电路图

2. **清零信号中出现毛刺问题**

   清零中出现毛刺问题，经上网查阅资料，可以增加一个 D 触发器，并将触发方式改为上跳沿触发，再将清零信号接入，把清零动作改为同步清零，即可解决毛刺问题。

3 实验心得

通过本次实验，我深入理解了 MIPS 单周期 CPU 的工作原理以及 RAM 与 Cache 的协同机制，尤其是直接映射、组相联和全相联三种 Cache 映射方式的实现差异与性能特点。这次实验不仅巩固了计算机组成原理的核心知识，更让我体会到硬件设计中时序控制与空间效率的平衡艺术。

此外，通过本次实验，我也认识到了组相联映射是直接映射和全相联映射的折中方案，它既解决了直接映射不够灵活的缺点也比全相联映射所需的逻辑电路少、成本更低。