

中国科学院大学网络空间安全学院
计算机组成与结构研讨课
实验报告

实验序号：1

实验名称：数字逻辑—交通灯系统设计 (HUST)

1 双位 BCD 双向计数器设计实验电路图

1.1 实验电路图

双位 BCD 双向计数器设计实验电路图如下图所示:

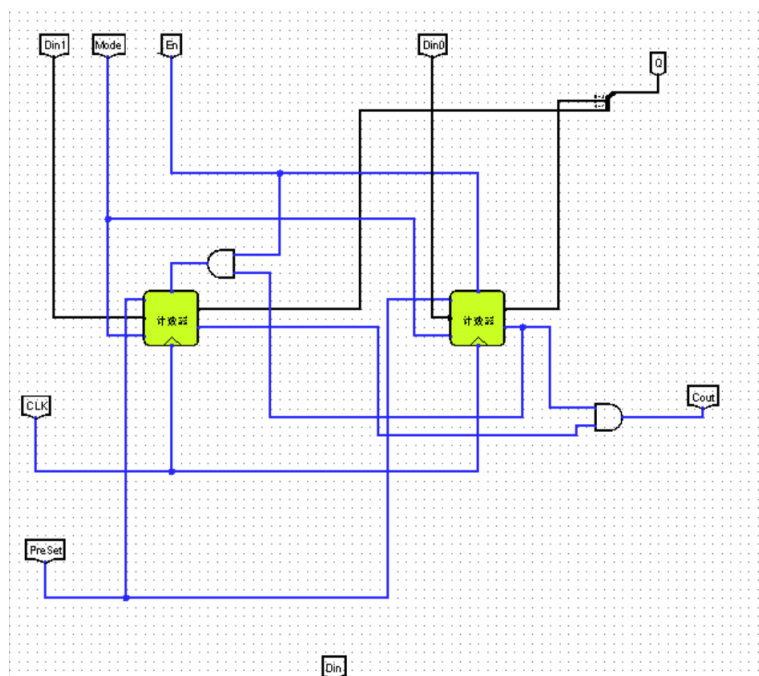


图 1: 双位 BCD 双向计数器设计实验电路图

其中计数器子电路设计电路图如下图所示:

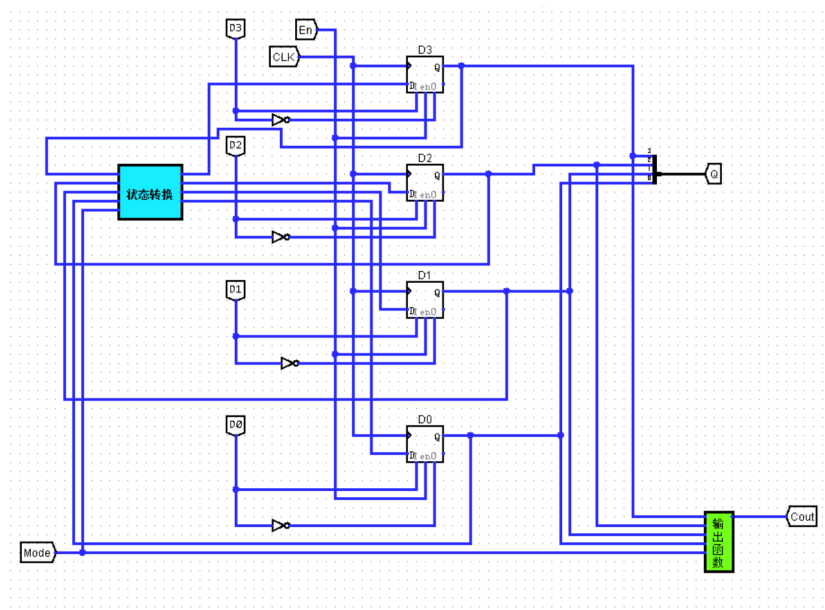


图 2: BCD 双向计数器（可异步置位）

BCD 双向计数器状态转换电路和输出函数电路如下图所示：

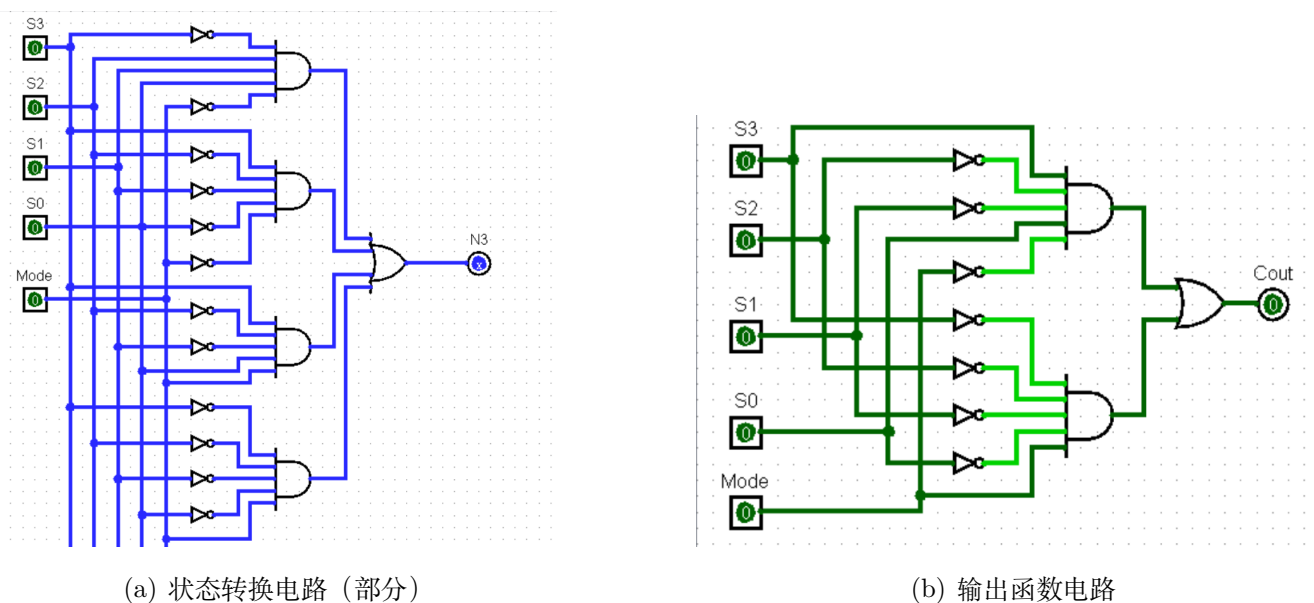


图 3: BCD 双向计数器状态转换电路和输出函数电路

1.2 电路设计原理

1.2.1 状态转换电路

Mode=0 时，正向计数，现态由 0 增至 9，次态由 1 增至 9，随后循环变为 0；
 Mode=1 时，反向计数，现态由 9 减至 0，次态由 8 减至 0，随后循环变为 9；
 利用 BCD 双向计数逻辑自动生成.xlsx 生成逻辑表达式，然后复制表达式自动生成电路。

| 当前状态(现态) | | | | | 输入信号 | | | | | 下一状态(次态) | | | | |
|----------|----|----|----|------------|------|--|--|--|--|------------|----|----|----|----|
| S3 | S2 | S1 | S0 | 现态 10进制 | Mode | | | | | 次态 10进制 | N3 | N2 | N1 | N0 |
| 0 | 0 | 0 | 0 | 0 | 0 | | | | | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 0 | | | | | 2 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 2 | 0 | | | | | 3 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 3 | 0 | | | | | 4 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 4 | 0 | | | | | 5 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 5 | 0 | | | | | 6 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 6 | 0 | | | | | 7 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 7 | 0 | | | | | 8 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 8 | 0 | | | | | 9 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 9 | 0 | | | | | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 9 | 1 | | | | | 8 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 8 | 1 | | | | | 7 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 7 | 1 | | | | | 6 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 6 | 1 | | | | | 5 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 5 | 1 | | | | | 4 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 4 | 1 | | | | | 3 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 3 | 1 | | | | | 2 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 2 | 1 | | | | | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | | | | | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 | | | | | 9 | 1 | 0 | 0 | 1 |

(a) 状态转换表

| N3 | N2 | N1 | N0 |
|---|--|--|---|
| | | | $\sim S3 \sim S2 \sim S1 \sim S0 \& Mode+$ |
| | | $\sim S3 \& \sim S2 \& \sim S1 \& S0 \& Mode+$ | |
| | | $\sim S3 \& \sim S2 \& S1 \& \sim S0 \& Mode+$ | $\sim S3 \& \sim S2 \& S1 \& \sim S0 \& Mode+$ |
| | $\sim S3 \& \sim S2 \& S1 \& S0 \& Mode+$ | | |
| | $\sim S3 \& S2 \& \sim S1 \& \sim S0 \& Mode+$ | | $\sim S3 \& S2 \& \sim S1 \& \sim S0 \& Mode+$ |
| | $\sim S3 \& S2 \& S1 \& \sim S0 \& Mode+$ | $\sim S3 \& S2 \& S1 \& \sim S0 \& Mode+$ | |
| | $\sim S3 \& S2 \& S1 \& S0 \& Mode+$ | $\sim S3 \& S2 \& S1 \& S0 \& Mode+$ | $\sim S3 \& S2 \& S1 \& S0 \& Mode+$ |
| $\sim S3 \& S2 \& S1 \& S0 \& Mode+$ | | | |
| $S3 \& \sim S2 \& \sim S1 \& \sim S0 \& Mode+$ | | | $S3 \& \sim S2 \& \sim S1 \& \sim S0 \& Mode+$ |
| | | | |
| $S3 \& \sim S2 \& \sim S1 \& S0 \& Mode+$ | | | |
| | $S3 \& \sim S2 \& \sim S1 \& \sim S0 \& Mode+$ | $S3 \& \sim S2 \& \sim S1 \& \sim S0 \& Mode+$ | $S3 \& \sim S2 \& \sim S1 \& \sim S0 \& Mode+$ |
| | $\sim S3 \& S2 \& S1 \& \sim S0 \& Mode+$ | $\sim S3 \& S2 \& S1 \& S0 \& Mode+$ | |
| | $\sim S3 \& S2 \& S1 \& S0 \& Mode+$ | | $\sim S3 \& S2 \& S1 \& S0 \& Mode+$ |
| | $\sim S3 \& S2 \& \sim S1 \& \sim S0 \& Mode+$ | | |
| | $\sim S3 \& S2 \& \sim S1 \& S0 \& Mode+$ | | $\sim S3 \& S2 \& \sim S1 \& S0 \& Mode+$ |
| | | $\sim S3 \& S2 \& S1 \& \sim S0 \& Mode+$ | $\sim S3 \& S2 \& S1 \& \sim S0 \& Mode+$ |
| | | $\sim S3 \& \sim S2 \& S1 \& S0 \& Mode+$ | |
| | | | $\sim S3 \& \sim S2 \& S1 \& \sim S0 \& Mode+$ |
| $\sim S3 \& \sim S2 \& \sim S1 \& \sim S0 \& Mode+$ | | | $\sim S3 \& \sim S2 \& \sim S1 \& \sim S0 \& Mode+$ |

(b) 逻辑表达式

图 4: BCD 双向计数逻辑自动生成

1.2.2 输出函数电路

当状态为“Mode=1, s=0000”或“Mode=0, s=1001”时，会发生进位，Cout=1；其余情况Cout=0。

利用真值表自动生成电路。

| S3 | S2 | S1 | S0 | Mode | Cout |
|----|----|----|----|------|------|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 |

图 5: 输出函数真值表

1.2.3 BCD 双向计数器（可异步置位）

采用 D 触发器。首先将时钟信号 CLK、使能信号 En 与各个 D 触发器相连；通过 D_i 控制对应触发器的置 1 端和置 0 端来实现异步预置；D 触发器输入次态，输出现态 Q。

状态转换模块输入现态 Q 及 Mode，输出次态。

输出函数模块输入现态 Q 及 Mode，输出进位/借位 Cout。

按照以上逻辑连接电路即可。

1.2.4 两位 BCD 码双向计数器设计

两个计数器分别代表高位计数器和低位计数器。

计数器输入为：时钟信号 CLK、使能信号 En 、计数器预置数据 Din、异步置位控制 PreSet、技术模式 Mode；输出为：计数输出 Q、进位/错位 Cout。

其中，Din0 代表低位计数器预置数据，Din1 代表高位计数器预置数据。而高位计数器的使能信号应由使能信号 En 和低位计数器的进位/错位 Cout 共同控制，当 $Cout=1$ 发生进位时，高位计数器才开始计数。因此， $En1=En*En0$ 。

双位计数器正向计数到 99，反向计数到 00 时，双位计数器的 $Cout=1$ ，即 $Cout=Cout1*Cout0$ 。

按照以上逻辑连接电路即可。

2 实验中遇到的问题

1. 使用分线器时位宽不匹配。

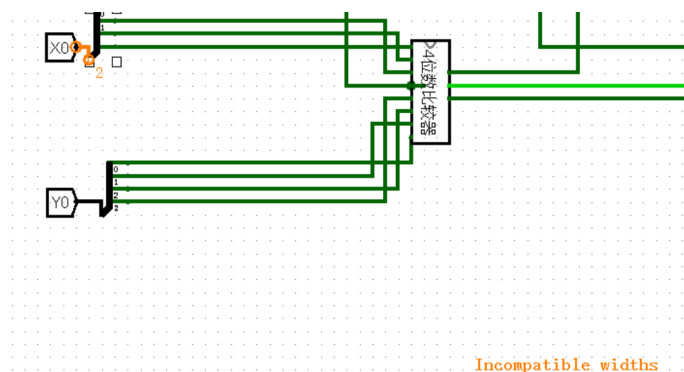


图 6: 分线器位宽不匹配

解决方法：在分线器属性栏不仅需要调整分线器扇出（Fan Out），还需要调整输入位宽（Bit Width In）。

2. 对 BCD 双向计数器的异步置位理解不到位。

由于对异步置位概念的不清晰导致在设计 BCD 双向计数器时存在一定的困难。

上网查找资料后可知，异步置位的本质是通过直接控制 D 触发器的 PRESET 和 CLEAR 端，绕过时钟强制设值。异步置位就像“紧急开关”，可随时打断计数过程，立即强制输出目标值。在本次实验电路中 PRESET 和 CLEAR 端即 D 触发器的置 1 端和置 0 端，而通过 D_i 端可控制对应触发器的置 0 端和置 1 端。因此在连接电路时需要将 D_i 端与对应触发器的置 0 端和置 1 端分别相连，实现异步置位。

3. 在设计双位 BCD 双向计数器时如何实现从低位向高位的进位。

双位 BCD 双向计数器仅在低位计数器输出 $Cout=1$ 时向高位计数器进位，高位计数器开始计数。有两种途径可以实现对高位计数器的控制：通过使能信号 En 控制和通过时钟信号 CLK 控制。

- 通过使能信号 En 控制。

由于高位计数器只在低位计数器发生进位时工作，因此高位计数器的使能信号 $En1$ 应由使能信号 En 和低位计数器的进位信号 $Cout0$ 共同控制——当且仅当 $En=Cout0=1$ 时， $En1=1$ 。因此 $En1=En \cdot Cout0$ 。由此可以实现 En 对高位计数器的控制。

- 通过时钟信号 CLK 控制。

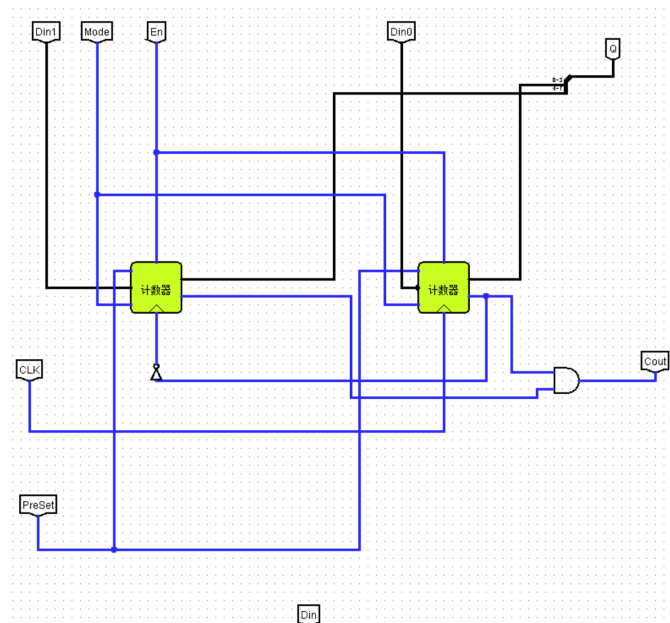


图 7: 通过时钟信号 CLK 控制

如图，当低位计数器为 9 时， $Cout0=1$ ，进位后低位计数器为 0， $Cout0=0$ 。因此我们需要在 $Cout0$ 由 1 变为 0 时对其取反，生成上升时钟沿输入高位计数器。由此可以实现 CLK 对高位计数器的控制。

3 实验心得

3.1 Logisim 使用经验

本次实验是我第一次使用 Logisim。对我来说 Logisim 最大的便利之处便是与 Verilog 相比，它可以更加直观具象地显示出逻辑电路的设计，并且各组件之间可以直接通过连线相连接，减轻了代码负担。同时它自带的 Analyze Circuit 功能可以迅速将真值表、卡诺图和逻辑表达式自动转换为电路，这大大减轻了人工化简的操作负担。

同时 Logisim 也有一些不便之处。对于较为复杂的电路，使用 Logisim 手动连线非常耗时且容易出错。同时连线时很容易出现飞线的情况。

3.2 心得与体会

通过本次实验，我首次使用 Logisim 完成了两位 BCD 双向计数器的设计。在搭建电路时，我学会了如何通过 D 触发器的异步置位功能实现计数器的即时预置，并理解了高低位计数器之间通过进位信号的协同工作原理。过程中虽然曾因飞线问题导致电路异常，但通过检查导线连接和冲突信号，最终成功解决了问题。此外，在从实现状态转换到最后逐步完成双位 BCD 双向计数器的过程中，我体会到了循序渐进和分模块设计的思想。

这次实验不仅巩固了数字电路的理论知识，还提升了我调试电路的耐心与逻辑思维能力。