**2022年华北电力大学(北京)数据科学与大数据技术专业《计算机系统结构》科目期末试卷A(有答案）**

**一、选择题**

1、指令间“一次重叠”说法有错的是( )

A.仅“执行k”与“分析k+1”重叠

B."分析k”完成后立即开始“执行k”

C.应尽量使“分析k+1”与“执行k”时间相等

D.只需要一套指令分析部件和执行部件

2、计算机系统结构不包括（ a ）

A.主存速度

B.机器工作状态

C.信息保护

D.数据表示

3、浮点数尾数基值rm=8，尾数数值部分长6位，可表示的规格化最小正尾数为( )

A.0.5

B.0.25

C.0.125

D.1/64

4、"从中间开始"设计的"中间"目前多数是在( )。

A.传统机器语言级与操作系统机器级之间

B.传统机器语言级与微程序机器级之间

C.微程序机器级与汇编语言机器级之间

D.操作系统机器级与汇编语言机器级之间

5、组相联映象、LRU替换的Cache存贮器，不影响Cache命中率的是( c )

A.增加Cache中的块数

B.增大组的大小

C.增大主存容量

D.增大块的大小

6、多处理机的各自独立型操作系统（ ）。

A.要求管理程序不必是可再入的

B.适合于紧耦合多处理机

C.工作负荷较平衡

D.有较高的可靠性

7、最能确保提高虚拟存贮器访主存的命中率的改进途径是( )

A.增大辅存容量

B.采用FIFO替换算法并增大页面

C.改用LRU替换算法并增大页面

D.改用LRU替换算法并增大页面数

8、在尾数下溢处理方法中，平均误差最大的是（ ）

A.截断法

B.舍入法

C.恒置"1"法

D.ROM查表法

9、以下说法中，不正确的是,软硬件功能是等效的，提高硬件功能的比例会：( b )

A.提高解题速度

B.提高硬件利用率

C.提高硬件成本

D.减少所需要的存贮器用量

10、“启动I/O”指令是主要的输入输出指令，是属于（ ）。

A.目态指令

B.管态指令

C.目态、管态都能用的指令

D.编译程序只能用的指令

**二、填空题**

11、Huffman编码，长操作码的使用频度较\_\_\_\_\_\_\_\_，而短操作码的使用频度较\_\_\_\_\_\_\_\_

12、要实现两条指令在时间上重叠解释，首先需要付出\_\_\_\_\_\_\_\_，其次，要处理好指令之间可能存在的\_\_\_\_\_\_\_\_

13、向量指令可分为\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_

14、页面替换是发生于页面失效，同时又发生\_\_\_\_\_\_\_\_的时候。

15、解决Cache与主存不一致性的方法有\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_

16、Amdah1等人在1964年把系统结构定义为：由程序设计者所看到的一个计算机系统的属性，即\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_。

17、程序在空间上的局部性主要是因为程序通常是\_\_\_\_\_\_\_\_地存储和执行，数据通常是外地存贮。

18、动态多级互连网络可分为\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_非阻塞网3种类型。

19、多计算机互连网络中的通信模式有\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_

20、评价虚拟存贮器所用替换算法的好坏，主要是看主存\_\_\_\_\_\_\_\_率的高低，其次看算法是否易于实现，以及所需的辅助软硬件的多少。

**三、判断题**

21、总线仲裁算法有：静态优先级算法、固定时间片算法、动态优先级算法和先来先去服务算法。（ ）

22、监听协议用来保持 Cache一致性的两种策略分别是写无效(Write-Invalidate）策略和写更新(Write-Update）策略。（ ）

23、中断响应就是允许其中断CPU现行程序的运行，转去对该请求进行预处理，如保存好运算的数据结果，调出中断服务程序，准备运行。（ ）

24、软硬功能分配时，提高软件功能的比例会提高系统灵活性，也会提高解题速度。（ ）

25、能做为评价其它置换算法标准的置换算法是RAND。（ ）

26、要实现两条指令在时间上重叠解释，首先需要付出空间代价，其次，要处理好指令之间可能存在的关联。（ ）

27、多处理机中，两个程序段之间若有先写后读的数据相关，则不能并行，但任何情况下可以交换串行。（ ）

28、在一段时间内相继发射多个任务，体现了并发性概念。（ ）

29、超长指令字（ ）VLIW）结构是将水平型微码和超标量处理两者相结合。（ ）

30、分布系统以分布为特征，用真实处理机替代虚拟处理机，其并行性是属于并发性。（ ）

31、系列机不再是方向，因为它约束了计算机系统结构的发展。（ ）

32、S2MP主要解决的问题是当前小规模共享存储多处理器系统在可扩展性上的瓶颈问题。（ ）

33、条件转移是局部相关。（ ）

34、在存贮体系中，地址的映象与地址的变换没有区别。（ ）

35、流水线的效率是流水线的设备利用率。（ ）

**四、名词解释**

36、对称网络：

37、通信延迟：

38、强制性失效：

39、处理机间流水线：

40、输出相关：

41、资源重复：

**五、简答题**

42、试比较可用于动态互连的总线、交叉开关和多级互连网络的硬件复杂度和带宽。

43、根据CPU性能公式简述RISC指令集结构计算机和CISC指令集结构计算机的性能特点。

44、简述减小Cache失效开销的几种方法。

45、通过编译器对程序优化来改进Cache性能的方法有哪几种？简述其基本思想。

46、降低Cache失效率有哪几种方法？简述其基本思想。

**六综合题**

47、11、根据需要展开下面的循环并进行指令调度，直到没有任何延迟。指令的延迟如表4.4。

LOOP: L.D F0,0(R1)

MUL.D F0,F0,F2

L.D F4,0(R2)

ADD.D F0,F0,F4

S.D F0,0(R2)

DSUBI R1,R1,#8

DSUBI R2,R2,#8

BNEZ R1,LOOP

48、假设各种分支指令数占所有指令数的百分比如下：

|  |  |
| --- | --- |
| 条件分支 | 20%（其中的60%是分支成功的） |
| 跳转和调用 | 5% |

现有一条段数为4的流水线，无条件分支在第二个时钟周期结束时就被解析出来，而条件分支要到第三个时钟周期结束时才能够被解析出来。第一个流水段是完全独立于指令类型的，即所有类型的指令都必须经过第一个流水段的处理。请问在没有任何控制相关的情况下，该流水线相对于存在上述控制相关情况下的加速比是多少？

49、假设某应用程序中有4类操作，通过改进，各操作获得不同的性能提高。具体数据如下表所示：

|  |  |  |  |
| --- | --- | --- | --- |
| 操作类型 | 程序中的数量  （百万条指令） | 改进前的执行时间  （周期） | 改进后的执行时间  （周期） |
| 操作1 | 10 | 2 | 1 |
| 操作2 | 30 | 20 | 15 |
| 操作3 | 35 | 10 | 3 |
| 操作4 | 15 | 4 | 1 |

（1）改进后，各类操作的加速比分别是多少？

（2）各类操作单独改进后，程序获得的加速比分别是多少？

（3）4类操作均改进后，整个程序的加速比是多少？

50、具有N=2n 个输入端的Omega网络，采用单元控制。

（1）N个输入总共应有多少种不同的排列？

（2）该Omega网络通过一次可以实现的置换总共可有多少种是不同的？

（3）若N=8，计算一次通过能实现的置换数占全部排列的百分比。

**参考答案**

**一、选择题**

1、【答案】B

2、【答案】A

3、【答案】C

4、【答案】A

5、【答案】C

6、【答案】D

7、【答案】D

8、【答案】A

9、【答案】B

10、【答案】B

**二、填空题**

11、【答案】低，高、

12、【答案】空间代价、关联

13、【答案】基于寄存器-寄存器的向量指令 基于存储器-存储器的向量指令

14、【答案】页面争用

15、【答案】写直达法 写回法

16、【答案】概念性结构 功能特性

17、【答案】本 外

18、【答案】阻塞网 可重排非阻塞网

19、【答案】单播模式 选播模式 广播模式

20、【答案】命中

**三、判断题**

21、【答案】对

22、【答案】对

23、【答案】错

24、【答案】错

25、【答案】对

26、【答案】对

27、【答案】错

28、【答案】对

29、【答案】对

30、【答案】错

31、【答案】错

32、【答案】对

33、【答案】错

34、【答案】错

35、【答案】对

**四、名词解释**

36、答：从任意结点来看，网络的结构都是相同的。

37、答：通信延迟＝发送开销＋跨越时间＋传输时间＋接收开销。

38、答：当第一次访问一个块时，该块不在Cache中，需要从下一级存储器中调入Cache，这就是强制性失效。

39、答：又称为宏流水线。它是把多个处理机串行连接起来，对同一数据流进行处理，每个处理机完成整个任务中的一部分。前一个处理机的输出结果存入存储器中，作为后一个处理机的输入。

40、答：考虑两条指令i和j，i在j的前面，如果指令j和指令i所写的名相同，则称指令i和j发生了输出相关。

41、答：在并行性概念中引入空间因素，以数量取胜。通过重复设置硬件资源，大幅度地提高计算机系统的性能。

**五、简答题**

42、答：总线互连的复杂性最低，成本也是最低。其缺点是每台处理机可用的带宽较窄。

交叉开关是最昂贵的，因为其硬件复杂性以n2上升，所以其成本最高。但是交叉开关的带宽和寻径性能最好。当网络的规模较小时，它是一种理想的选择。

多级互连网络的复杂度和带宽介于总线和交叉开关之间，是一种折中方案。其主要优点是采用模块化结构，可扩展性较好。不过，其时延随网络级数的增加而上升。另外，由于其硬件复杂度比总线高很多，其成本也不低。

43、答：CPU性能公式：CPU时间＝IC×CPI×T其中，IC为目标程序被执行的指令条数，CPI为指令平均执行周期数，T是时钟周期的时间。相同功能的CISC目标程序的指令条数ICCISC 少于RISC的ICRISC，但是CISC的CPICISC和TCISC都大于RISC的CPIRISC和TRISC，因此，CISC目标程序的执行时间比RISC的更长。

44、答：让读失效优先于写、写缓冲合并、请求字处理技术、非阻塞Cache或非锁定Cache技术、采用二级Cache。

45、答：（1）数组合并。通过提高空间局部性来减少失效次数。有些程序同时用相同的索引来访问若干个数组的同一维，这些访问可能会相互干扰，导致冲突失效，可以将这些相互独立的数组合并成一个复合数组，使得一个Cache块中能包含全部所需元素。

（2）内外循环交换。循环嵌套时，程序没有按数据在存储器中的顺序访问。只要简单地交换内外循环，就能使程序按数据在存储器中的存储顺序进行访问。

（3）循环融合。有些程序含有几部分独立的程序段，它们用相同的循环访问同样的数组，对相同的数据作不同的运算。通过将它们融合成一个单一循环，能使读入Cache的数据被替换出去之前得到反复的使用。

（4）分块。通过改进时间局部性来减少失效。分块不是对数组的整行或整列进行访问，而是对子矩阵或块进行操作。

46、答：常用的降低Cache失效率的方法有下面几种：

（1）增加Cache块大小。增加块大小利用了程序的空间局部性。

（2）增加Cache的容量。

（3）提高相联度，降低冲突失效。

（4）伪相联Cache，降低冲突失效。当对伪相联Cache进行访问时，首先是按与直接映象相同的方式进行访问。如果命中，则从相应的块中取出所访问的数据，送给CPU，访问结束。如果不命中，就将索引字段的最高位取反，然后按照新索引去寻找“伪相联组”中的对应块。如果这一块的标识匹配，则称发生了“伪命中”。否则，就访问下一级存储器。

（5）硬件预取技术。在处理器提出访问请求前预取指令和数据。

（6）由编译器控制的预取，硬件预取的替代方法，在编译时加入预取的指令，在数据被用到之前发出预取请求。

（7）编译器优化，通过对软件的优化来降低失效率。

（8）“牺牲”Cache。在Cache和其下一级存储器的数据通路之间增设一个全相联的小Cache，存放因冲突而被替换出去的那些块。每当发生不命中时，在访问下一级存储器之前，先检查“牺牲”Cache中是否含有所需的块。如果有，就将该块与Cache中某个块做交换，把所需的块从“牺牲”Cache 调入Cache。

**六综合题**

47、解：将循环展开两次，进行指令调度，即可以消除延迟，代码如下：

LOOP： L.D F0，0（R1）

L.D F10，-8（R1）

MUL.D F0，F0，F2

MUL.D F10，F10，F2

L.D F4，0（R2）

L.D F14，-8（R2）

ADD.D F0，F0，F4

ADD.D F10，F10，F14

DSUBI R1，R1，16

S.D 0（R2），F0

DSUBI R2，R2，16

BNEZ R1，LOOP

S.D 8（R2），F10

48、解：没有控制相关时流水线的平均CPI＝1

存在控制相关时：由于无条件分支在第二个时钟周期结束时就被解析出来，而条件分支

要到第3个时钟周期结束时才能被解析出来。所以：

（1）若使用排空流水线的策略，则对于条件分支，有两个额外的stall，对无条件分支，有一个额外的stall：

CPI = 1+20%\*2+5%\*1 = 1.45

加速比S=CPI/1 = 1.45

（2） 若使用预测分支成功策略，则对于不成功的条件分支，有两个额外的stall，对无条件分支和成功的条件分支，有一个额外的stall 1：

CPI = 1+20%\*(60%\*1+40%\*2) +5%\*1 = 1.33

加速比S=CPI/1 = 1.33

（3）若使用预测分支失败策略，则对于成功的条件分支，有两个额外的stall；对无条件分支，有一个额外的stall；对不成功的条件分支，其目标地址已经由PC 值给出，不必等待，所以无延迟：

CPI = 1+20%\*(60%\*2 + 40%\*0) +5%\*1 = 1.29

加速比S=CPI/1 = 1.29

49、解：根据Amdahl定律可得

|  |  |  |  |
| --- | --- | --- | --- |
| 操作类型 | 各类操作的指令条数在程序中所占的比例Fi | 各类操作的加速比Si | 各类操作单独改进后，程序获得的加速比 |
| 操作1 | 11.1% | 2 | 1.06 |
| 操作2 | 33.3% | 1.33 | 1.09 |
| 操作3 | 38.9% | 3.33 | 1.37 |
| 操作4 | 16.7% | 4 | 1.14 |

4类操作均改进后，整个程序的加速比：



50、解：（1）N个输入的不同排列数为N！。

（2）N个输入端、输出端的Omega网络有n＝log2N级开关级，每级开关级有N/2个2×2的4功能开关，总共有（N/2）log2N个开关。置换连接是指网络的输入端与输出端的一对一连接，故只考虑2×2开关的2个功能状态，即直送与交叉。网络采用单元控制，因此，每个开关都根据连接要求处于2个功能状态中的一种状态，所以，由（N/2）log2N个开关组成的Omega网络的开关状态的种树为：



一种网络开关状态实现Omega网络的一种无冲突的置换连接，所以，一次使用Omega网络可以实现的无冲突的置换连接有NN/2种。

（3）若N=8，则一次通过能实现的置换数占全部排列的百分比为：

