**1. 单选题**（2.0分）难度：易

冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU区分它们的依据是

A.指令操作码的译码结果

B.指令和数据的寻址方式

C.指令周期的不同阶段

D.指令和数据所在的存储单元

参考答案C

**试题解析**

1、指令执行步骤，在取指期间取来的是指令，读数据期间读来的是数据；

2、指令和数据性质上的区别，虽然二者都用二进制表示，但属于完全不同性质的信息，数据是计算机加工处理的“原材料”，指令是告知计算机运行功能和执行步骤的命令类信息。

**2. 单选题**（2.0分）难度：易

一个C语言程序在一台32位机器上运行。程序中定义了三个变量x、y和z，其中x和z为int型，y为short型。当x = 127，y = -9时，执行赋值语句z = x+y后，x、y和z的值分别是

A.

x = 0000007FH，y = FFF9H，z = 00000076H

B.

x = 0000007FH，y = FFF9H，z = FFFF0076H

C.

x = 0000007FH，y = FFF7H，z = FFFF0076H

D.

x = 0000007FH，y = FFF7H，z = 00000076H

参考答案D

**试题解析**

 1、十进制整数到二进制的转换，数据的补码表示；

2、补码加法运算，2两个不同位数的补码数相加时需要进行符号扩展；

          X=127，[X]补=0000007FH（32位整数），运算后其值不变

Y=－9，[Y]补=FFF7H    （16位整数），运算后其值不变

[Z]补 = [X补+Y补]=0000007FH+FFFFFFF7H=00000076H

3、解题技巧，也可先求出127+(－9)=118，再变成补码后去与可供选择的答案对比。

**3. 单选题**（2.0分）难度：易

浮点数加、减运算过程一般包括对阶、尾数运算、规格化、舍入和判溢出等步骤。设浮点数的阶码和尾数均采用补码表示，且位数分别为5位和7位（均含2位符号位）。若有两个数X = 27×29/32，Y = 25×5/8，则用浮点加法计算X+Y的最终结果是

A.

00111  1100010

B.

00111  0100010

C.

01000  0010001

D.

发生溢出

参考答案D

**试题解析**

1、十进制小数到二进制的转换，小数与整数的补码表示；

2、浮点数的阶码（整数）、尾数（尾数）的表示，规格化的概念；

3、浮点数的加法运算与结果溢出检查；

         [X]浮=00111 0011101，[Y]浮=00101 0010100=00111 0000101

X和Y的尾数相加的0100010，应规格化，成为0010001，阶码要加1，将变成8，但阶码的数值位用3位补码表示，不能表示正8，表明运算结果是溢出了。

4、解题技巧

A） 也可先把25×5/8变成27×5/8/4=27×5/32，再计算29/32+5/32=34/32=2×17/32， 表明需要阶码加1，将变成8，已经不能表示，是溢出。

B） 千万不要变分数为小数之后再转换成二进制，分母是2的整数幂时只需转换其分子部分，这对于解这个题实在是太重要了。

**4. 单选题**（2.0分）难度：易

某计算机的Cache共有16块，采用2路组相联映射方式（即每组2块）。每个主存块大小为32字节，按字节编址。主存129号单元所在主存块应装入到的Cache组号是

A.

0

B.

2

C.

4

D.

6

参考答案C

**试题解析**

1、Cache与主存之间的地址映射关系；

2、三种Cache的组织方式（其实本题未测试这一点，是直接映射还是两路组相联与答案不相关）；129  MOD  32 = 4 余1，所以答案为C，注意Cache的组号从0开始编码。

3、注：本题设映射关系为：i=j mod v (其中i为cache 的组号，j为主存的块号)，m=v×k（m为cache中的块数，v为cache中的组数，k为每组包含的块数）。则答案为C。

假如设映射关系为：i=[j/2^t]mod 2^g , (其中i为cache 的组号, j为主存的块号， 2^t为组内的块数，2^g为cache分的组数 )。则答案为B。

**5. 单选题**（2.0分）难度：易

某计算机主存容量为64 KB，其中ROM区为4 KB，其余为RAM区，按字节编址。现要用2 K×8位的ROM芯片和4 K×4位的RAM芯片来设计该存储器，则需要上述规格的ROM芯片数和RAM芯片数分别是

A.

1、15

B.

2、15

C.

1、30

D.

2、30

参考答案D

**试题解析**

1、一个字节Byte由8个二进制位bit组成；

2、存储器的字位扩展技术，选用已有芯片构建存储器；

计算： 4KB的ROM要用2K×8位的器件2片；60KB的RAM要用4K×4位的芯片数量是（60K×8）/（4K×4）=30；

**6. 单选题**（2.0分）难度：易

某机器字长16位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相对位移量字段。假定取指令时，每取一个字节PC自动加1。若某转移指令所在主存地址为2000H，相对位移量字段的内容为06H，则该转移指令成功转移后的目标地址是

A.

2006H

B.

2007H

C.

2008H

D.

2009H

参考答案C

**试题解析**

1、指令的寻址方式，相对寻址的执行过程

2、指令的执行步骤与每一步的操作功能；

计算机按字节寻址，相对转移指令在2000H单元，则取出这条指令后PC的值应为2002H，因为取指的同时将执行PC增量操作（此处增量值为2，而不是1），相对位移量的值是6，故转移目标地址应为2008H。

**7. 单选题**（2.0分）难度：易

下列关于RISC的叙述中，错误的是

A.

RISC普遍采用微程序控制器

B.

RISC大多数指令在一个时钟周期内完成

C.

RISC的内部通用寄存器数量相对CISC多

D.

RISC的指令数、寻址方式和指令格式种类相对CISC少

参考答案A

**试题解析**

1、相对于CISC计算机，RISC计算机的特点表现在哪些方面；

2、组合逻辑控制器和微程序控制器的组成与性能的同异之处；

**8. 单选题**（2.0分）难度：易

某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间（忽略各功能段之间的缓存时间）分别为90 ns、80 ns、70 ns和60 ns，则该计算机的CPU时钟周期至少是

A.

90 ns

B.

80 ns

C.

70 ns

D.

60 ns

参考答案A

**试题解析**

如何确定每个流水步的时间长度，时钟周期应以最长的执行时间为准，否则用时长的流水段的功能将不能正确完成。

**9. 单选题**（2.0分）难度：易

相对于微程序控制器，硬布线控制器的特点是

A.

指令执行速度慢，指令功能的修改和扩展容易

B.

指令执行速度慢，指令功能的修改和扩展难

C.

指令执行速度快，指令功能的修改和扩展容易

D.

指令执行速度快，指令功能的修改和扩展难

参考答案D

**试题解析**

组合逻辑控制器和微程序控制器的组成与性能的同异之处。

**10. 单选题**（2.0分）难度：易

假设某系统总线在一个总线周期中并行传输4字节信息，一个总线周期占用2个时钟周期，总线时钟频率为10 MHz，则总线带宽是

A.

10 MB/s

B.

20 MB/s

C.

40 MB/s

D.

80 MB/s

参考答案B

**试题解析**

总线的带宽等于总线周期的频率×每个总线周期传送的信息数量。

按题意，(10×106 /2)×4 = 20×106  （MB/s）。

**11. 单选题**（2.0分）难度：易

假设某计算机的存储系统由Cache和主存组成。某程序执行过程中访存1000次，其中访问Cache缺失（未命中）50次，则Cache的命中率是

A.

5%

B.

9.5%

C.

50%

D.

95%

参考答案D

**试题解析**

 1、Cache与主存之间的地址映射关系。

2、三种Cache的组织方式（其实本题未测试这一点，是直接映射还是两路组相联与答案不相关）；

3、Cache的命中率。计算：命中率为 (1000－50) / 1000 = 95%

**12. 单选题**（2.0分）难度：易

下列选项中，能引起外部中断的事件是

A.

键盘输入

B.

除数为0

C.

浮点运算下溢

D.

访存缺页

参考答案A

**试题解析**

中断的分类。

能引起外部中断的只能是输入设备键盘。

**13. 单选题**（2.0分）难度：易

下列选项中，能缩短程序执行时间的措施是

Ⅰ. 提高CPU时钟频率，Ⅱ. 优化数据通路结构，Ⅲ. 对程序进行编译优化

A.

仅Ⅰ和Ⅱ

B.

仅Ⅰ和Ⅲ

C.

仅Ⅱ和Ⅲ

D.

Ⅰ、Ⅱ和Ⅲ

参考答案D

**试题解析**

提高CPU时钟频率会使机器执行指令的运行速度更快，对程序进行编译优化可以有效地减少指令条数，优化数据通路结构可以改进某些指令的运行效率，3者都有利于缩短程序的执行时间。

**14. 单选题**（2.0分）难度：易

假定有4个整数用8位补码分别表示为r1=FEH，r2=F2H，r3=90H，r4=F8H。若将运算结果存放在一个8位寄存器中，则下列运算会发生溢出的是

A.

r1×r2

B.

r2×r3

C.

r1×r4

D.

r2×r4

参考答案B

**试题解析**

8位寄存器能保存的补码整数的范围是-128~+127，r1中的数值是-2，r2中的数值是-14，r3中的数值是-112，r4中的数值是-8，则4个运算会发生溢出的是r2×r3。

**15. 单选题**（2.0分）难度：易

假定变量i、f和d的数据类型分别为int、float和double（int用补码表示，float和double分别用IEEE 754单精度和双精度浮点数格式表示），已知i=785，f=1.5678e3，d=1.5e100。若在32位机器中执行下列关系表达式，则结果为“真”的是

I．i == (int) (float) i

II．f == (float) (int) f

III．f == (float) (double) f

IV．(d+f) - d == f

A.

仅I和II

B.

仅I和III

C.

仅II和III

D.

仅III和IV

参考答案B

**试题解析**

（II）运算会丢掉浮点数的小数部分，（IV）运算过程中可能有误差使其不相等，（I）和（III）则不存在问题。

**16. 单选题**（2.0分）难度：易

假定用若干个2 K×4位的芯片组成一个8 K×8位的存储器，则地址0B1FH所在芯片的最小地址是

A.

0000H

B.

0600H

C.

0700H

D.

0800H

参考答案D

**试题解析**

一个8 k×8位的存储器可以由8片2k×4位的存储器芯片组成，则每2k存储空间的起始地址为0000H、0800H、1000H、1800H，因此0B1FH所在芯片的最小地址是0800H。

**17. 单选题**（2.0分）难度：易

下列有关RAM和ROM的叙述中，正确的是

I．RAM是易失性存储器，ROM是非易失性存储器

II．RAM和ROM都采用随机存取方式进行信息访问

III．RAM和ROM都可用作Cache

IV．RAM和ROM都需要进行刷新

A.

仅I和II

B.

仅II和III

C.

仅I、II和IV

D.

仅II、III和IV

参考答案A

**试题解析**

因为ROM不能用作cache，也不需要刷新操作，此2个选项是错的。

**18. 单选题**（2.0分）难度：易

下列命中组合情况中，一次访存过程中不可能发生的是

A.

TLB未命中、Cache未命中、Page未命中

B.

TLB未命中、Cache命中、Page命中

C.

TLB命中、Cache未命中、Page命中

D.

TLB命中、Cache命中、Page未命中

参考答案D

**试题解析**

TLB中保存的是当前用到的最活跃的Page项内容，若TLB命中，就不会出现Page不命中的情况。

**19. 单选题**（2.0分）难度：易

下列寄存器中，汇编语言程序员可见的是

A.

存储器地址寄存器（MAR）

B.

程序计数器（PC）

C.

存储器数据寄存器（MDR）

D.

指令寄存器（IR）

参考答案B

**试题解析**

其他3个寄存器程序员不能访问，但有的机器会选用一个通用寄存器作为PC，相对寻址是选用运算后PC中的内容作为指令转移的目标地址。

**20. 单选题**（2.0分）难度：易

下列选项中，不会引起指令流水线阻塞的是

A.

数据旁路（转发）

B.

数据相关

C.

条件转移

D.

资源冲突

参考答案A

**试题解析**

数据旁路技术就是用于解决指令流水中的数据相关，换句话说，在遇到数据相关时，在可能的情况下可以通过数据旁路技术加以克服，其他3个选项都是指令流水线阻塞的基本原因。

**21. 单选题**（2.0分）难度：易

下列选项中的英文缩写均为总线标准的是

A.

PCI、CRT、USB、EISA

B.

ISA、CPI、VESA、EISA

C.

ISA、SCSI、RAM、MIPS

D.

ISA、EISA、PCI、PCI-Express

参考答案D

**试题解析**

CRT、CPI、RAM、MIPS都与总线标准无关。

**22. 单选题**（2.0分）难度：易

单级中断系统中，中断服务程序内的执行顺序是

I．保护现场   II．开中断      III．关中断    IV．保存断点

V．中断事件处理      VI．恢复现场       VII．中断返回

A.

I→V→VI→II→VII

B.

III→I→V→VII

C.

III→IV→V→VI→VII

D.

IV→I→V→VI→VII

参考答案A

**试题解析**

在单级中断系统中，一旦响应了一个中断，可以不必使用关中断的措施来防止再来一个新的中断干扰已经开始的中断保存现场和恢复现场的工作。响应与处理中断的几项操作是有严格顺序关系的，不能颠倒。

**23. 单选题**（2.0分）难度：易

假定一台计算机的显示存储器用DRAM芯片实现，若要求显示分辨率为1600×1200，颜色深度为24位，帧频为85 Hz，显存总带宽的50%用来刷新屏幕，则需要的显存总带宽至少约为

A.

245 Mbps

B.

979 Mbps

C.

1 958 Mbps

D.

7 834 Mbps

参考答案D

**试题解析**

显存每秒需要提供屏幕刷新的信息量：1.6×103×1.2×103×24×85=3916.8×106 ，用到的总线带宽为2×3916.8×106bps，可以取其整数值，选择7834Mbps。

**24. 单选题**（2.0分）难度：易

下列选项中，描述浮点数操作速度指标的是

A.

MIPS

B.

CPI

C.

IPC

D.

MFLOPS

参考答案D

**试题解析**

**25. 单选题**（2.0分）难度：易

float型数据通常用IEEE 754单精度浮点数格式表示。若编译器将float型变量x分配在一个32位浮点寄存器FR1中，且x=-8.25，则FR1的内容是

A.

C104 0000H

B.

C242 0000H

C.

C184 0000H

D.

C1C2 0000H

参考答案A

**试题解析**

x=-8.25＝（-1000.01）2﹦（-1.000 01×211）2

e移=E=e+127=130=（1000 0010）2，

单精度浮点数格式： 1位数符，8位阶码（含阶符），23位尾数

故FR1内容为：     1        1000 0010          000 0100 0000 0000 0000 0000

即1100 0001 0000 0100 0000 0000 0000 0000，即C1040000H

**26. 单选题**（2.0分）难度：易

下列各类存储器中，不采用随机存取方式的是

A.

EPROM

B.

CDROM

C.

DRAM

D.

SRAM

参考答案B

**试题解析**

光盘采用顺序存取方式。

**27. 单选题**（2.0分）难度：易

某计算机存储器按字节编址，主存地址空间大小为64MB，现用4M×8位的RAM芯片组成32MB的主存储器，则存储器地址寄存器MAR的位数至少是

A.

22位

B.

23位

C.

25位

D.

26位

参考答案D

**试题解析**

64MB的主存地址空间，故而MAR的寻址范围是64M，故而是26位。其他条件都是干扰条件。

**28. 单选题**（2.0分）难度：易

偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中，**不**属于偏移寻址方式的是

A.

间接寻址

B.

基址寻址

C.

相对寻址

D.

变址寻址

参考答案A

**试题解析**

间接寻址不需要寄存器，EA=(A)。

基址寻址：EA=A+基址寄存器内容；

相对寻址：EA﹦A+PC内容；

变址寻址：EA﹦A+变址寄存器内容

**29. 单选题**（2.0分）难度：易

某机器有一个标志寄存器，其中有进位/借位标志CF、零标志ZF、符号标志SF和溢出标志OF，条件转移指令bgt（无符号整数比较大于时转移）的转移条件是

A.

CF+OF＝1

B.

SF+ ZF＝1

C.

(CF+ZF)=1

D.

(CF+SF)=1

参考答案C

**试题解析**

无符号整数比较做减法，若a>b，则a-b无进位/借位，也不为0。故CF=0且ZF=0。

**30. 单选题**（2.0分）难度：易

下列给出的指令系统特点中，有利于实现指令流水线的是

Ⅰ. 指令格式规整且长度一致

Ⅱ．指令和数据按边界对齐存放

Ⅲ．只有Load/Store指令才能对操作数进行存储访问

A.

仅Ⅰ、Ⅱ

B.

仅Ⅱ、Ⅲ

C.

仅Ⅰ、Ⅲ

D.

Ⅰ、Ⅱ、Ⅲ

参考答案D

**试题解析**

以上三个RISC特征都能够有效降低取指令或执行指令的复杂度，从而有利于流水线操作。

**31. 单选题**（2.0分）难度：易

假定不采用Cache和指令预取技术，且机器处于“开中断”状态，则在下列有关指令执行的叙述中，**错误**的是

A.

每个指令周期中CPU都至少访问内存一次

B.

每个指令周期一定大于或等于一个CPU时钟周期

C.

空操作指令的指令周期中任何寄存器的内容都不会被改变

D.

当前程序在每条指令执行结束时都可能被外部中断打断

参考答案C

**试题解析**

空操作指令执行时PC会加1

**32. 单选题**（2.0分）难度：易

在系统总线的数据线上，**不**可能传输的是

A.

指令

B.

操作数

C.

握手（应答）信号

D.

中断类型号

参考答案C

**试题解析**

一般而言，系统总线采用同步方式传输，握手信号属于控制信号，不在数据总线上传输。

**33. 单选题**（2.0分）难度：易

某计算机有五级中断L4～L0，中断屏蔽字为M4M3M2M1M0，Mi=1（0≤i≤4）表示对Li级中断进行屏蔽。若中断响应优先级从高到低的顺序是L4→L0→L2→L1→L3 ，则L1的中断处理程序中设置的中断屏蔽字是

A.

11110

B.

01101

C.

00011

D.

01010

参考答案D

**试题解析**

屏蔽同级和更低级中断源。

**34. 单选题**（2.0分）难度：易

某计算机处理器主频为50MHz，采用定时查询方式控制设备A的I/O，查询程序运行一次所用的时钟周期数至少为500。在设备A工作期间，为保证数据不丢失，每秒需对其查询至少200次，则CPU用于设备A的I/O的时间占整个CPU时间的百分比至少是

A.

0.02%

B.

0.05%

C.

0.20%

D.

0.50%

参考答案C

**试题解析**

每秒用于查询的时间至少为：200×500﹦10 0000个周期，所需时间为10 0000÷50M＝1/500（秒），

故占整个CPU时间的百分比至少是0.20%。

**35. 简答题**（18.0分）难度：易

假定在一个8位字长的计算机中运行如下类C程序段：

unsigned int x = 134;

unsigned int y = 246;

int m = x;

int n = y;

unsigned int z1 = x-y;

unsigned int z2 = x+y;

int k1 = m -n;

int k2 = m+n;

若编译器编译时将 8个 8位寄存器 R1 ～R8 分别分配给变量 x、y、m、n、z1 、z2 、k1 和 k2 。请回答下列问题（提示：带符号整数用补码表示）

（1）执行上述程序段后，寄存器R1、R5和R6的内容分别是什么？（用十六进制表示）

（2）执行上述程序段后，变量 m和 k1 的值分别是多少？（用十进制表示）

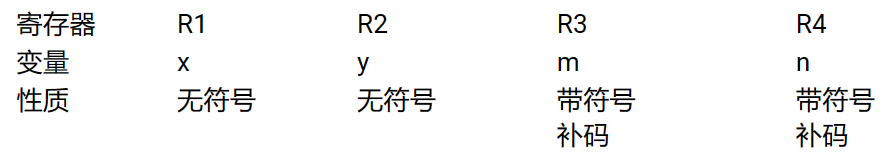
（3）上述程序段涉及带符号整数加/减、无符号整数加/减运算，这四种能否利用同一个加法器及辅助电路实现？简述理由。

（4）计算机内部如何判断带符号整数加/减运算的结果是否发生溢出？上述程序段中，哪些带符号整数运算语句的执行结果会发生溢出？

**参考答案**

本题考查无符号数和带符号数的溢出概念，以及C语言中强制类型转换操作对数据的处理方式。注意：

1. 无符号数没有溢出的概念，超出最大值的进位将被丢弃。
2. C语言规定在无符号整数和带符号整数之间进行强制类型转换时，机器码并不改变，改变的是对机器码的解释方式。
3. 各寄存器和变量的对应关系如下表所示。



R1=x=134=10000110b=86h

Y=246=11110110b

R5=z1=x-y=134-246=10000110b-11110110b=10000110b+00001010b=10010000b=90h

R6=z2=x+y=134+246=10000110b+11110110b=(1)01111100b=7ch

（2）

m补=x=10000110b，m= -1111010b= -7ah= -122

n补=y=11110110b，n= -0001010b= -10

k1补=m补-n补=10000110b-11110110b=10000110b+00001010b=10010000b，k1= -1110000b= -70h= -112

（3）

无符号数和带符号数在机器中都是以二进制数的形式存储的，不同之处在于带符号数是将二进制值看作补码形式，将其转换为真值时最高位看作符号位。补码运算时，符号位可以和数值位等同看待，故无符号数加减运算与带符号数加减运算完全可以用同一套电路实现。

        因为x补减y补可以转化为x补加（-y）补的运算，故补码形式的运算中，加减法可以用同一套电路实现，只需增加从y补求（-y）补的电路即可。

        无符号数可以看作正数参加运算，也可以用同一套电路实现。只是不进行溢出判断。

        故四种运算可以利用同一个加法器及辅助电路实现。

（4）带符号整数加/减运算的溢出判断方法有两种：

1. 如果最高位的进位和符号位的进位不同，则溢出；
2. 双符号位法：在补码的单符号位之外再增加一个符号位，从而将数据的可表示范围扩大一倍，当运算结果的高符号位与低符号位不相同时，说明最高位的进位修改了低符号位，可判断为溢出

因k2= m+n=10000110b+11110110b=(1)01111100(溢出)，故语句“int k2 = m+n”的执行结果溢出。

**36. 简答题**（14.0分）难度：易

某计算机的CPU主频为500 MHz，CPI为5（即执行每条指令平均需5个时钟周期）。假定某外设的数据传输率为0.5 MB/s，采用中断方式与主机进行数据传送，以32位为传输单位，对应的中断服务程序包含18条指令，中断服务的其他开销相当于2条指令的执行时间。请回答下列问题，要求给出计算过程。

（1） 在中断方式下，CPU用于该外设I/O的时间占整个CPU时间的百分比是多少？

（2）当该外设的数据传输率达到5 MB/s时，改用DMA方式传送数据。假定每次DMA传送块大小为5000 B，且DMA预处理和后处理的总开销为500个时钟周期，则CPU用于该外设I/O的时间占整个CPU时间的百分比是多少？（假设DMA与CPU之间没有访存冲突）

**参考答案**

[答案]

（1）中断方式下，CPU每次用于数据传送的时钟周期数：5\*18+5\*2 = 100

为达到外设0.5 MB/s的数据传输率，外设每秒申请的中断次数：0.5 MB /4 B = 125 000

1秒钟内用于中断的开销：

100 \* 125 000 = 12500 000 = 12.5 M个时钟周期

CPU用于外设I/O的时间占整个CPU时间的百分比：12.5 M/500 M = 2.5%

（2）外设数据传输率提高到5 MB/s时，1秒钟内需产生的DMA次数：5 MB/5 000 B = 1000

CPU用于DMA处理的总开销：1000\*500 = 500 000 = 0.5 M个时钟周期

CPU用于外设I/O的时间占整个CPU时间的百分比：

0.5 M /500 M = 0.1%