

Departamento de Engenharia Elétrica e de Computação

SEL0606 – Laboratório de Sistemas Digitais

Prof. Dr. Maximilian Luppe

PRÁTICA N°8

Dispositivos de Lógica Programável tipo FPGA

Circuitos Sequenciais

Problema:

Implementar Registradores de N bits utilizando linguagem de descrição de hardware VHDL em projeto parametrizável

Equipamentos necessários:

- Kit DE10-Lite

Introdução:

Esta prática de laboratório tem por objetivo a implementação de um registrador, com reset assíncrono, borda positiva de clock e clock enable, baseado em Flip-flop Tipo-D, no Kit DE10-Lite (MAX10)

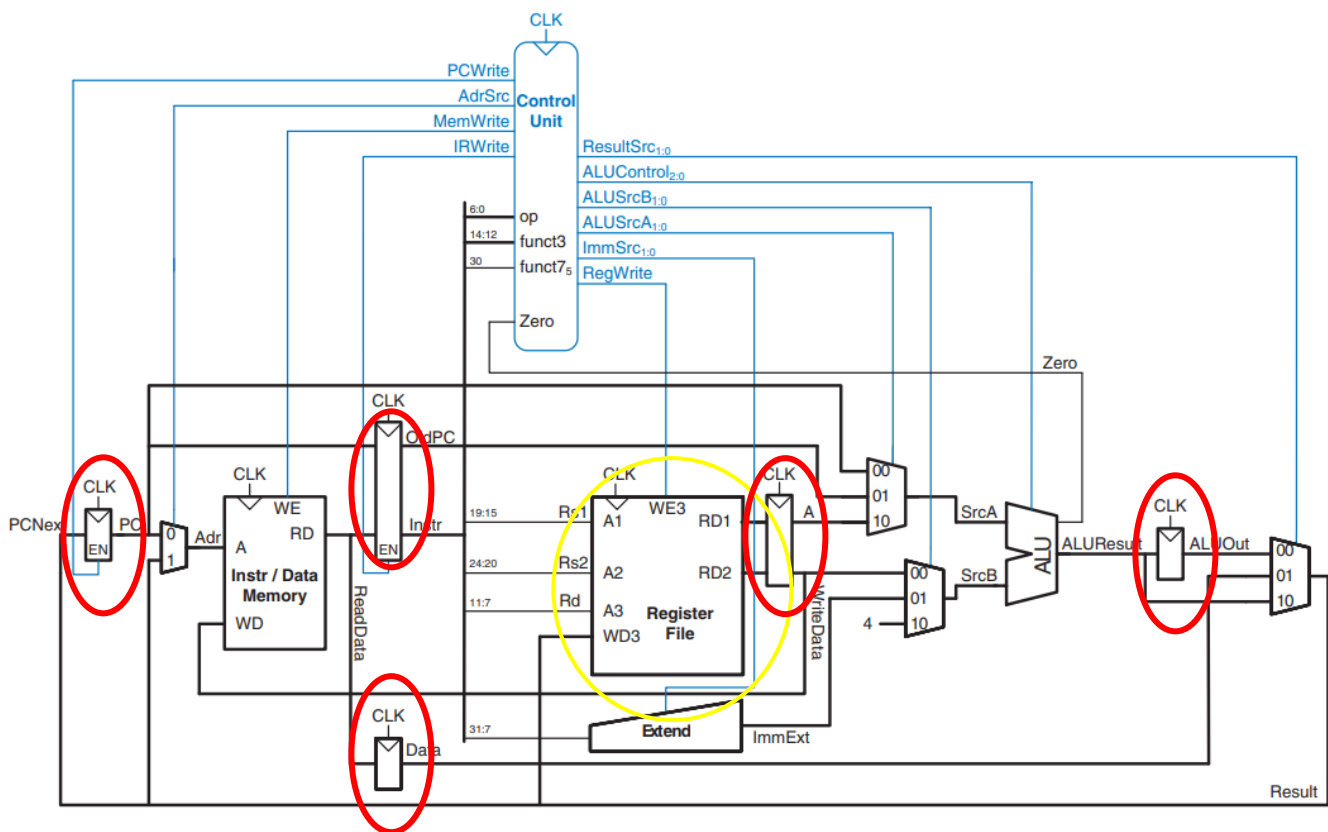
Sob o ponto de vista de Sistema Digitais, os Registradores são circuitos sequenciais formados por Flip-Flops (FF) que, sob o ponto de vista de Organização de Computadores, compõem o nível mais alto da hierarquia de memória. São memórias voláteis (ou seja, seus dados são perdidos quando o circuito é desligado), normalmente compostos por FF Tipo-D ligados em paralelo. Sua função é bastante simples: armazenar um dado de N bits por certo período de tempo. Os registradores possuem os seguintes terminais:

- Entrada de dados (N bits);
- Saída de dados (N bits);

- Clock;
- Set e/ou Reset, síncrono ou assíncrono;
- Habilitação para o clock.

Numa arquitetura podemos classificar os registradores em duas classes distintas: auxiliares (indicados em vermelho, na figura 1) e de dados (indicados em amarelo, na figura 1). Os registradores auxiliares são utilizados para o perfeito funcionamento da arquitetura, mas não são visíveis ao programador. Como exemplo temos os registradores A e B que são utilizados temporariamente pela ULA. Além destes temos o IR (Instruction Register), que armazena o código da instrução que está sendo executada. Os registradores de dados são aqueles utilizados pelo conjunto de instruções da arquitetura. No caso de uma arquitetura RISC-V, eles formam o Banco de Registradores. Nosso Banco de Registradores será formado pelos registradores de R_0 a R_{M-1} .

Figura 1 - Processador RISC-V multiciclo



Fonte: Digital Design and Computer Architecture - RISC-V Edition <https://doi.org/10.1016/C2019-0-00213-0>

Outro registrador especial é o PC (*Program Counter*), que é utilizado para indicar, na memória, o endereço da próxima instrução a ser executada. A cada instrução executada, ele é atualizado para apontar para o endereço da próxima instrução a ser executada, que pode estar na próxima posição de memória, ou em outra posição de memória gerada por uma instrução de um desvio de fluxo. Dependendo da arquitetura, o PC também pode ser implementado por meio de um contador com carga paralela de dados. Contadores são circuitos sequenciais que geram uma sequência pré-definida de valores e, no caso de contadores com carga paralela, eles podem ser atualizados com um valor diferente do próximo valor da sequência. Os contadores podem ser síncronos ou assíncronos.

Desta forma, o PC pode ser implementado tanto como um registrador, acrescido de um circuito dedicado formado por um circuito somador (para incremento de 1) e por um multiplexador (para o desvio de fluxo), ou com um contador (síncrono ou assíncrono) com carga paralela.

Existe ainda um banco de registradores que reunirá M registradores de uso geral. Estes registradores armazenam dados de N bits. Como primeiro problema, o aluno deverá desenvolver um registrador de N bits contendo os sinais de controle EN (Clock Enable) e CLK. O componente irá compor uma entidade independente e será utilizado como todos os registradores independentes na organização da arquitetura.

O relatório deve descrever, de forma sucinta, conceitos de registradores, incluindo paralelos e seriais, implementação de circuitos registradores paralelos com Clock Enable, conceitos contadores síncronos e assíncronos, com Clock Enable e Parallel Load, esquemático dos registradores, individualmente.

Procedimento Experimental:

Apresentar a implementação de um registrador genérico de N bits, com entradas de CLK e EN, e como este pode ser utilizado para implementar um Banco de Registradores, baseado na arquitetura RISC-V (figura 1), com barramento de dados de tamanho parametrizável, utilizando a linguagem de descrição de hardware VHDL.

Criar uma pasta denominada DE10_LITE_Reg, com as subpastas docs, modelsim, quartus e src, e criar um projeto na pasta quartus, também denominado DE10_LITE_Reg, ativando apenas o clock, as chaves, os push-buttons e os LEDs.

Abrir o projeto no Quartus Lite e implementar o Registrador utilizando VHDL, denominado `Reg.vhd`, armazenando o código na pasta `src`. Incorporar o código do Registrador ao projeto principal (`DE10_LITE_Reg`), com `WIDTH = 4`, ligando as chaves `SW(7 downto 4)` à entrada de dados do Registrador, a chave `SW(0)` à entrada `EN`, os push-buttons `KEY(0)` e `KEY(1)` às entradas `CLK` e `CLR`, e a saída de dados ao `LEDR(7 downto 4)`, e executar o projeto no kit DE10-Lite.

Apresentar código VHDL, circuito RTL, número de células lógicas utilizadas e foto do kit com o circuito funcionando.