

Departamento de Engenharia Elétrica e de Computação

SEL0606 – Laboratório de Sistemas Digitais

Prof. Dr. Maximilian Luppe

PRÁTICA Nº9

Dispositivos de Lógica Programável tipo FPGA

Circuitos Sequenciais

Objetivos:

Familiarização com a ferramenta Quartus Lite da Intel/Altera e Projeto e síntese de circuitos sequenciais em dispositivo reconfigurável (FPGA).

Equipamentos necessários:

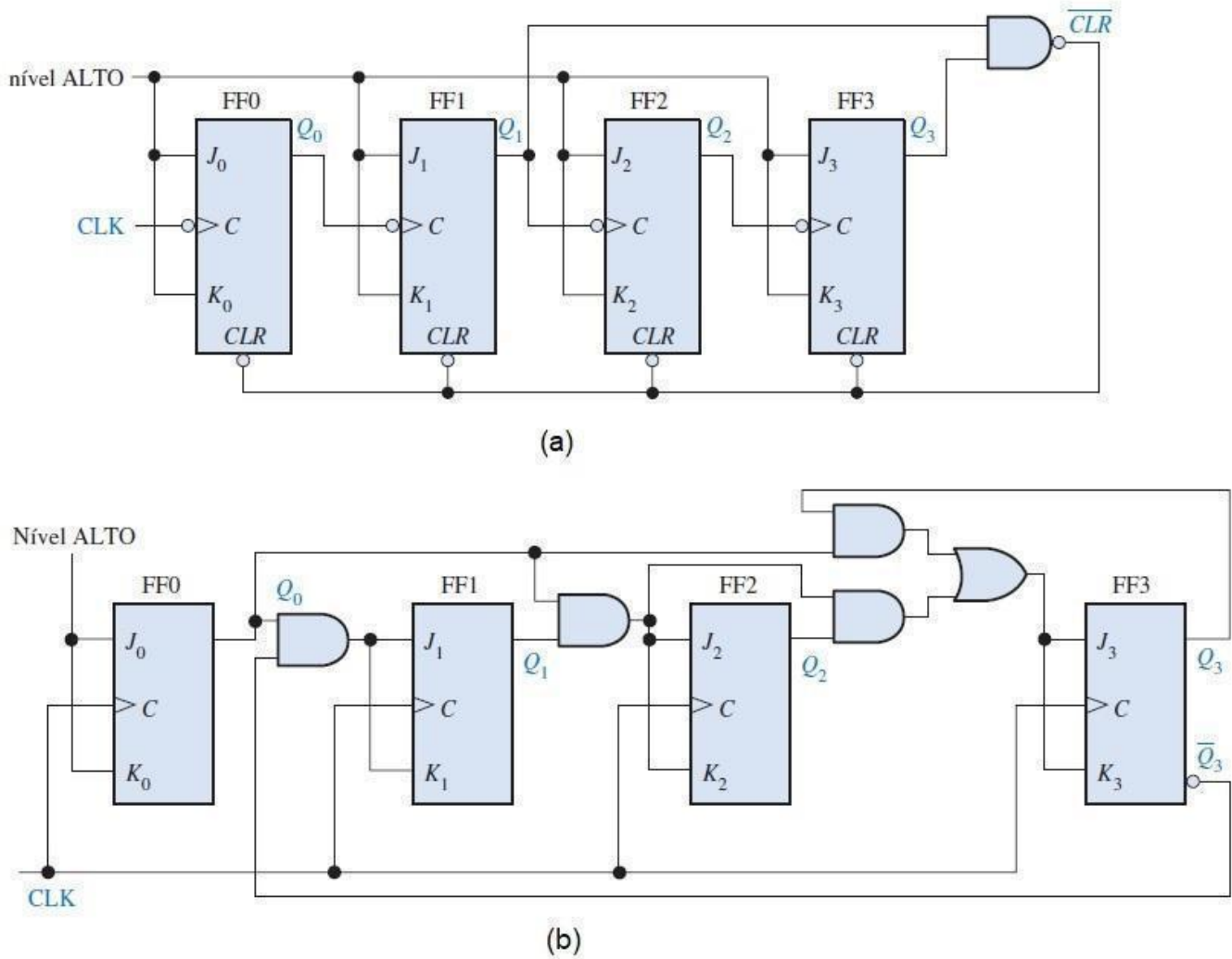
- Kit DE10-Lite

Introdução:

Esta prática de laboratório tem por objetivo a implementação de um módulo contador binário síncrono com reset assíncrono e com barramento de dados de tamanho parametrizável no kit DE10-Lite (MAX 10 10M50DAF484C7G).

Os contadores binários podem ser classificados, quanto ao clock, em contadores assíncronos (figura 1(a)), quando apenas o primeiro estágio recebe o sinal de clock, enquanto que o clock dos demais estágios depende da saída dos estágios anteriores, e contadores síncronos (figura 1(b)), quando todos os estágios recebem o mesmo sinal de clock, ficando a lógica combinacional responsável pela definição do próximo valor. Entende-se por estágio o circuito formado por um FF (flip-flop), que pode ser tanto do Tipo-D, do Tipo-T ou JK-MS, e uma lógica combinacional associada, responsável por definir o próximo estado do FF.

Figura 1-Exemplo de contador de década assíncrono (a) e síncrono (b) com FF JK-MS



Fonte: [site da internet](#)

Em projetos de sistemas digitais, os contadores podem ser utilizados principalmente para realizar a contagem de dados, possibilitando a implementação de diversos equipamentos, como relógios, cronômetros, multímetros etc., assim como para a divisão de frequência de uma fonte de clock, possibilitando a geração de diversas frequências de clock a partir de uma única fonte. Em arquiteturas de computadores, o contador pode ser utilizado para implementar o PC – *Program Counter*.

Procedimento Experimental:

Apresentar a implementação de um módulo contador binário com reset assíncrono e com barramento de dados de tamanho parametrizável utilizando a linguagem de descrição de hardware VHDL.

Criar uma pasta denominada `DE10_LITE_counter`, com as subpastas `docs`, `modelsim`, `quartus` e `src`, e criar um projeto na pasta `quartus`, também denominado `DE10_LITE_counter`, ativando apenas o clock, os push-buttons e os LEDs.

Abrir o projeto no Quartus Lite e implementar um contador binário síncrono parametrizável utilizando VHDL, denominado `counter.v`, armazenando o código na pasta `src`. Incorporar o código do contador no projeto principal (`DE10_LITE_counter`), ligando os buttons `KEY[0]` e `KEY[1]` às entradas `clk` e `clrn` do contador, e as saídas `q` aos `LEDR`, e executar o projeto no kit `DE10_LITE`.

Apresentar código VHDL, circuito RTL, número de células lógicas utilizadas e foto do kit com o circuito funcionando.