



Prática Nº7 - SEL0606

Alunos (Bancada 5):

Vitor Alexandre Garcia Vaz - 14611432
Gabriel Dezejácomo Maruschi - 14571525

Sumário

1	Introdução	3
1.1	<i>Objetivos</i>	3
1.2	<i>Flip-Flops</i>	3
2	Materiais e métodos	4
2.1	<i>Interface</i>	4
2.2	<i>Flip-Flop JK</i>	5
2.3	<i>Flip-Flop Tipo T</i>	6
2.4	<i>Flip-Flop Tipo D</i>	7
3	Conclusão	9
3.1	<i>Circuito RTL</i>	9
3.2	<i>Número de células lógicas</i>	10
3.3	<i>Funcionamento do Flip-Flop tipo D</i>	11
3.4	<i>Funcionamento do Flip-Flop tipo JK</i>	12
3.5	<i>Funcionamento do Flip-Flop tipo T</i>	12

Lista de Imagens

1	Tabela verdade do FF-JK	3
2	Tabela verdade do FF-T	3
3	Tabela verdade do FF-D	4
4	Kit DE10-LITE	4
5	Código da interface	5
6	Código do FF JK	6
7	Código do FF T	7
8	Código do FF D	8
9	Visualização geral do circuito formado	9
10	Visualização do circuito referente ao Flip-Flop tipo D	9
11	Visualização do circuito referente ao Flip-Flop tipo JK	10
12	Visualização do circuito referente ao Flip-Flop tipo T	10
13	Resumo de funcionamento	11
14	Simulação de funcionamento da FPGA para flip-flop tipo D	11
15	Simulação de funcionamento da FPGA para flip-flop tipo JK	12
16	Simulação de funcionamento da FPGA para flip-flop tipo T	13

1 Introdução

1.1 Objetivos

Nesta prática do Laboratório de Sistemas Digitais, implementamos os Flip-Flops JK, Tipo-D e Tipo-T na linguagem VHDL no software Quartus, e testamos no kit DE10-LITE (MAX 10 10M50DAF484C7G) bem como no software ModelSim.

Flip-Flops são unidades básicas dos circuitos Sequenciais, sendo fundamentais para desenvolver diversos módulos da área de Arquitetura de Computadores.

1.2 Flip-Flops



De maneira geral, a análise dos diferentes tipos de Flip-Flops consiste em analisar a interação do sinal de saída **Q** com os sinais de entrada. Nos tipos apresentados hoje, trabalhamos com FF que apresentam dependência do sinal de clock, transmitindo mudanças para a saída **Q** apenas nas bordas de subida de Clock.

FF JK

O Flip-Flop JK funciona com a lógica de *Set*, *Reset* e *Toggle* da saída **Q**.

Possui as entradas **J**, **K** e **Clk** (clock). A tabela verdade abaixo evidencia a relação das entradas com a saída:

Figure 1: Tabela verdade do FF-JK



<i>J</i>	<i>K</i>	<i>Q</i>	<i>C</i>	<i>Q*</i>
0	0	0		0 Hold
0	0	1		1
0	1	0		0 Reset
0	1	1		0
1	0	0		1 Set
1	0	1		1
1	1	0		1 Toggle
1	1	1		0

Fonte: V. P. Nelson, *Digital Logic Circuit analysis and design*. 1995

FF T

O Flip-Flop T é basicamente um FF JK com as entradas **J** e **K** ligadas em um único sinal de controle, renomeado **T**, de Toggle. Como visto na seção anterior, ao ativar T (J e K simultaneamente), inverte-se o sinal apresentado anteriormente em Q. A tabela verdade é demonstrada abaixo.

Figure 2: Tabela verdade do FF-T




<i>T</i>	<i>Q</i>	<i>Q*</i>
	0	1 Toggle
	1	0 Toggle

Fonte: V. P. Nelson, *Digital Logic Circuit analysis and design*. 1995

FF D

O Flip-Flop tipo D possui apenas as entradas **D** e **Clk** e comporta-se espelhando o sinal de D na saída Q nos eventos de borda de subida do clock. A tabela verdade é demonstrada abaixo.

Figure 3: Tabela verdade do FF-D

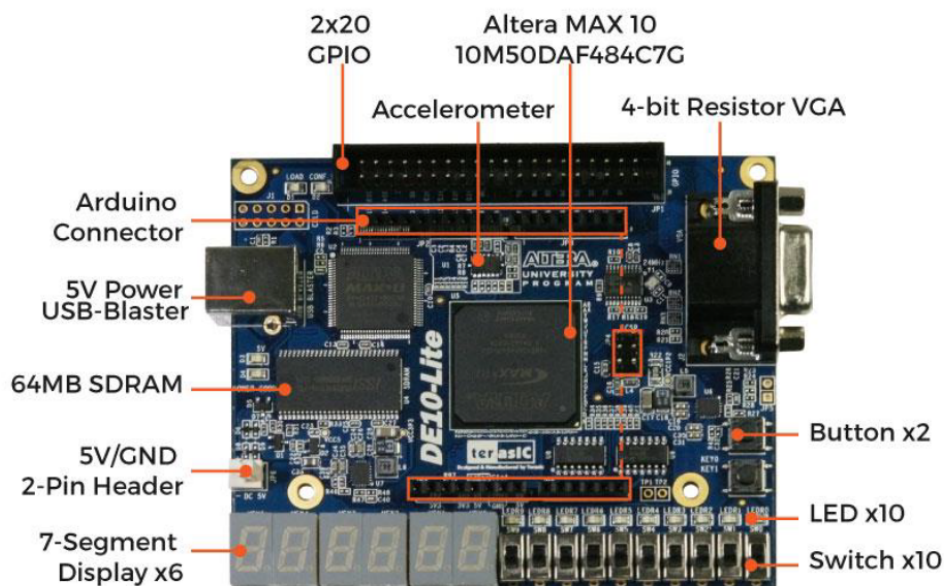
D	Q	C	Q^*
0	0		0 Store 0
0	1		0
1	0		1 Store 1
1	1		1

Fonte: V. P. Nelson, *Digital Logic Circuit analysis and design*. 1995

2 Materiais e métodos

O código utilizado para desenvolver os módulos dos Flip-Flops foi escrito em VHDL e compilado no Quartus. A fim de testá-los no DE10-LITE, desenvolvemos também um interface cujo objetivo foi redirecionar os sinais dos pinos para os módulos e vice-versa.

Figure 4: Kit DE10-LITE

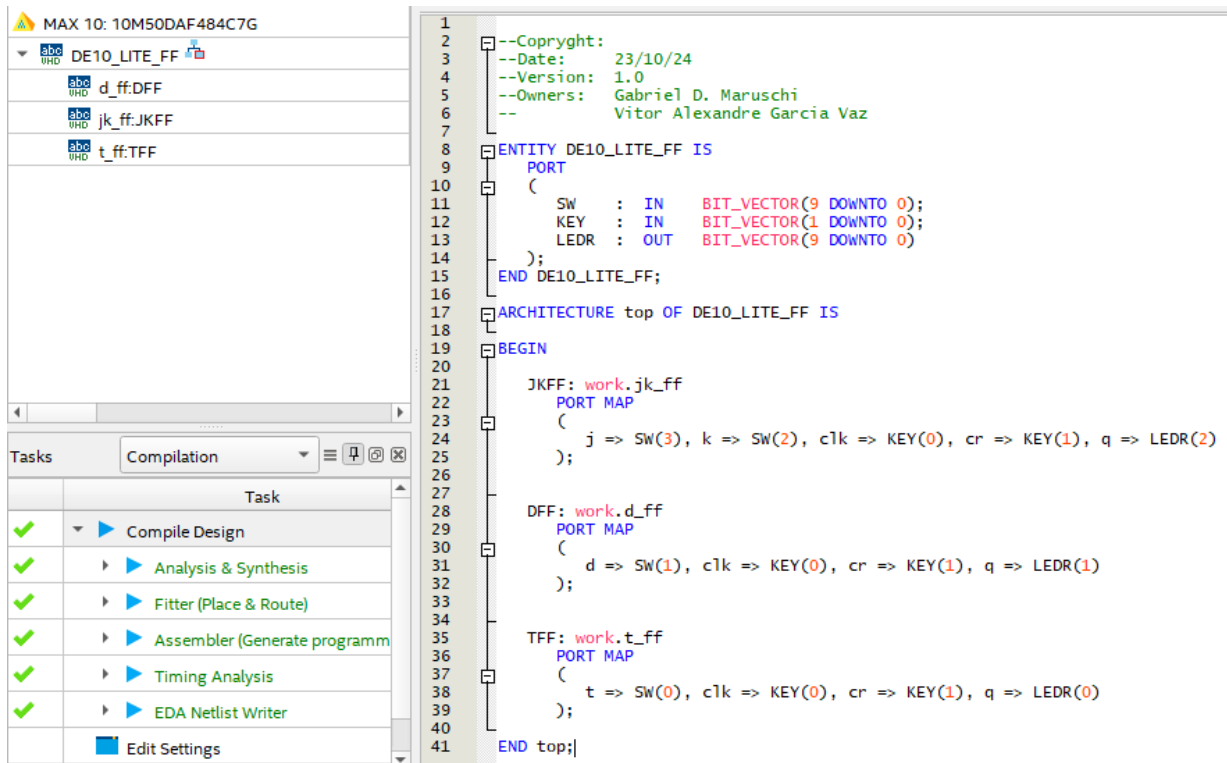


Fonte: DE10-Lite User Manua

2.1 Interface

A interface, codificada como é mostrado abaixo, direciona as entradas e saídas para as portas e leds do kit DE10-LITE:

Figure 5: Código da interface



Fonte: os autores

Para todas as chamadas dos módulos, as entradas de Clock e Clear, **clk** e **cr**, respectivamente, foram direcionados para os botões 0 e 1 do kit. Entretanto, para os sinais de controle de cada um dos Flip-Flops convencionou-se:

- **FF-JK:**
J = Chave 3 (SW(3)); K = Chave 2 (SW(2)); Q = Led 1 (LEDR(1)).
- **FF-D:**
D = Chave 1 (SW(1)); Q = Led 2 (LEDR(2)).
- **FF-T:**
T = Chave 9 (SW(9)); Q = Led 9 (LEDR(9)).

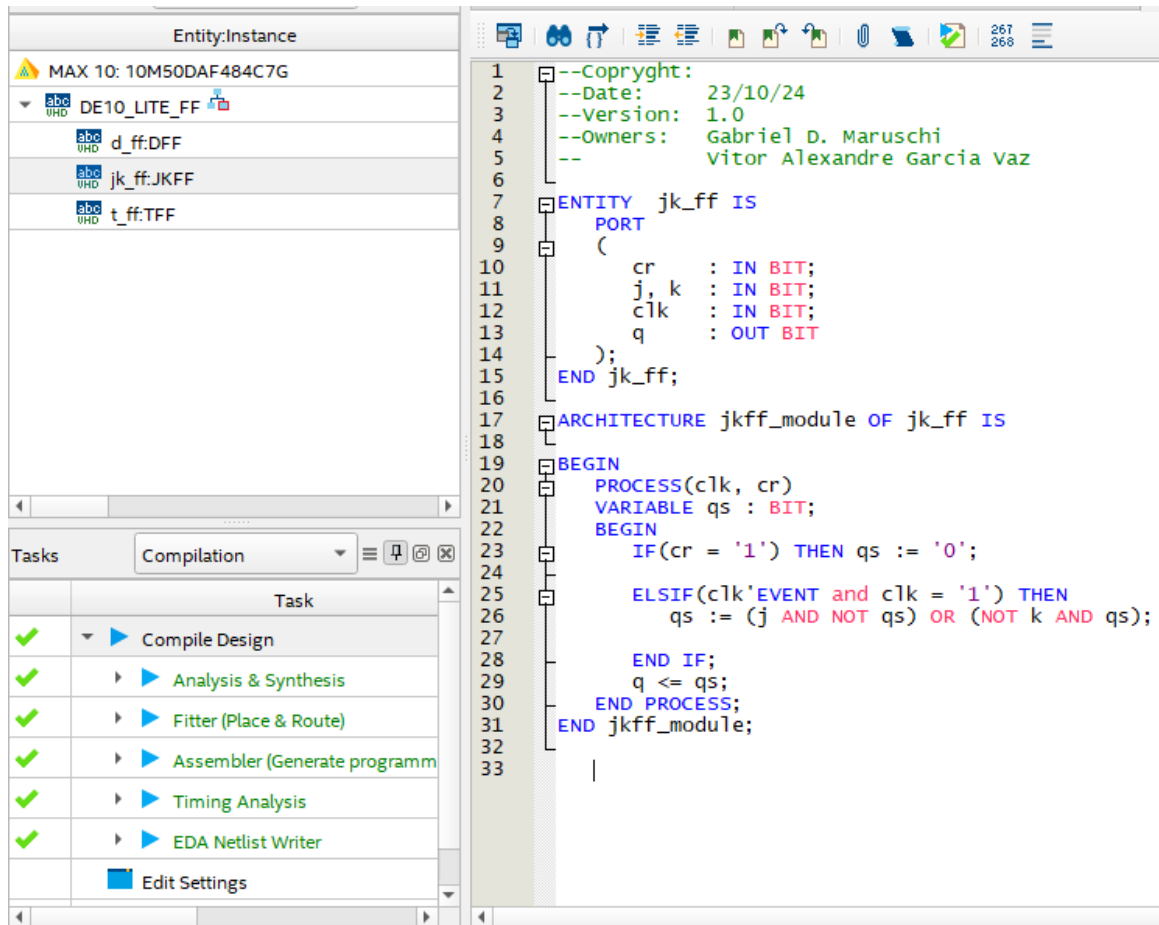
2.2 Flip-Flop JK

O módulo do código do Flip-Flop JK conta com as, anteriormente explicadas, entradas **j**, **k** e **cr**. Esta última é um Clear assíncrono, cujo funcionamento é

$$cr = 1 \Rightarrow q = 0$$

em qualquer momento da execução, independente do clock. A arquitetura conta com a estruturação de um PROCESS, com sensibilidade nos sinais de **clk** e **cr**. Assim que o PROCESS é iniciado, caso **cr** esteja em 1, **qs** (uma variável intermediária para **q**) recebe 0. A outra alternativa é uma mudança em clock, a qual causará a avaliação de um novo sinal para **qs** caso esteja em uma borda de subida. Por fim, **q** recebe o sinal de **qs**.

Figure 6: Código do FF JK

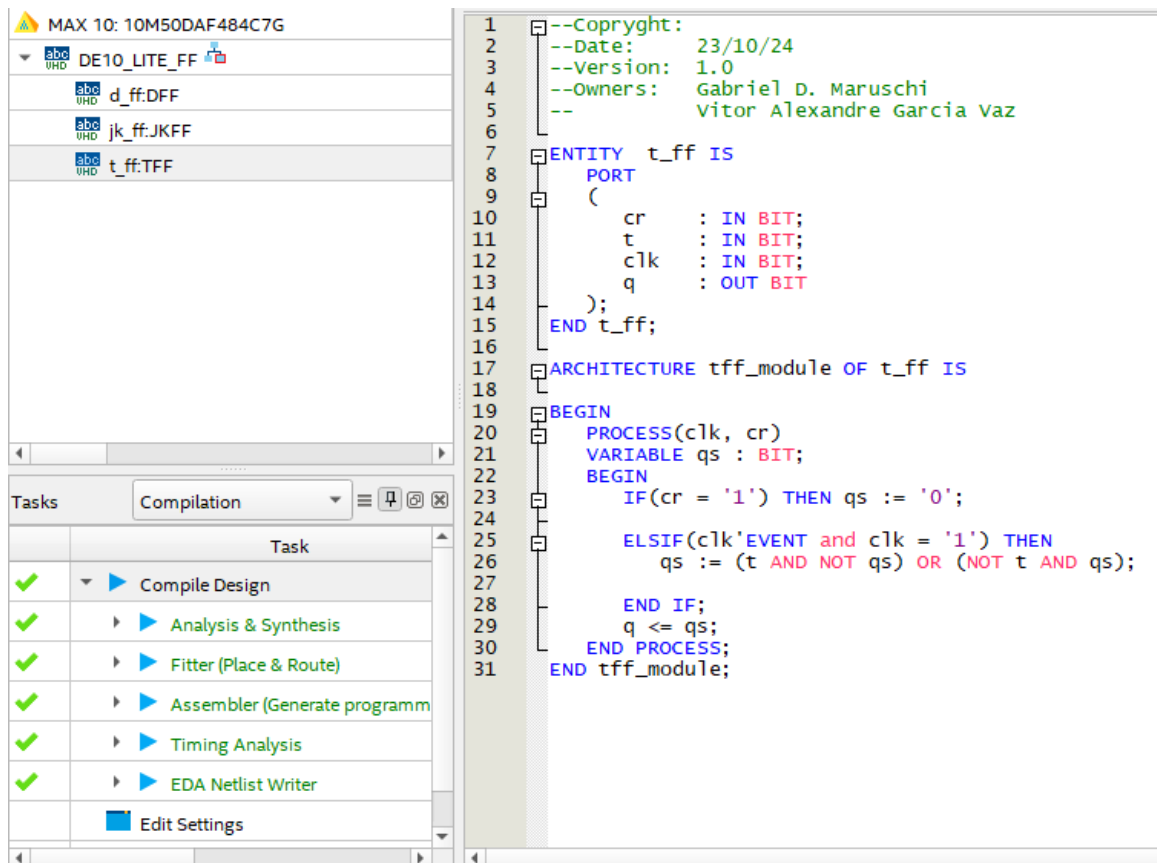


Fonte: os autores

2.3 Flip-Flop Tipo T

O módulo do Flip-Flop tipo T possui as entradas já citadas anteriormente para esse tipo além da entrada de Clear. O funcionamento da arquitetura é similar ao do FF JK, mudando apenas a equação característica que avalia mudanças no sinal de **q** quando as condições de borda de subida de clock são supridas.

Figure 7: Código do FF T

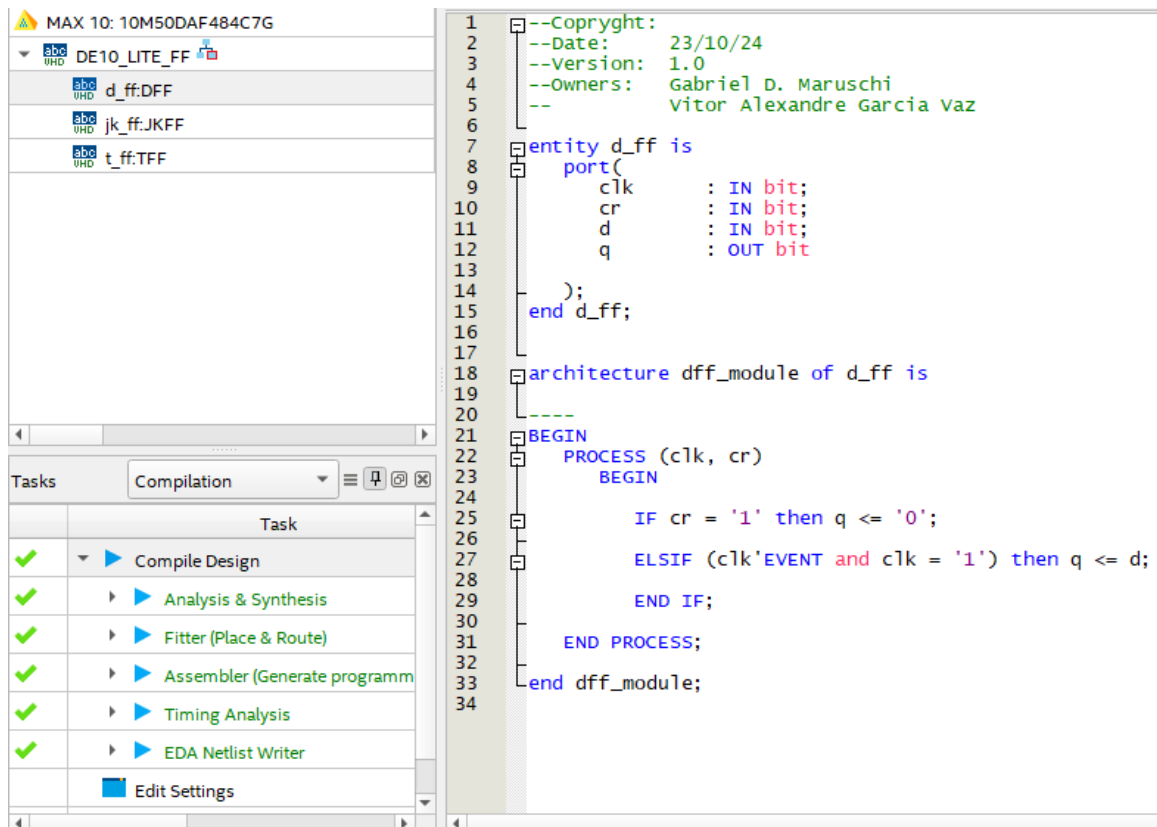


Fonte: os autores

2.4 Flip-Flop Tipo D

Assim como os anteriores, o módulo do Flip-Flop tipo D também possui as entradas citadas na introdução e a entrada de Clear assíncrono. Na arquitetura, utilizamos também a construção com PROCESS e IF, ELSIF. Quando as condições de clock são atingidas, **q** recebe o sinal de **d**, assim como deve ser.

Figure 8: Código do FF D



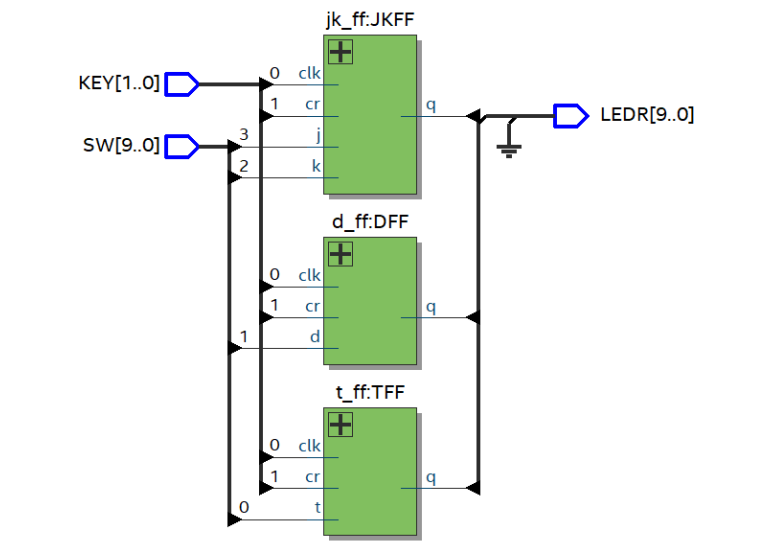
Fonte: os autores

3 Conclusão

3.1 Cicuito RTL

A partir do código em VHDL feito em laboratório, e usando a ferramenta de síntese disponibilizada pelo quartus, o seguinte circuito geral foi obtido :

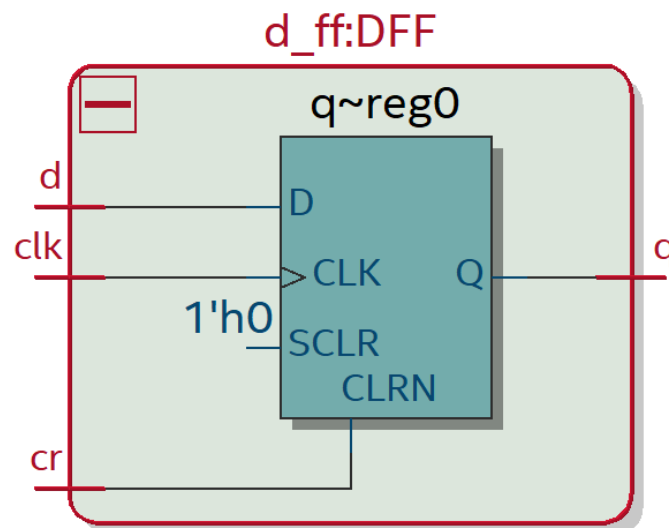
Figure 9: Visualização geral do circuito formado



Fonte: os autores

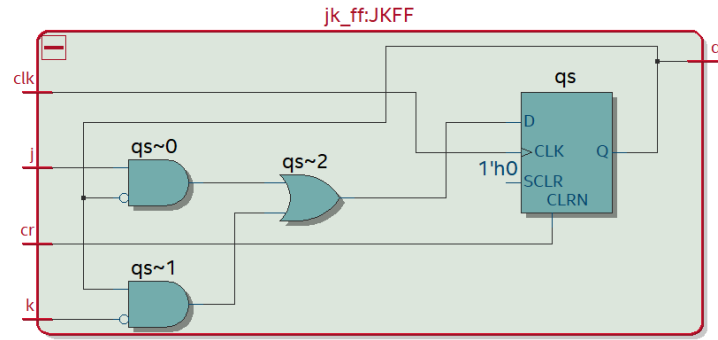
Ademais, foram obtidos os seguintes circuitos referentes, respectivamente, aos flip-flops tipo D, JK e T:

Figure 10: Visualização do circuito referente ao Flip-Flop tipo D



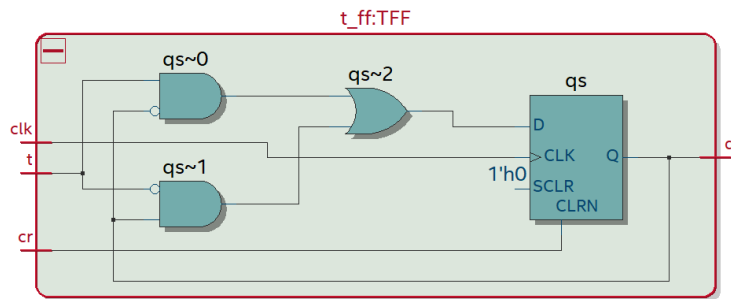
Fonte: os autores

Figure 11: Visualização do circuito referente ao Flip-Flop tipo JK



Fonte: os autores

Figure 12: Visualização do circuito referente ao Flip-Flop tipo T



Fonte: os autores

3.2 Número de células lógicas

Ademais, por meio do resumo do funcionamento e constituição do circuito descrito em VHDL no software (fig13), chegamos à conclusão de que o circuito sintetizado apresentou um uso de 4 células lógicas e 22 pinos do dispositivo reconfigurável (FPGA).

Figure 13: Resumo de funcionamento

Table of Contents		Flow Summary	
Flow Summary		<<Filter>>	
Flow Settings		Flow Status	Successful - Tue Nov 5 18:07:37 2024
Flow Non-Default Global Settings		Quartus Prime Version	23.1std.0 Build 991 11/28/2023 SC Lite Edition
Flow Elapsed Time		Revision Name	DE10_LITE_FF
Flow OS Summary		Top-level Entity Name	DE10_LITE_FF
Flow Log		Family	MAX 10
Analysis & Synthesis		Device	10M50DAF484C7G
Fitter		Timing Models	Final
Assembler		Total logic elements	4 / 49,760 (< 1 %)
Timing Analyzer		Total registers	3
EDA Netlist Writer		Total pins	22 / 360 (6 %)
Flow Messages		Total virtual pins	0
Flow Suppressed Messages		Total memory bits	0 / 1,677,312 (0 %)
		Embedded Multiplier 9-bit elements	0 / 288 (0 %)
		Total PLLs	0 / 4 (0 %)
		UFM blocks	0 / 1 (0 %)
		ADC blocks	0 / 2 (0 %)

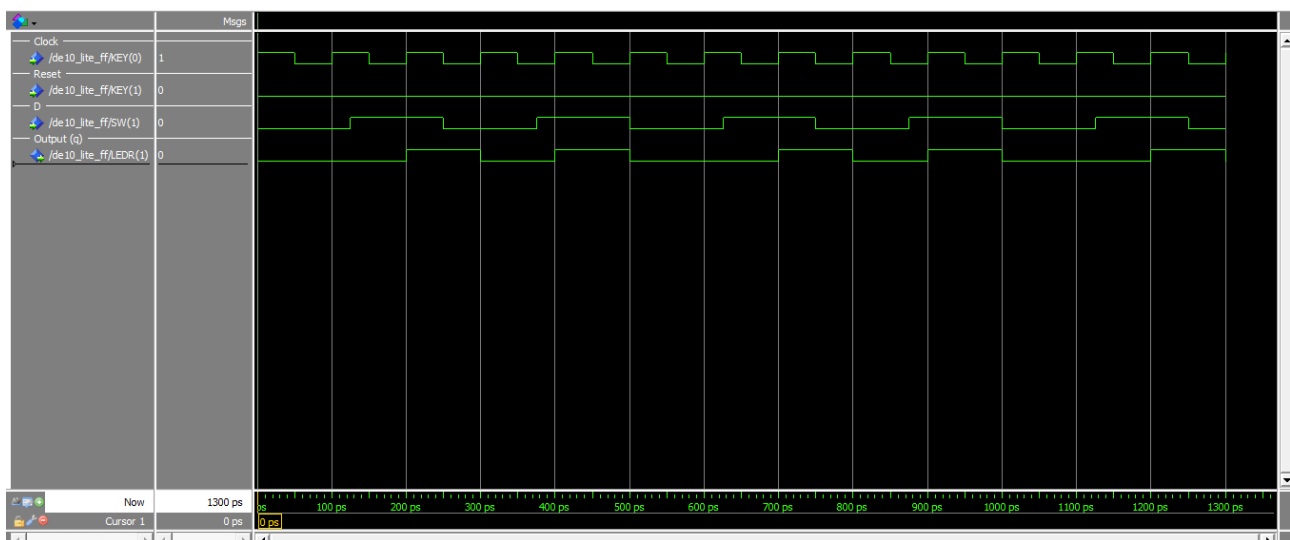
Fonte: os autores

3.3 Funcionamento do Flip-Flop tipo D

Referentemente ao flip-flop tipo D, elaborado através do código da fig.8, implementamos este circuito sequencial em uma FPGA através da interface com o kit DE10-LITE (fig.5) e , desse modo, simulamos o funcionamento da FPGA através do software ModelSim, já que a dupla não pode, por questões de tempo, tirar as fotos do circuito funcionando em sala de aula.

Após a simulação, obtemos as seguintes relações de sinais digitais de clock (botão *KEY(0)*), reset (botão *KEY(1)*), sinal de entrada D (*SW(1)*) e sinal saída Q (*LEDR(1)*) :

Figure 14: Simulação de funcionamento da FPGA para flip-flop tipo D



Fonte: os autores

Através da figura, é possível notar que, de forma correspondente à esperada pelo grupo após a elaboração

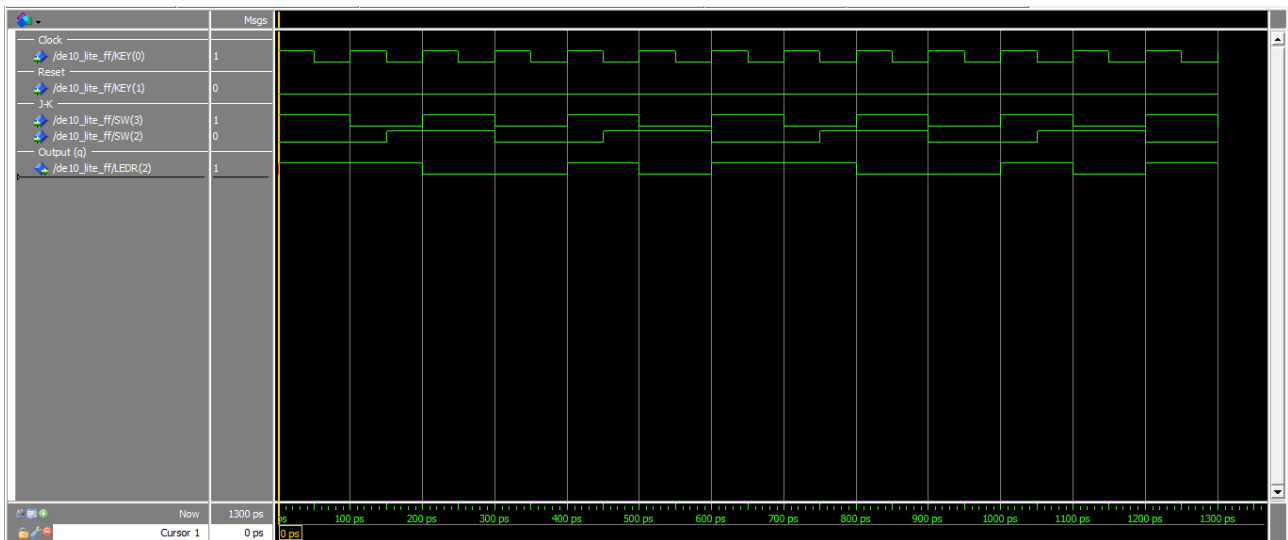
dos códigos de descrição, a saída Q, após toda borda positiva de clock, adquire o mesmo valor da entrada D, fato o qual evidencia o adequado funcionamento do circuito, já que ele corresponde à tabela verdade referente a tal flip-flop (fig.3).

3.4 Funcionamento do Flip-Flop tipo JK

Em sequência, em relação ao flip-flop tipo JK - elaborado através do código da fig.6 - também implementamos este circuito sequencial na mesma FPGA através da interface com o kit DE10-LITE (fig.5) e, desse modo, simulamos o funcionamento da FPGA através do software ModelSim.

Após a simulação, obtemos as seguintes relações de sinais digitais de clock (botão *KEY(0)*), reset (botão *KEY(1)*), sinal de entrada J (*SW(3)*), sinal de entrada K (*SW(2)*) e sinal saída Q (*LEDR(2)*):

Figure 15: Simulação de funcionamento da FPGA para flip-flop tipo JK



Fonte: os autores

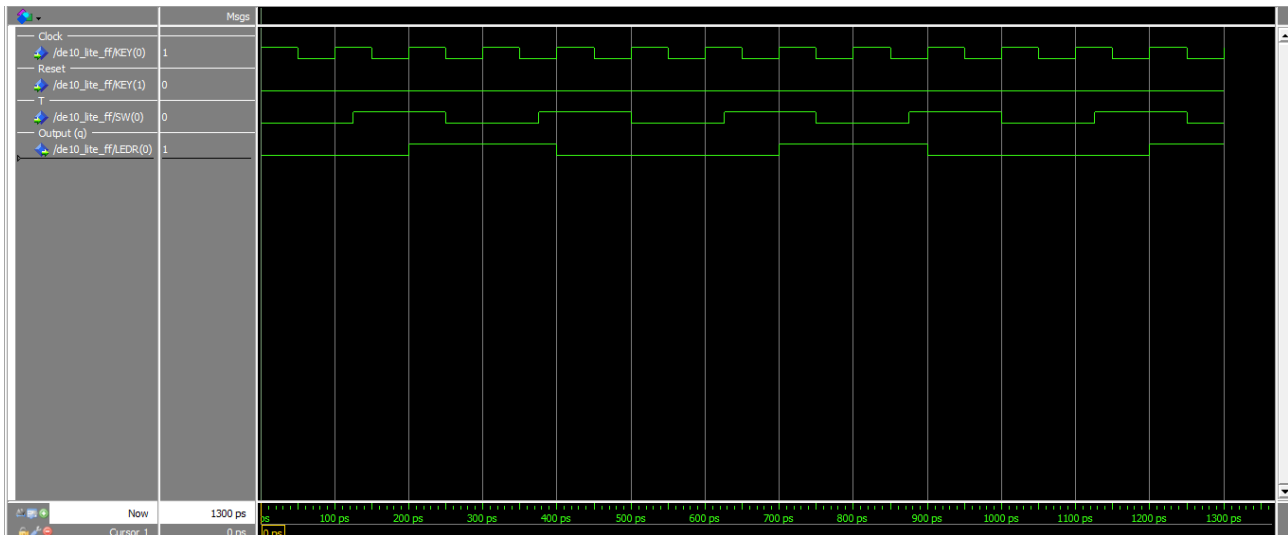
Por meio de tal visualização, é possível notar que, de forma correspondente à esperada pelo grupo após a elaboração dos códigos de descrição, a saída Q, após toda borda positiva de clock: é mantida se $J = 0$ e $\bar{K} = 1$; é igual a 0 se $J = 0$ e $\bar{K} = 0$; é igual 1 se $J = 1$ e $\bar{K} = 1$; e, por último, é invertida se $J = 1$ e $\bar{K} = 0$. Fatos os quais evidenciam o adequado funcionamento do circuito, pois está em conformidade com a tabela verdade referente a tal flip-flop (fig.3).

3.5 Funcionamento do Flip-Flop tipo T

Por fim, tratando-se do flip-flop tipo T - elaborado através do código da fig.7 - implementamos este circuito sequencial na mesma FPGA através da interface com o kit DE10-LITE (fig.5) e, posteriormente, simulamos o funcionamento da FPGA através do software ModelSim.

Após a simulação, obtemos as seguintes relações de sinais digitais de clock (botão *KEY(0)*), reset (botão *KEY(1)*), sinal de entrada T (*SW(0)*) e sinal saída Q (*LEDR(0)*):

Figure 16: Simulação de funcionamento da FPGA para flip-flop tipo T



Fonte: os autores

Por meio de tal visualização, é possível notar que, de forma correspondente à esperada pelo grupo após a elaboração dos códigos de descrição, a saída Q, após toda borda positiva de clock, é mantida se $T = 0$ e é invertida se $T = 1$. Fatos os quais evidenciam o adequado funcionamento do circuito, já que os resultados estão em conformidade com a tabela verdade referente a tal flip-flop (fig.2).