

Departamento de Engenharia Elétrica e de Computação

SEL0606 – Laboratório de Sistemas Digitais

Prof. Dr. Maximilian Luppe

PRÁTICA Nº5

Dispositivos de Lógica Programável tipo FPGA

Circuitos Combinacionais

Objetivos:

Familiarização com a ferramenta Quartus Lite, da Intel, e Projeto e síntese de circuitos combinacionais em dispositivos reconfiguráveis (FPGA) utilizando VHDL, em projeto hierárquico com metodologia *Top-down*.

Equipamentos necessários:

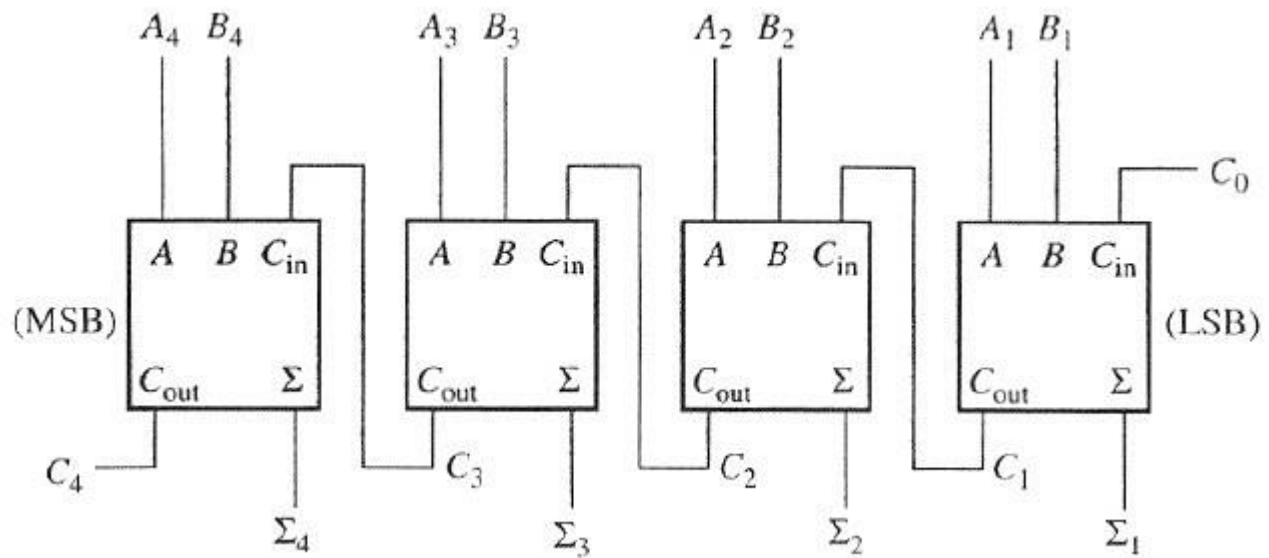
- Kit DE10-Lite

Introdução:

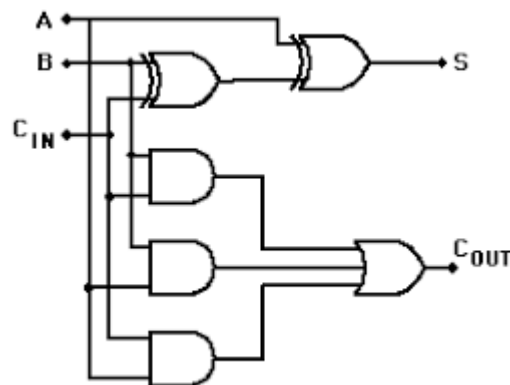
Esta prática de laboratório tem por objetivo a implementação de um somador de 4 bits no kit DE10-Lite (MAX10 10M50DAF484C7G), utilizando comandos concorrentes WHEN-ELSE e WITH-SELECT.

Os somadores são circuitos combinacionais utilizados para realizam operações matemáticas com aritmética binária. O somador mais simples que pode ser implementado é o *Ripple-Carry Chain* (RPC), apresentado na figura 1 (a), formado por somadores completos (*full-adder*), apresentado na figura 1 (b), interligados em cascata (*chain*) por meio dos sinais de entrada e saída de *carry*. Desta forma, é possível implementar somadores de N bits de forma rápida e simples.

Figura 1-Exemplo de somador de 4 bits tipo *Ripple-carry* (a) com somador completo (b)



(a)



(b)

Fonte: sites da internet

Em projetos de sistemas digitais, os somadores podem ser utilizados principalmente para realizar operações de soma, mas também operações de subtração, multiplicação e comparação. Em arquiteturas de computadores, o somador é utilizado para implementar a ULA – Unidade Lógica Aritmética.

Procedimento Experimental:

Apresentar a implementação de um somador de 4 bits utilizando somadores completos na configuração de RPC. Apresentar a implementação utilizando componentes TTL da família 74LSxx.

Criar uma pasta denominada `DE10_Lite_adder`, com as subpastas `docs`, `modelsim`, `quartus` e `src`, e, utilizando o Quartus Lite, criar um projeto a pasta `quartus`, também denominado `DE10_Lite_adder`.

Implementar a entidade de projeto `DE10_Lite_adder.vhd` no projeto `DE10_Lite_adder`, definindo este arquivo como “Top-Level Entity”. Esta entidade irá solicitar o componente somador (`adder.vhd`), interligando as chaves `SW(3 downto 0)` e `SW(7 downto 4)` nas entradas `A` e `B`, respectivamente, e a saída `RESULT` nos LEDs `LEDR(3 downto 0)`.

Solicitando quatro vezes o componente somador completo (`fadd.vhd`), implementar um somado de 4 bits, denominado `adder.vhd`, com entradas `A` e `B`, e a saída `RESULT`.

Implementar um somador completo, denominado `fadd.vhd`, com os sinais de entrada `a`, `b` e `ci`, e as saídas `s` e `co`. Utilizar o comando concorrente `WITH-SELECT` para implementar a lógica da saída `s`, e o comando concorrente `WHEN-ELSE` para implementar a lógica da saída `co`.

Apresentar código VHDL, circuito RTL, número de células lógicas utilizadas e foto do kit com o circuito funcionando.