

ASModee Asynchronous RISC V Core

THIRION NATHAN, LESAGE XAVIER

04/05/2020

Sommaire

RISC V

- Ibex
- ARISC

Asynchrone

- Handshake
- Muller's Gate
- Architecture d'un bloc

Flot et Méthodologie

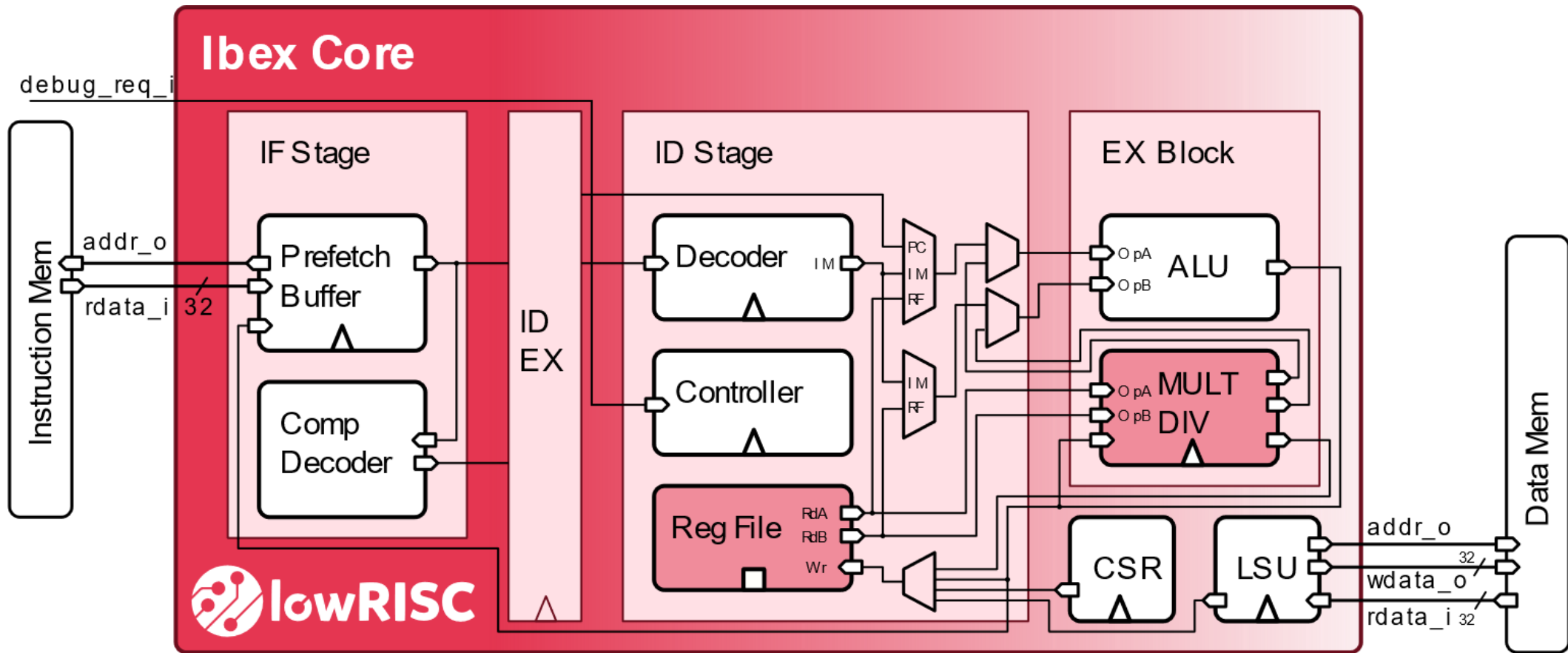
Résultats et Perspective

Conclusion

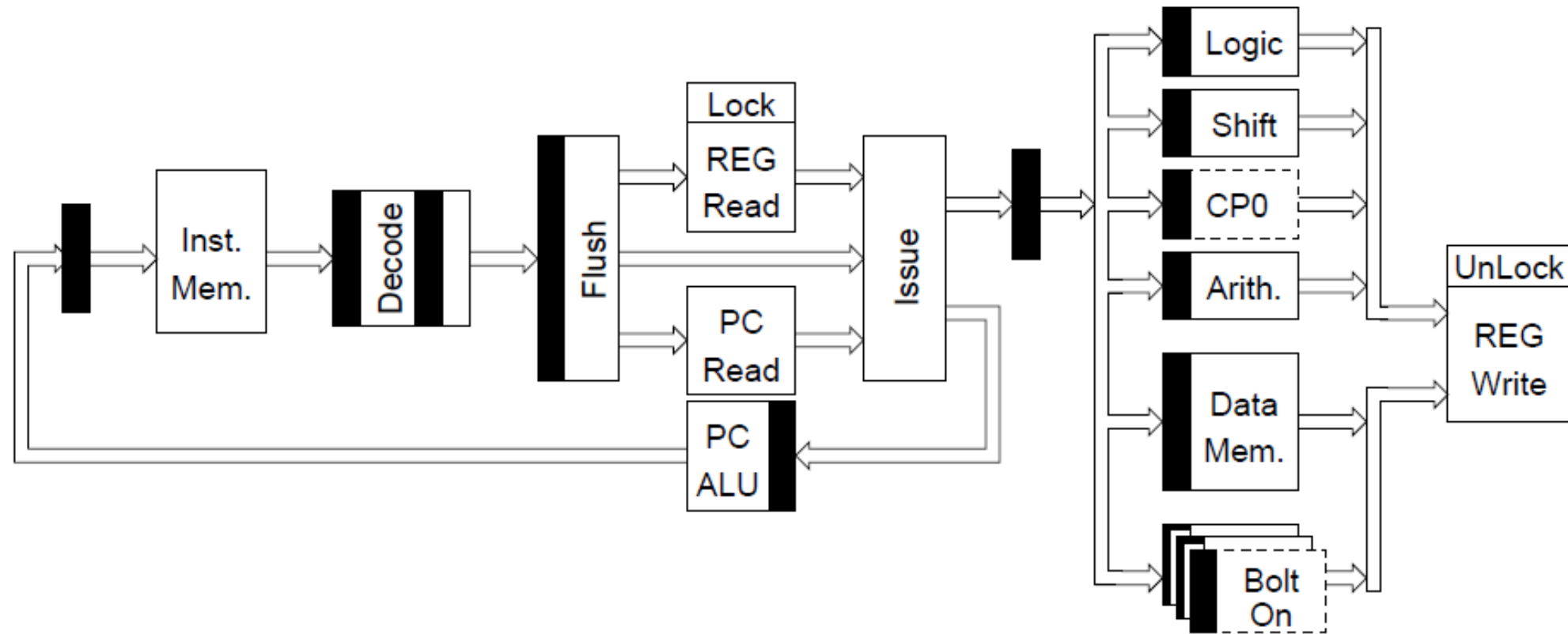
Annexes

- A - 4-Phase Handshake
- B - Chronogramme C-element
- C - Chronogramme 2 contrôleurs
- D - Chronogramme contrôleur et BUS
- E - Chronogramme asmodee

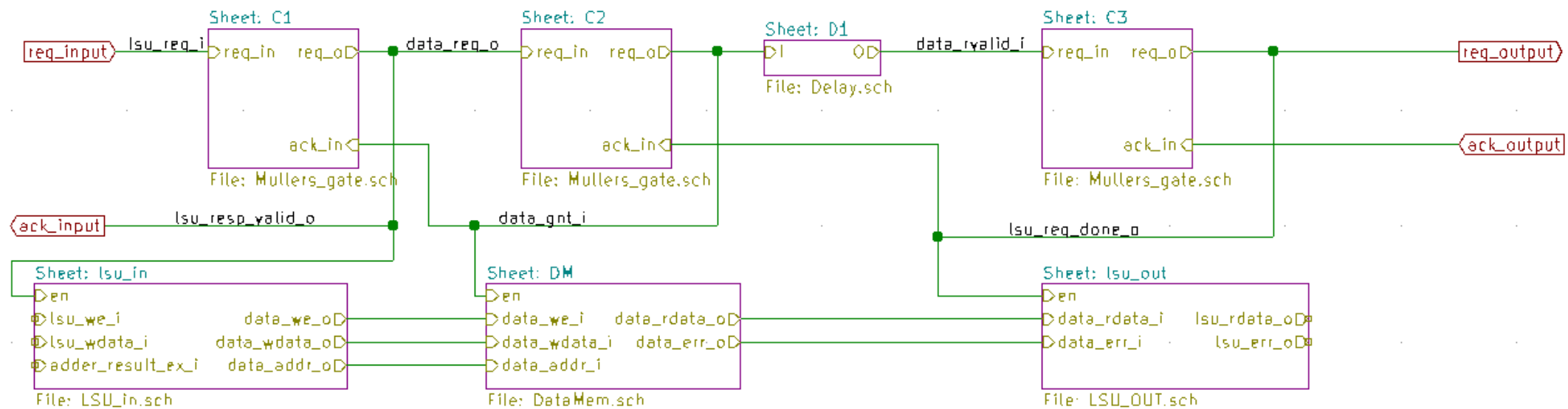
RISC V - Ibex



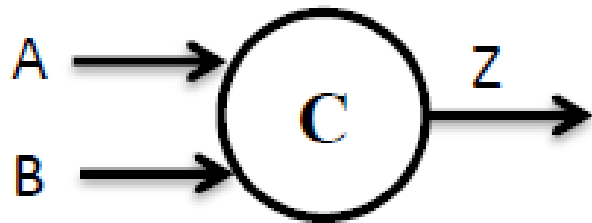
ARISC – Jens Sparsø



Asynchrone - Handshake

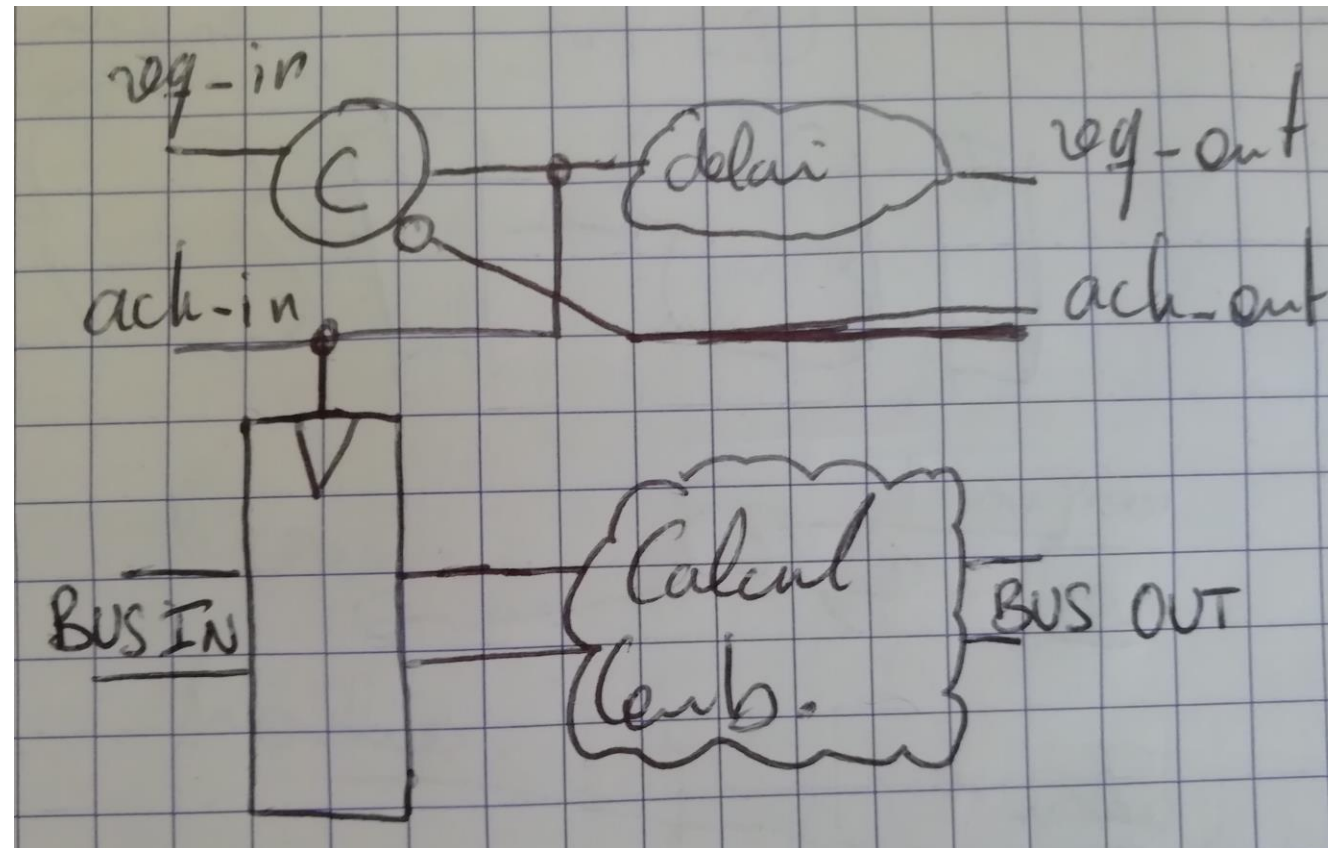


Muller's gate



F	R	Z
0	0	0
0	1	<i>Memory</i>
1	0	<i>Memory</i>
1	1	1

Architecture d'un bloc



Flot et Méthodologie

Conception de Blocs combinatoires fonctionnels

- vérification en banc de test

Actualisation des données en entrée sur un signal enable (cf Architecture d'un Bloc)

Conception d'un contrôleur asynchrone universelle (réglage des délais simple)

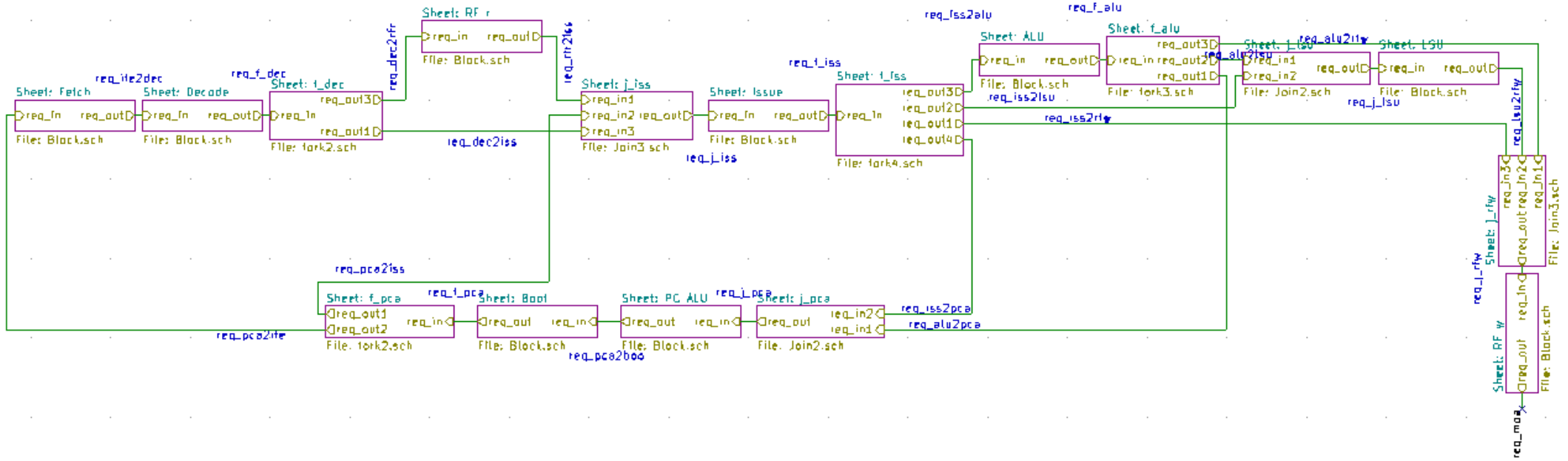
- Forks et Joins adaptées

Mise en place du circuit de requête asynchrone et de l'initialisation

Connexion des blocs au contrôleur asynchrone

Définition d'une mémoire d'instruction pour tester le core

Resultats



Conclusion & Perspectives

POC:

Architecture fonctionnelle et adaptable

Exécution de programme assembleur simple

Gestion des exceptions

Différents modes d'exécution (Debug)

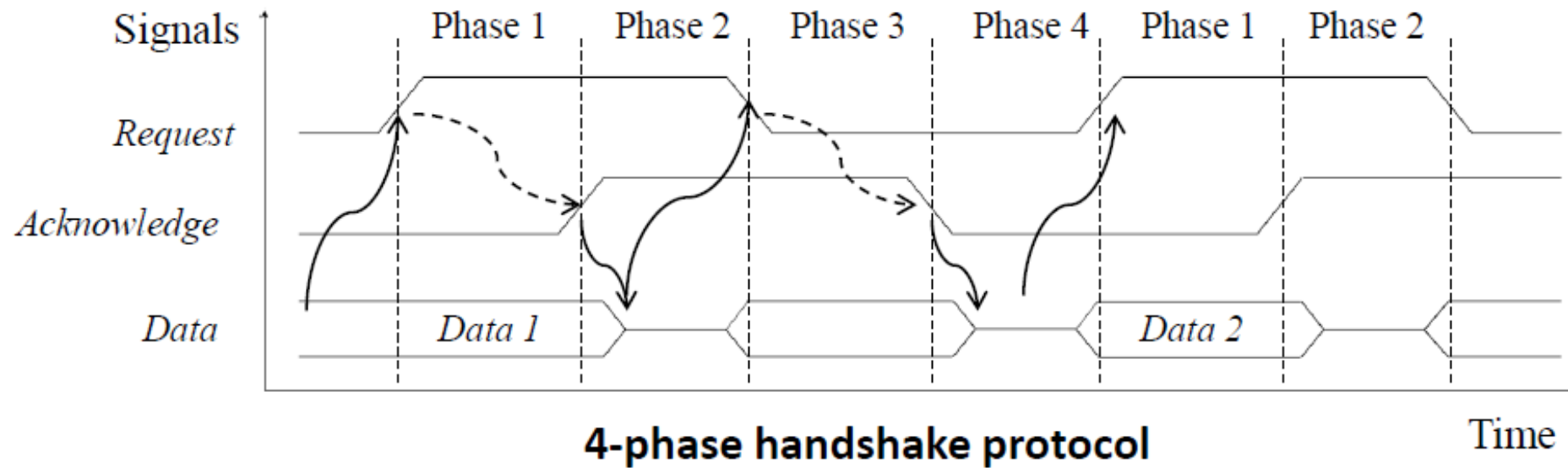
Gestion des CSR

Gestion des instructions comprimées

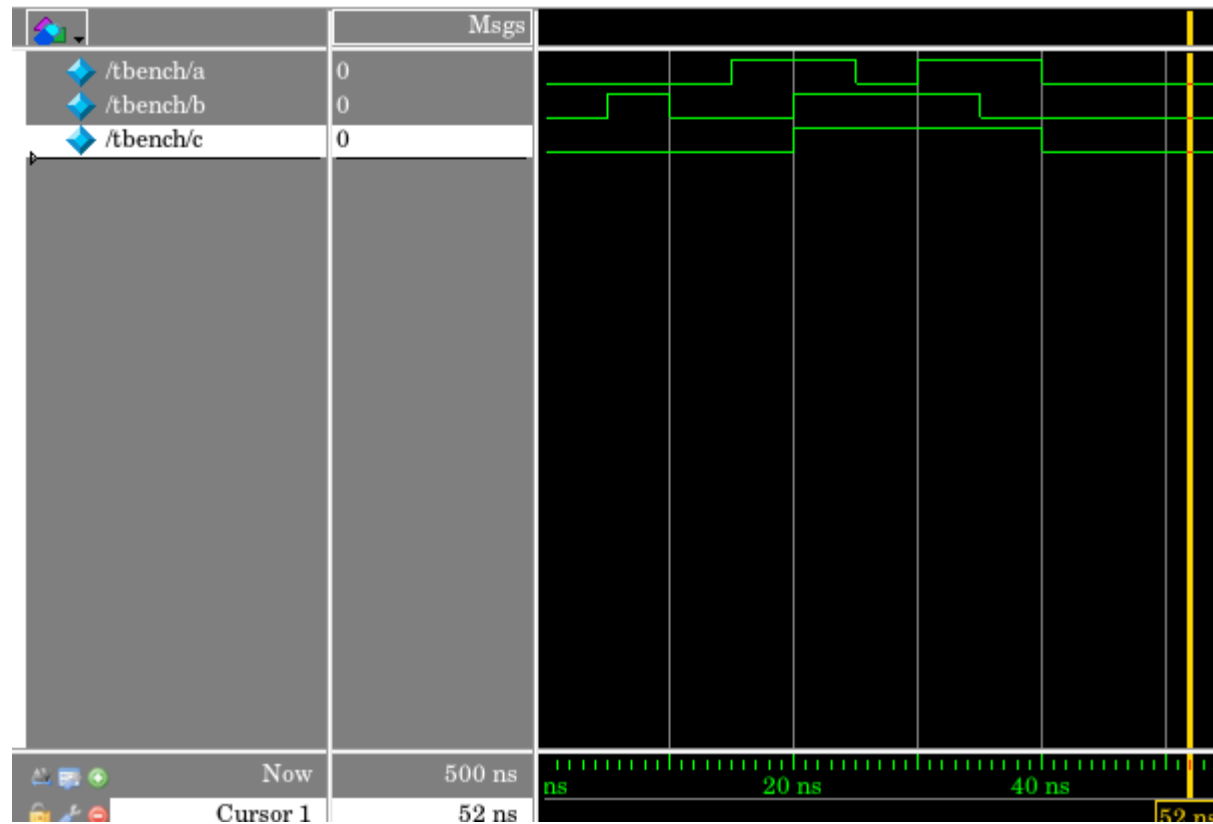
Ajout de fonctionnalités supplémentaires (p.
ex. Mult/Div)

Revoir Fork et Join en Split et Merge

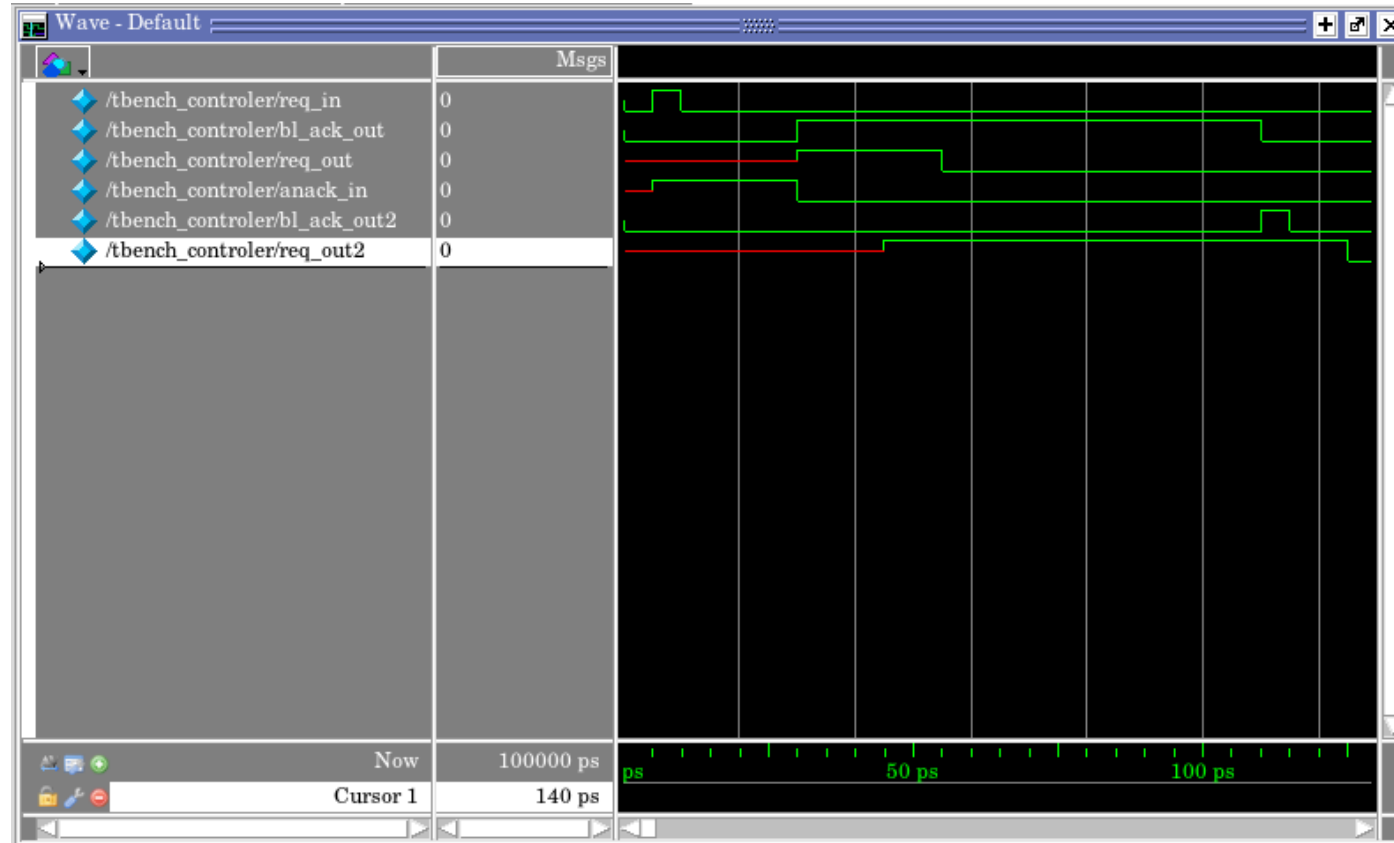
Annexe A: 4-Phase Handshake



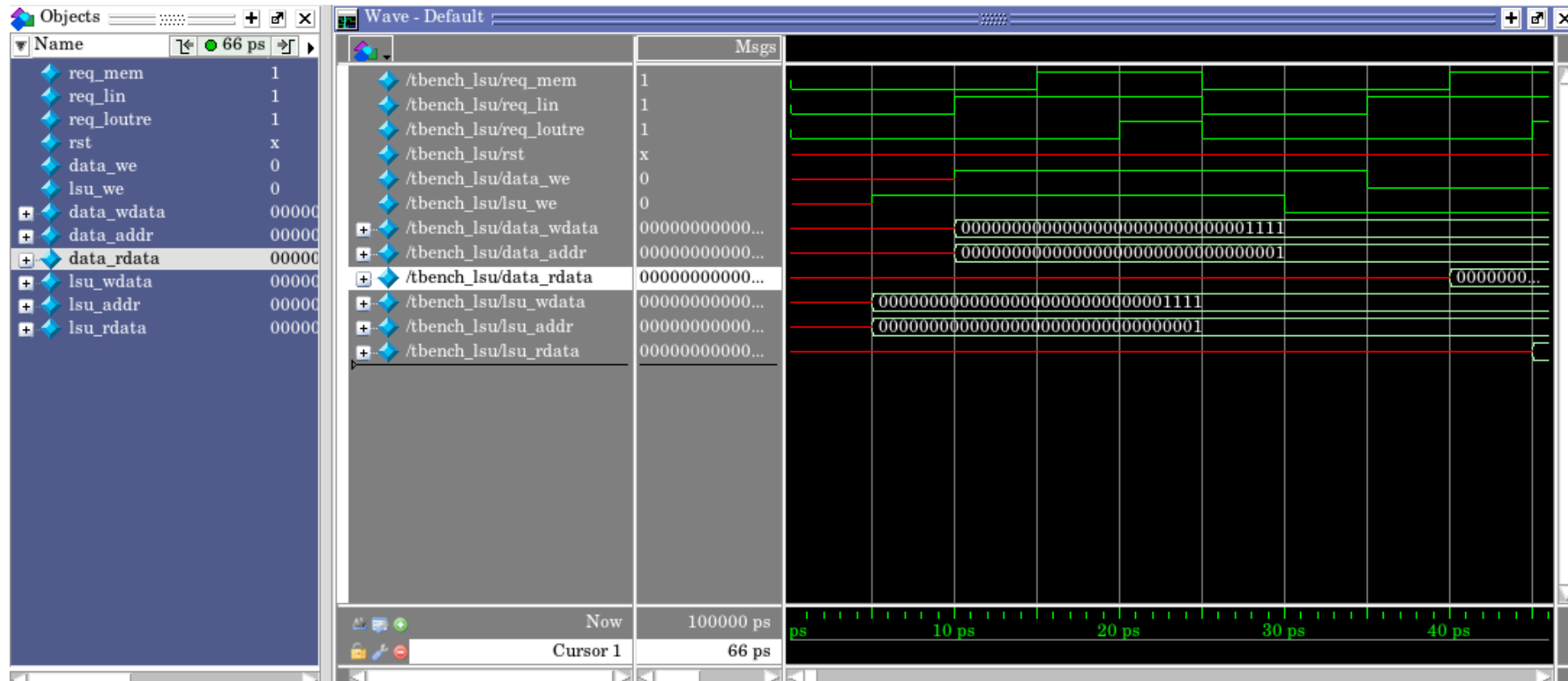
Annexe B: Chronogramme C-element



Annexe C: Chronogramme 2 contrôleurs



Annexe D: Chronogramme contrôleur et BUS



Annexe E: Chronogramme asmodee

