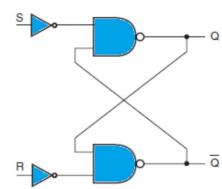
作業 #16

- ■#練習:延續作業#11、作業 #14,利用邏輯閘實現一個用 NAND 設計的 SR Flip-Flop Circuit。
- Requirements:
 - 1. LogicGate 當中有兩個虛擬函式 performGateLogic 和 setNextPin
 - 2. performGateLogic 用來執行邏輯運算,setNextPin 用來指定 Input
 - 3. Connector類別用來將「fromgate」接到「togate」
 - 4. 繼承自 BinaryGate 實作一個 NANDGate
 - 5. 繼承自 LogicGate 實作一個 SRGate (模擬下方電路結構)
- ■Sample Input:參考下頁
- ■Sample Output:參考下頁

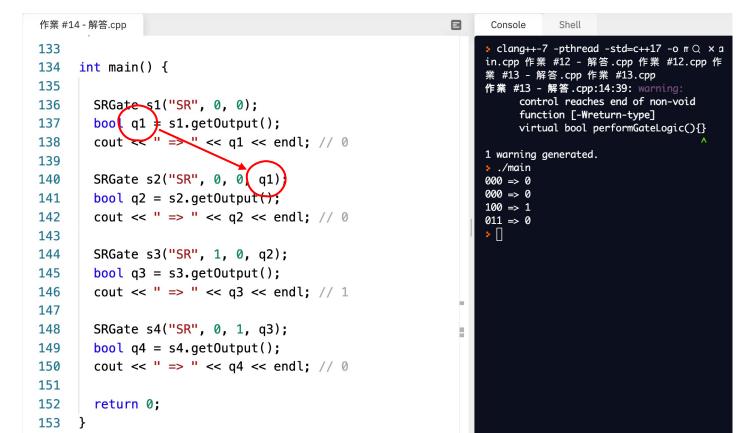


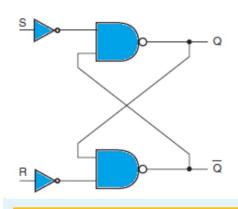
١					
	s	P R	resent State Q(t)	Next State Q(t+1)	
	0	0	0	0	
	0	0	1	1	
	0	1	0	0	
	0	1	1	0	
	1	0	0	1	
	1	0	1	1	
	1	1	0	undefined	
	1	1	1	undefined	

參考程式碼與結果

■你可以參考下列程式碼修改,也可以自己從頭開始寫。只要執行

結果符合題目要求即可。





	P	resent State	Next State
s	R	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	undefined
1	1	1	undefined

作業繳交說明

你需要繳交以下檔案到 Portal 作業:

- 1. cpp 程式碼
- 2. 程式碼內有文字說明的註解
- 3. 執行結果截圖

(若無法上傳多個檔案,請壓縮成 zip 或 rar 格式,並且命名成「學號.zip」或「學號.rar」)

- 上課分享者學期成績 +2
- ■本次作業截止時間: 05/30(日)23:59

```
> clang++-7 -pthread -std=c++17 -o main main.cpp
> ./main
Hello World, 王大明
> ■
```