

简单组合逻辑电路的设计

计04 项晨东 2019011831

实验目的

- 1. 理解用小规模数字集成电路组成组合逻辑电路的分析与设计方法。
- 2. 通过全加运算电路和减法运算电路的设计，熟悉原码、反码、补码的概念，以及用补码实现减法运算的方法。

实验内容

实现改进的两位减法运算，当A≥B时显示所得的差；当A<B时显示出负号及用原码表示的差值。

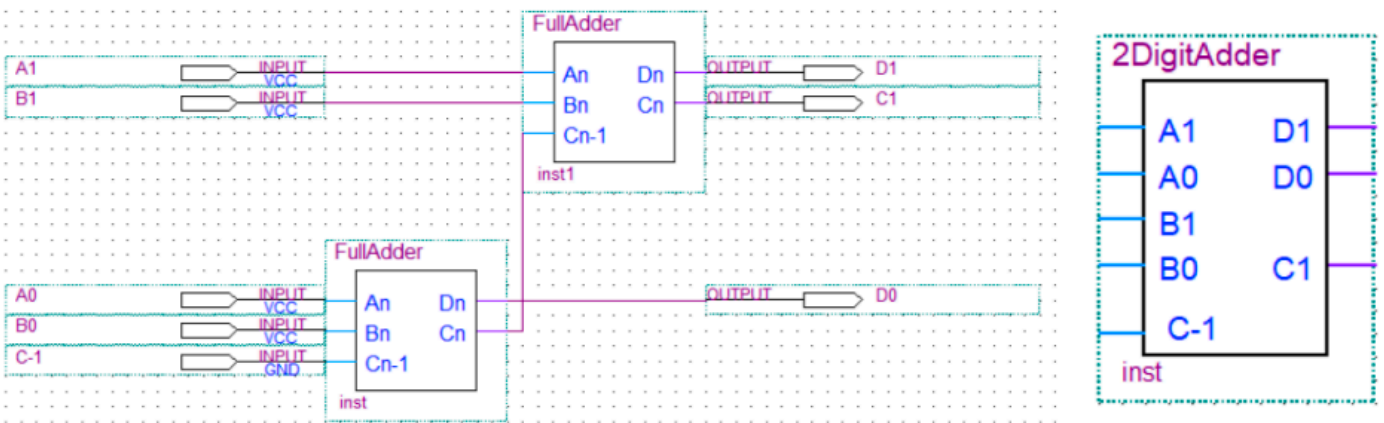
全加器的逻辑分析：

全加器的功能是实现一个二进制加数与一个来自低位进位的加法运算。An、Bn 表示两个加数，Cn-1 表示低位进位，Dn 表示全加和，Cn 表示向高位的进位。其逻辑表达式为：

$$D_n = A_n \oplus B_n \oplus C_{n-1}$$
$$C_n = A_n \cdot B_n + C_{n-1} \cdot (A_n \oplus B_n) = \overline{(A_n \cdot B_n)} \cdot \overline{(C_{n-1} \cdot (A_n \oplus B_n))}$$

这里为了减少逻辑门的使用，将Cn的逻辑尽量简化为与非门的形式。

二位全加器可以通过两个一位全加器相连得到：



二位减法补码表示：

只需将减数B1，B0取反，并且C-1置位Vcc即可，C1位取反才得到正确的结果符号位。

二位减法原码表示：

先研究原码和补码的关系：

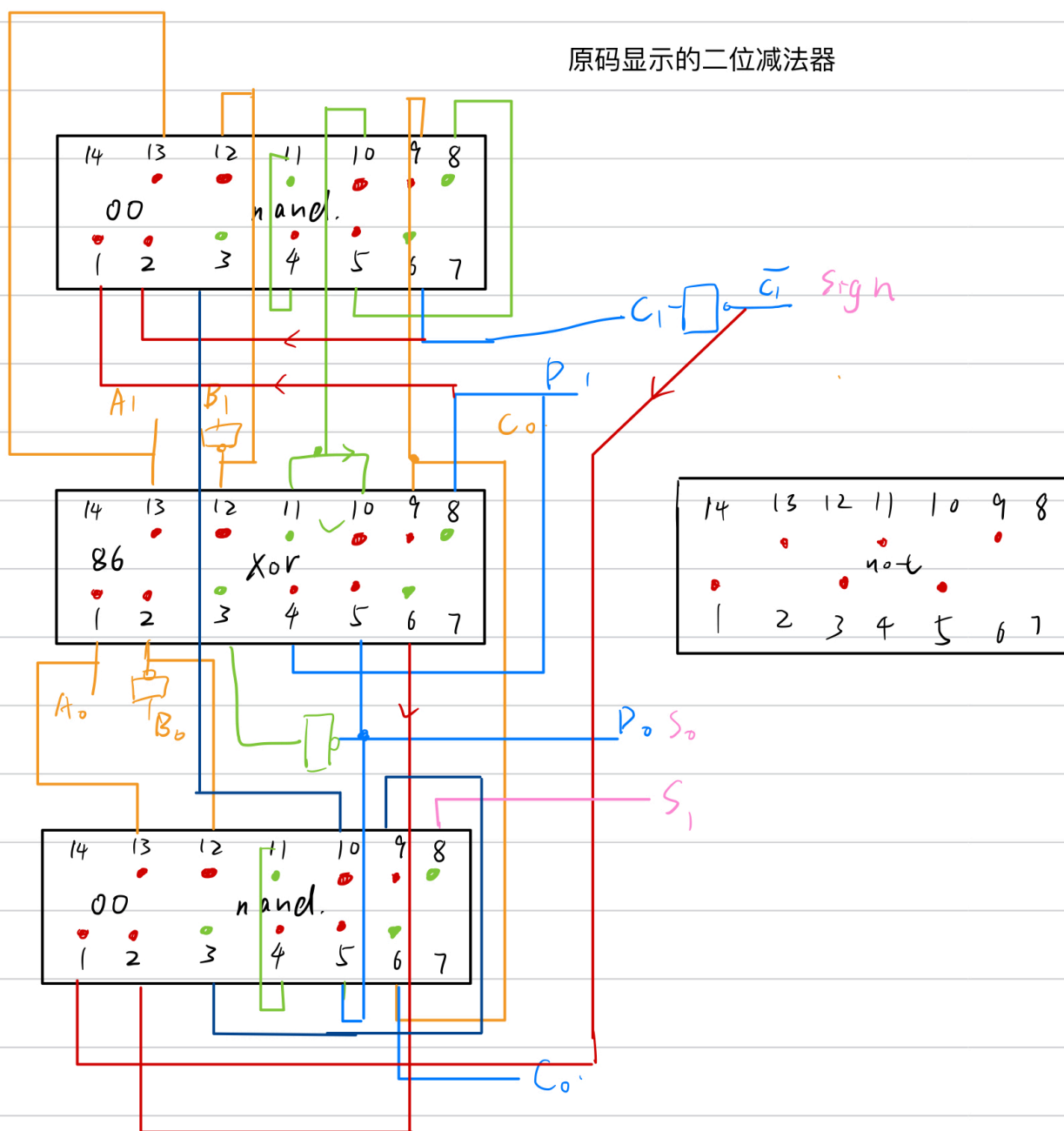
符号位(C1取反)	D1	D0	十进制	符号位	S1	S0
0	0	0	0	0	0	0
0	0	1	1	0	0	1
0	1	0	2	0	1	0
0	1	1	3	0	1	1
1	0	1	-3	1	1	1
1	1	0	-2	1	1	0
1	1	1	-1	1	0	1

可知 符号位 = $\overline{C_1}$, $S_0 = D_0$, $S_1 = C_1 \cdot D_1 + \overline{C_1} \cdot (D_1 \oplus D_0) = \overline{\overline{C_1 \cdot D_1} \cdot \overline{\overline{C_1} \cdot (D_1 \oplus D_0)}}$

可知将以上的二位减法器的输出再做一次逻辑转换即可显示正确的原码。同时因为C-1已经为默认被置为Vcc, 所以和C-1相关的与非门以及异或们都可以用非门进行替代。所以实验共需要4个异或门, 8个与非门和5个非门。只需1个74LS86芯片,两个74LS00芯片, 1个74LS04芯片即可。

实验得到的设计路线图如下:

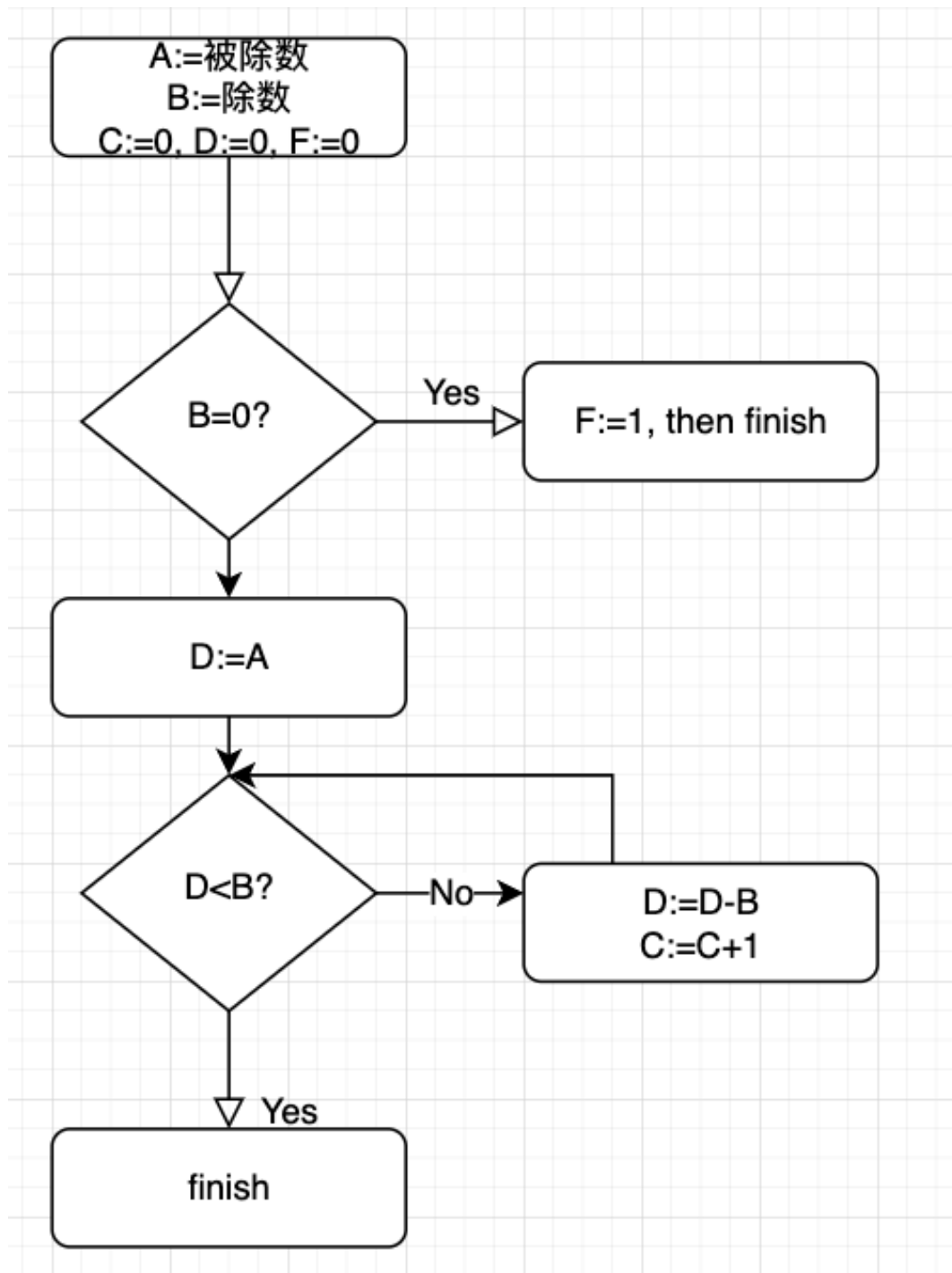
原码显示的二位减法器



思考题

4.2.8

考虑用时序电路的设计方法，不断令被除数减去除数，直到剩余的被除数小于除数。定义 F 为错误指示，F=0 表示正确运行，F=1 表示出现错误（除数为 0），框图如下所示。其中，循环由时钟完成， $D \leftarrow D - B$ 由 4 位二进制减法器完成， $C \leftarrow C + 1$ 由 4 位计数器完成。



工作原理：

赋值 A 和 B，并将 C、D、F 置 0。如果除数为 0，则结束；否则令 $D=A$ ，然后不断让 D 减去 B，直到 $D < B$ 为止，每减一次使 $C+1$ ； $D < B$ 时停止，此时 C 为商，D 为余数。

最后感谢助教和老师的辛苦付出～