

# IC设计制造流程培训

# 纲要

- 行业背景知识
- 集成电路的设计
- 集成电路的生产制造过程
- 集成电路的封装以及测试

# 第一部分

- 行业背景知识
- 集成电路的设计过程
- 集成电路的生产制造过程
- 集成电路的封装以及测试

# 概述

- 行业背景知识
  - 什么是微电子技术和集成电路？
  - 集成电路的基本概念
  - 集成电路的起源
  - 集成电路的发展及ITRS
    - International Technology Roadmap for Semiconductors
  - 我国集成电路行业现状

# 什么是微电子技术？

## — 芯片制造技术

- 超精细加工技术、薄膜生长和控制技术、高密度组装技术、过程检测和过程控制技术

## — 计算机辅助设计与计算机辅助测试技术

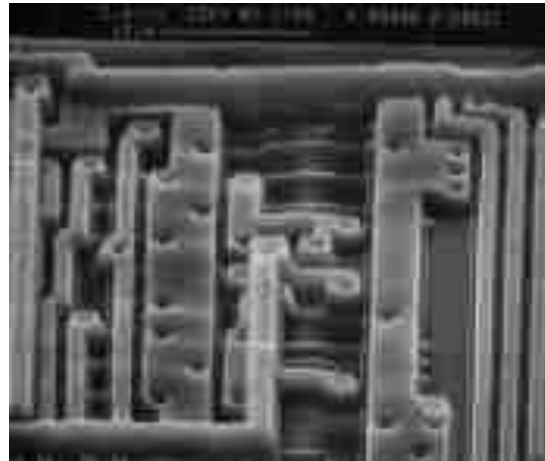
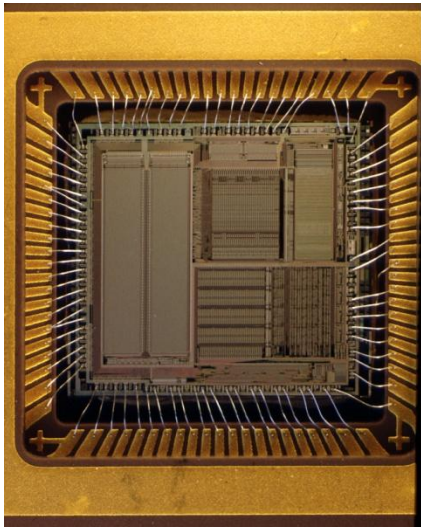
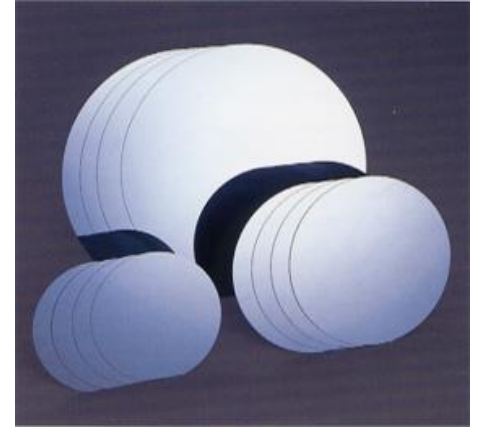
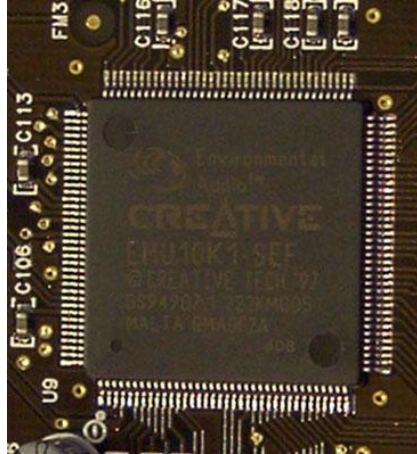
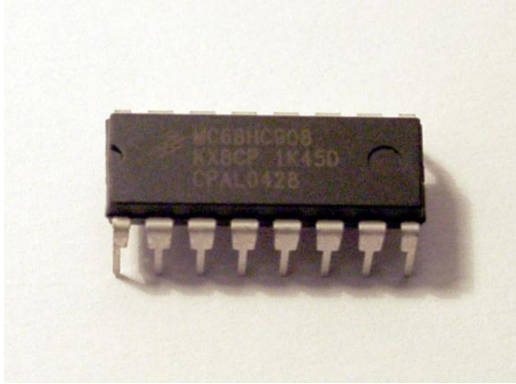
## — 掩膜制造技术

## — 材料加工技术

## — 可靠性技术

## — 封装技术和辐射加固技术

# 什么是集成电路？



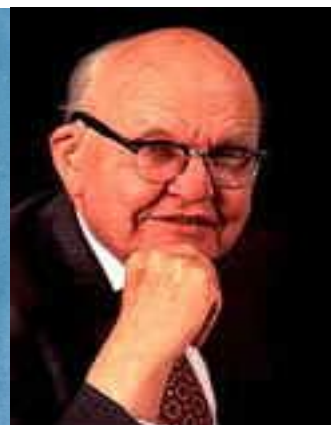
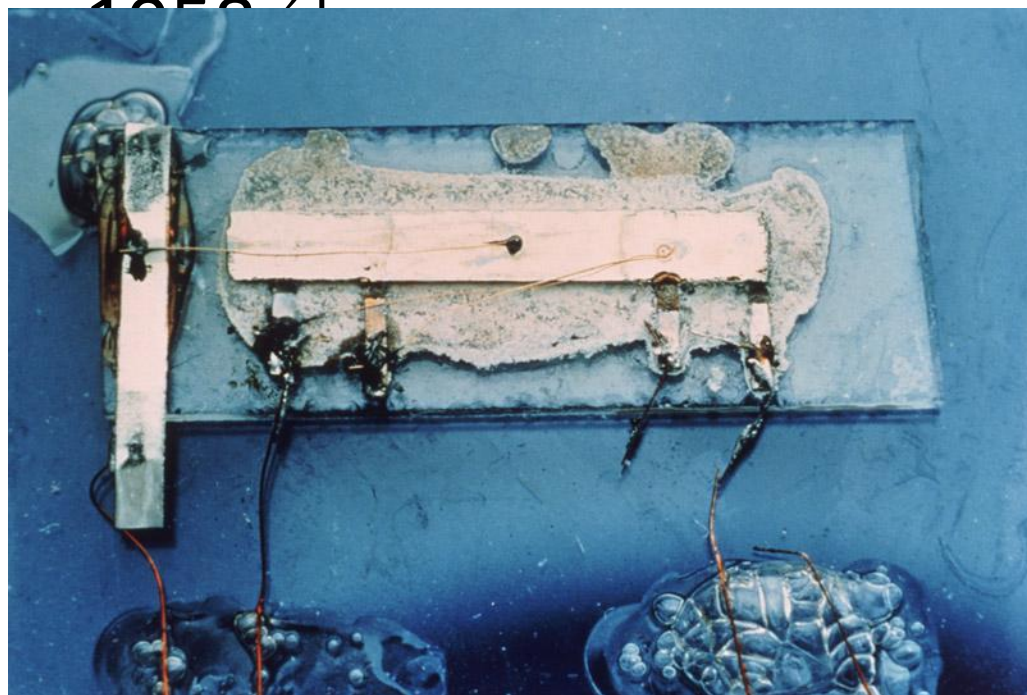
# 集成电路的基本概念

## ❖ 常用术语

- ✓ 晶圆 (**WAFER**)
- ✓ 前、后道工序
- ✓ 光刻
- ✓ 特征尺寸 (即线宽)

# 集成电路的起源

- 晶体管的发明, Bell Lab, 1947年
- 集成电路概念, 杰克-基尔比 (Jack Kilby), TI, 1958年



TEXAS  
INSTRUMENTS

0975-60





# 集成电路的发展

- 第一次变革：以加工制造为主导的IC产业发展的初级阶段。70年代
  - IC设计是附属部门。人工设计为主。
- 第二次变革：Foundry公司与IC设计公司的崛起。80年代
  - 集成电路的主流产品为微处理器（MPU）、微控制器（MCU）及专用IC（ASIC）
- 第三次变革：“四业分离”的IC产业。90年代
  - 形成了设计业、制造业、封装业、测试业独立成行

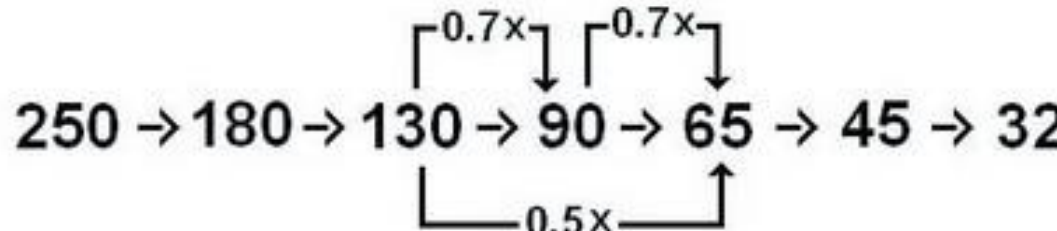
# International Technology Roadmap for Semiconductors (ITRS)

- 摩尔定律 (Moore's Law)

- 集成电路芯片上所集成的电路的数目，每隔18个月就翻一番

- 半导体国际技术发展蓝图—ITRS

- 路线图协作组 (Roadmap Coordinating Group, RCG)

– (网上) 

- “每节点大约0.7倍的缩小，或每两个节点实现0.5倍的缩小”

# 我国集成电路行业现状

- 集成电路设计、芯片制造与封装测试三业竞相发展
  - “以IC设计业为先导，IC制造业为主体”
- 在规模快速扩大的同时，技术水平迅速提高
- 自主开发和产业化取得了突破性的进展

# 第三部分

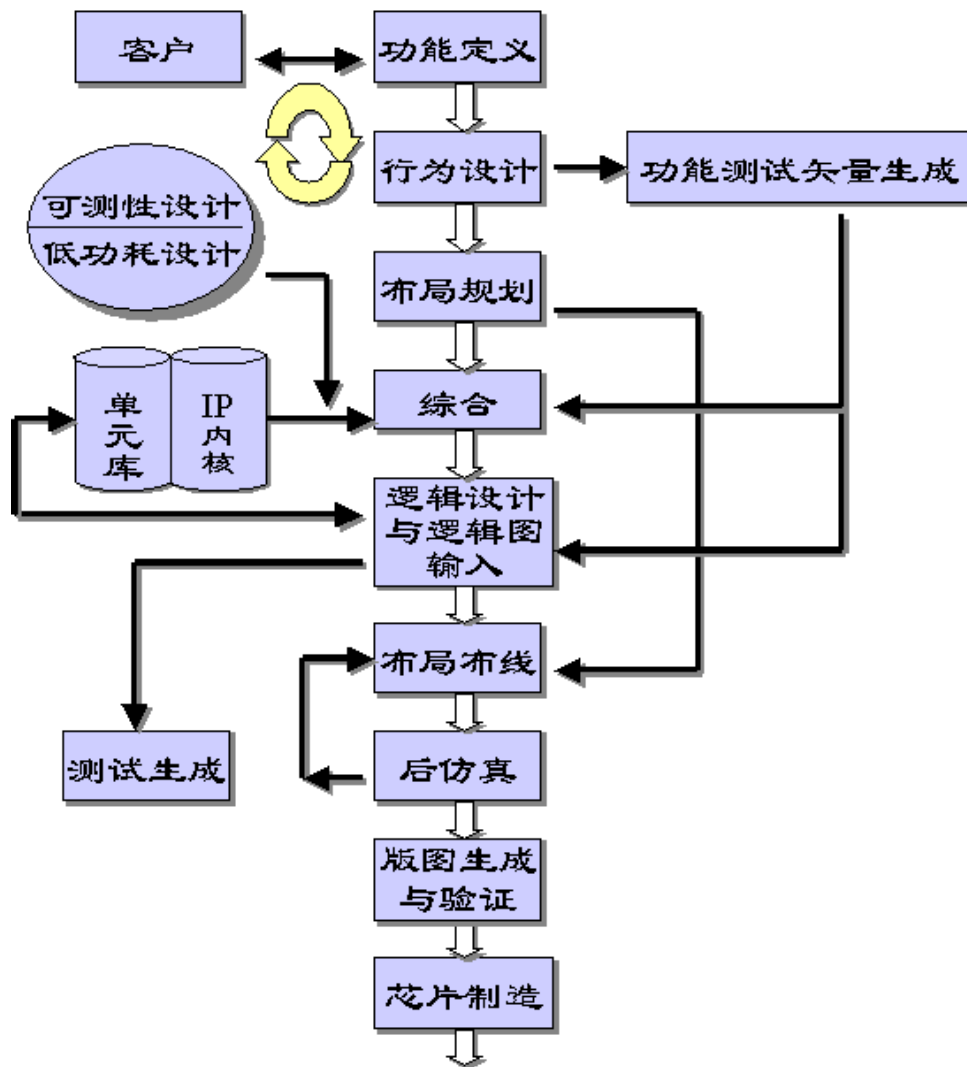
- 行业背景知识
- 集成电路的设计
- 集成电路的生产制造过程
- 集成电路的封装以及测试

# 什么是IC设计？

- IC设计是将系统、逻辑与性能的设计要求转化为具体的物理版图的过程，也是一个把产品从抽象的过程一步步具体化、直至最终物理实现的过程。

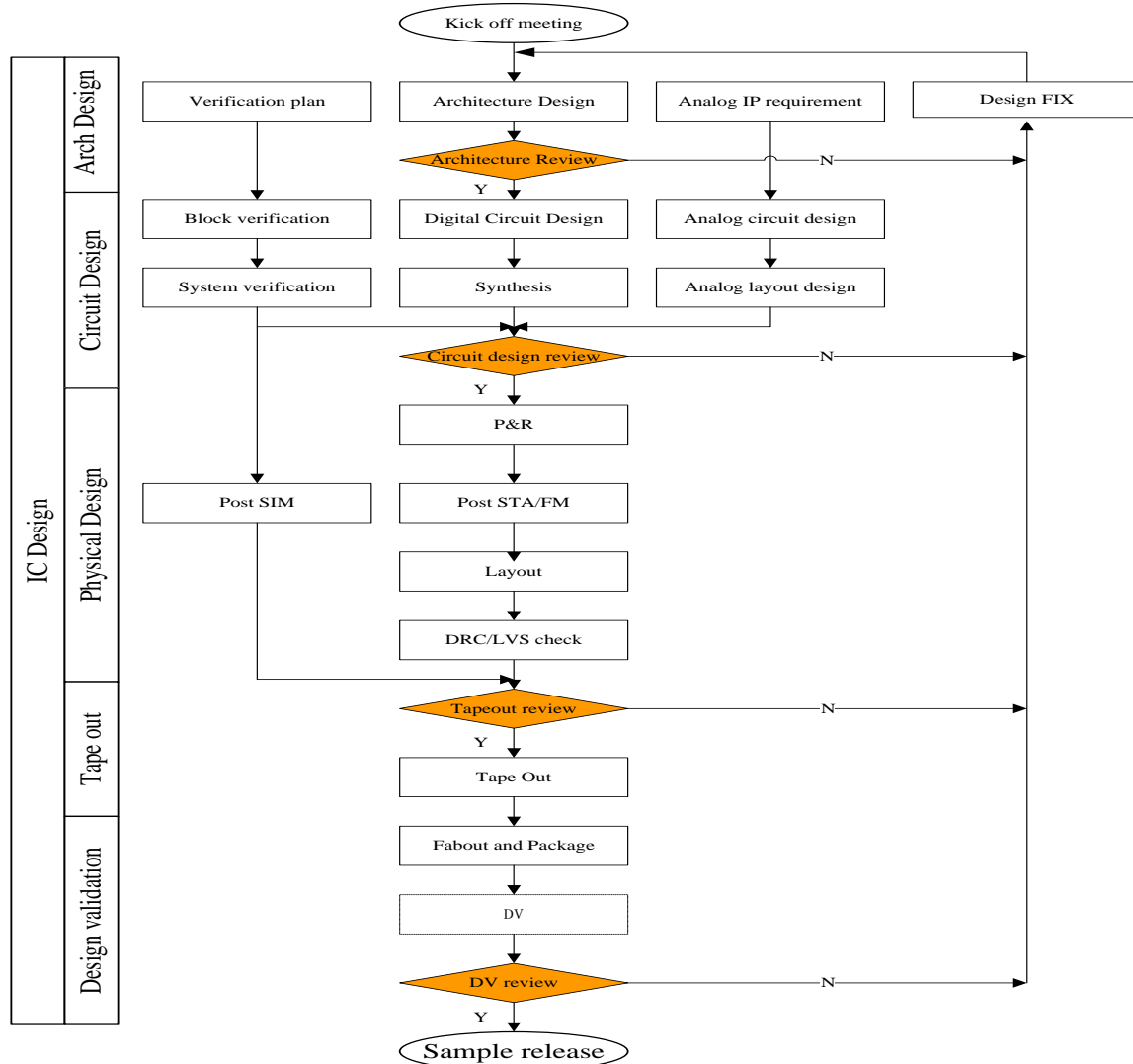
# IC设计方法和 设计流程

- 规范目标
- 行为设计
- 结构设计
- 逻辑实现
- 物理实现
- 版图工程



# 华虹集成的IC设计流程(ISO流程)

- 架构设计
  - 系统架构设计
- 电路设计
  - 模拟电路设计
  - 数字电路设计
- 物理设计
  - 版图设计
  - 版图验证
- Tapeout
- 设计验证
  - 功能验证



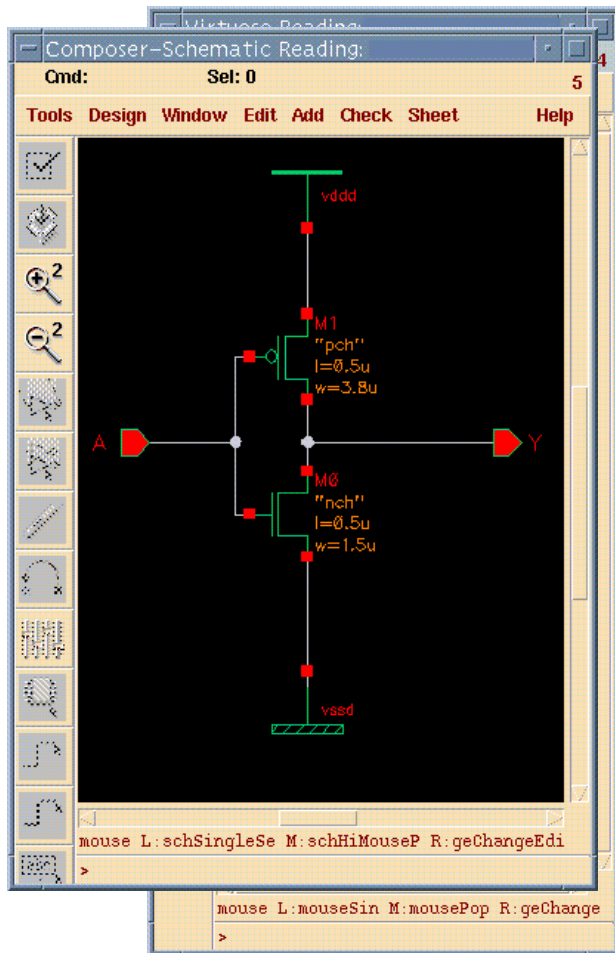
# IC设计的几个基本概念

- 前端设计和后端设计
- Top—Down和Bottom Up
- 设计输入
- 仿真
- 综合
- 单元库
- EDA软件和CAD
- Tape—out

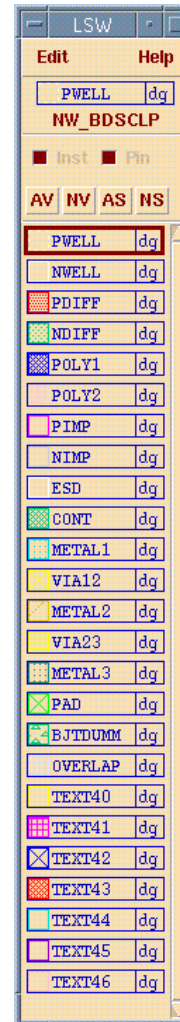


# 前端设计和后端设计

## 前端反相器设计



## 后端反相器设计

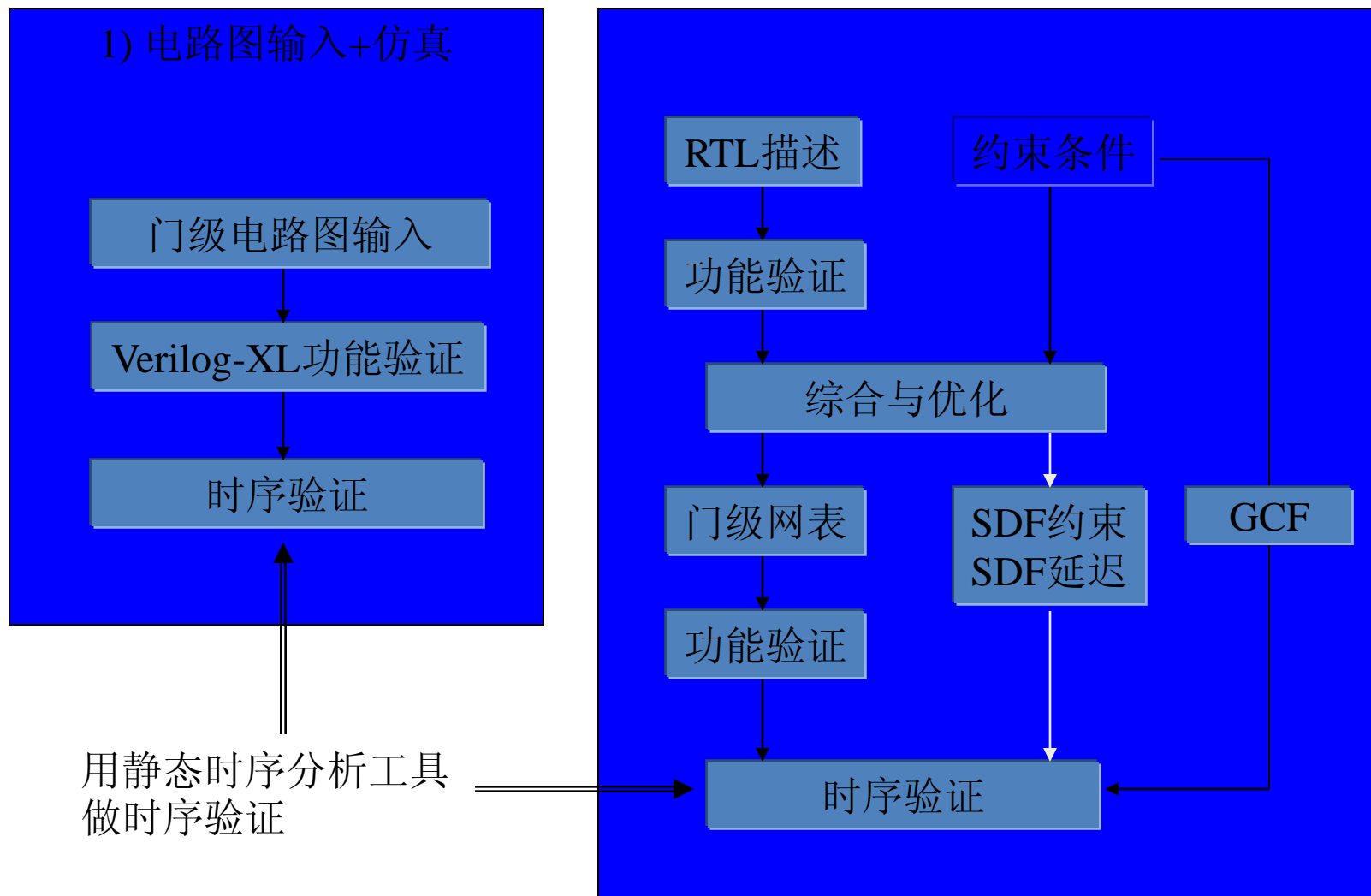


# Top—Down和Bottom—Up

- 自顶而下的设计（Top-Down）
  - IC设计的常规流程
  - 便于早期发现问题
  - 可以共享底层资源
- 由下而上的设计（Bottom-Up）
  - 小模块或者建库
  - 关键电路（提高性能）
  - 反向工程（Reverse Engineering）

# 设计输入

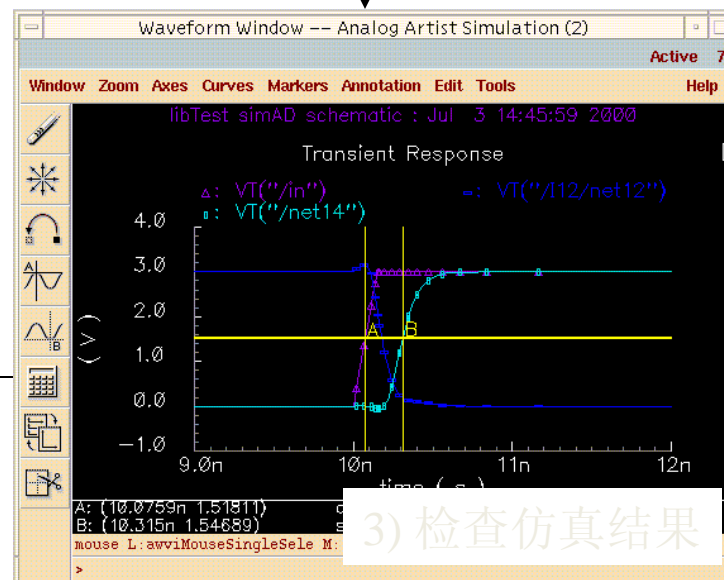
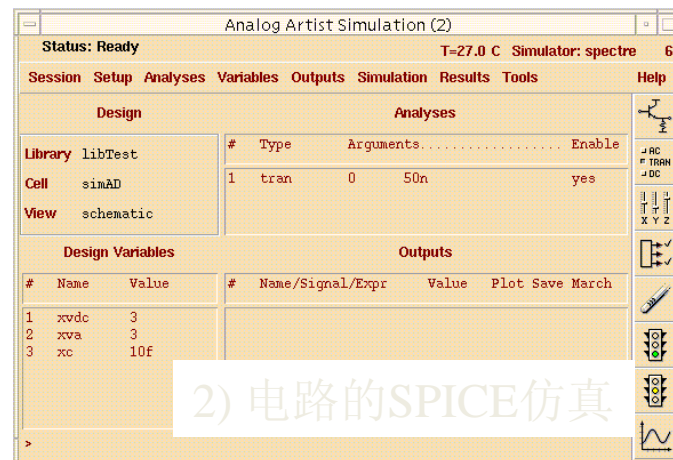
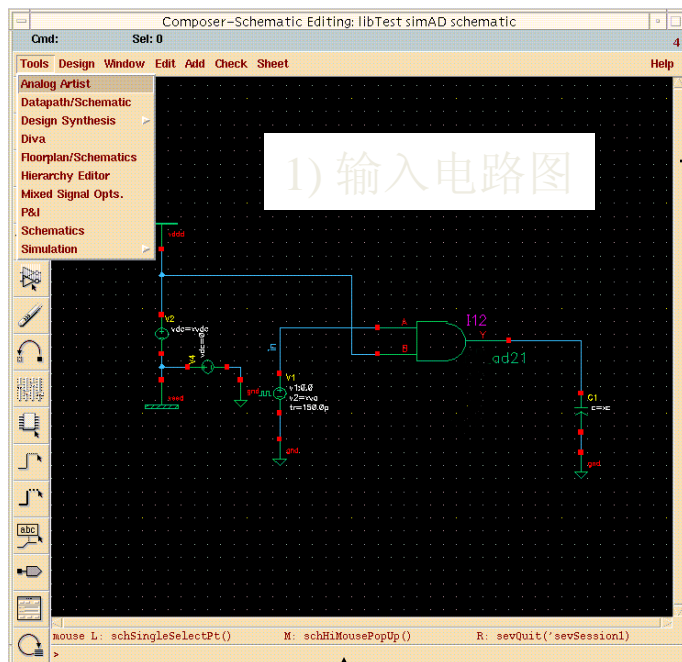
- 数字电路模块设计中的两种不同输入方式的设计流程



# 仿真

- 通过数学模型，建立尽量贴近真实物理器件的数学模型和应用条件
  - 建库 （专业的公司Artison ,Feraday ）
  - 环境建模 （Stimulus ， Test bench）
    - 占设计工作的比重逐渐加大
- 观察仿真波形Vs.自动测试
- 行为级、RTL级、逻辑级、物理级

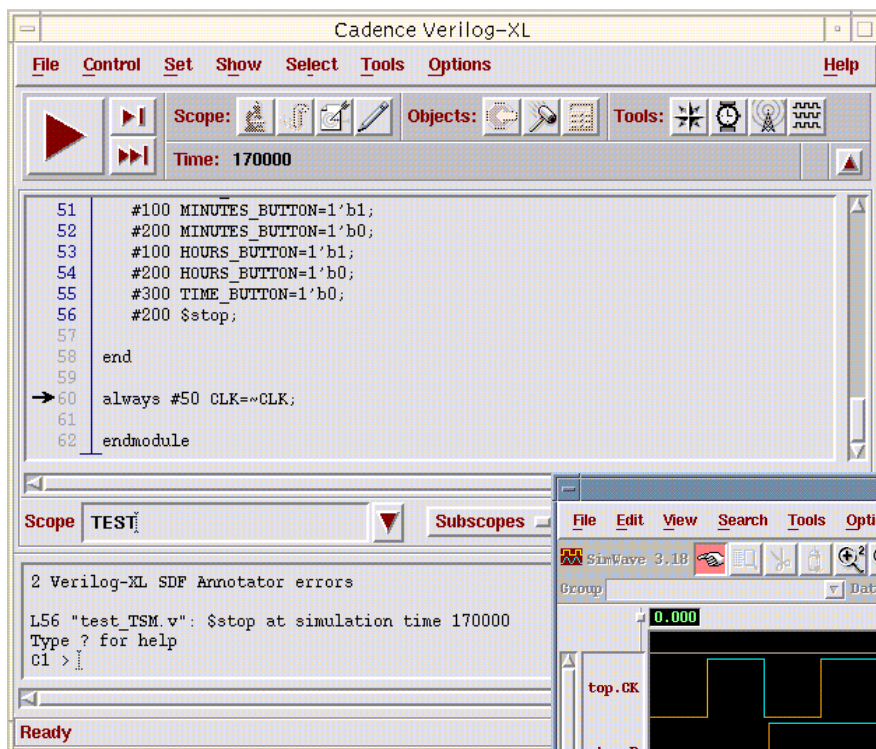
# 仿真（续）



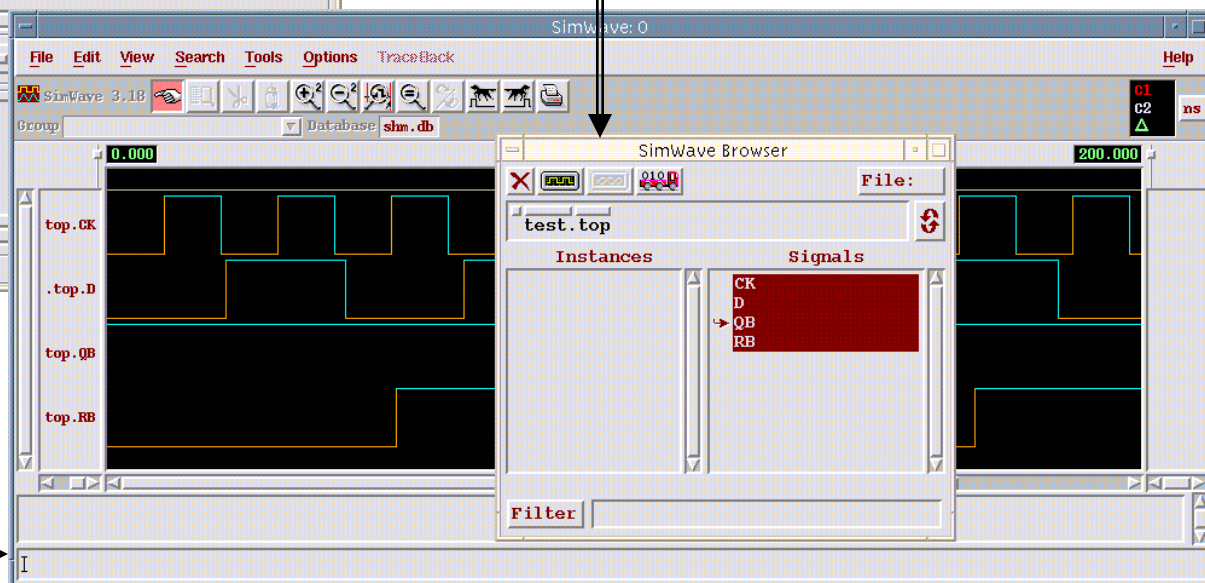
4) 如果结果不满足要求则调整电路

# 仿真（续）

设计输入，与软件开发类似



选择要观察的信号



观察仿真结果

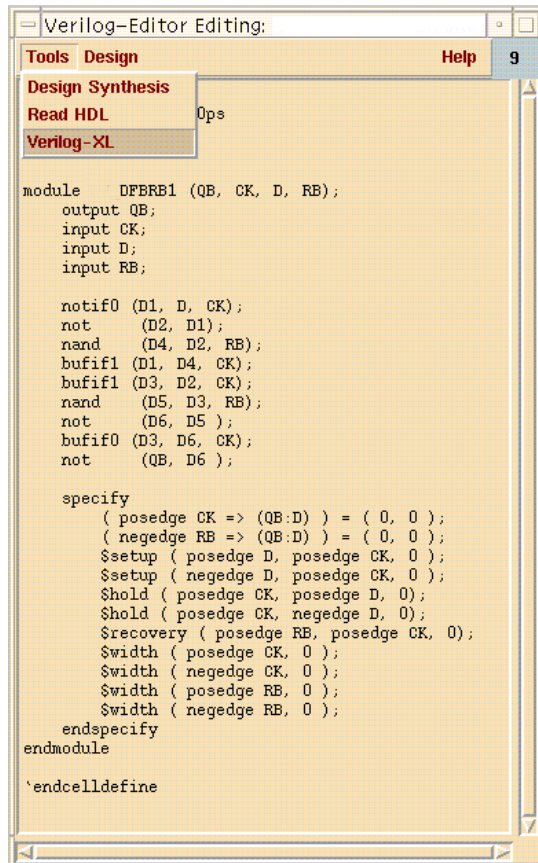
# 综合

- EDA工具通过读取库文件、约束文件、以及设计输入文件（如高级硬件描述语言写成的文本文件）以及指令文件，并自动生成符合要求的电路图或者电路网络表的过程。
- 代替了许多本来要人去做的工作。
- 培养了一批不懂电路的IC设计工程师☹
  - IC设计不是软件设计
  - EDA工具只是辅助手段
  - 老问题，机器究竟能不能代替人？



# 综合（续）

一个通过硬件描述语言文件综合出电路的例子



Verilog-Editor Editing:

Tools Design Help 9

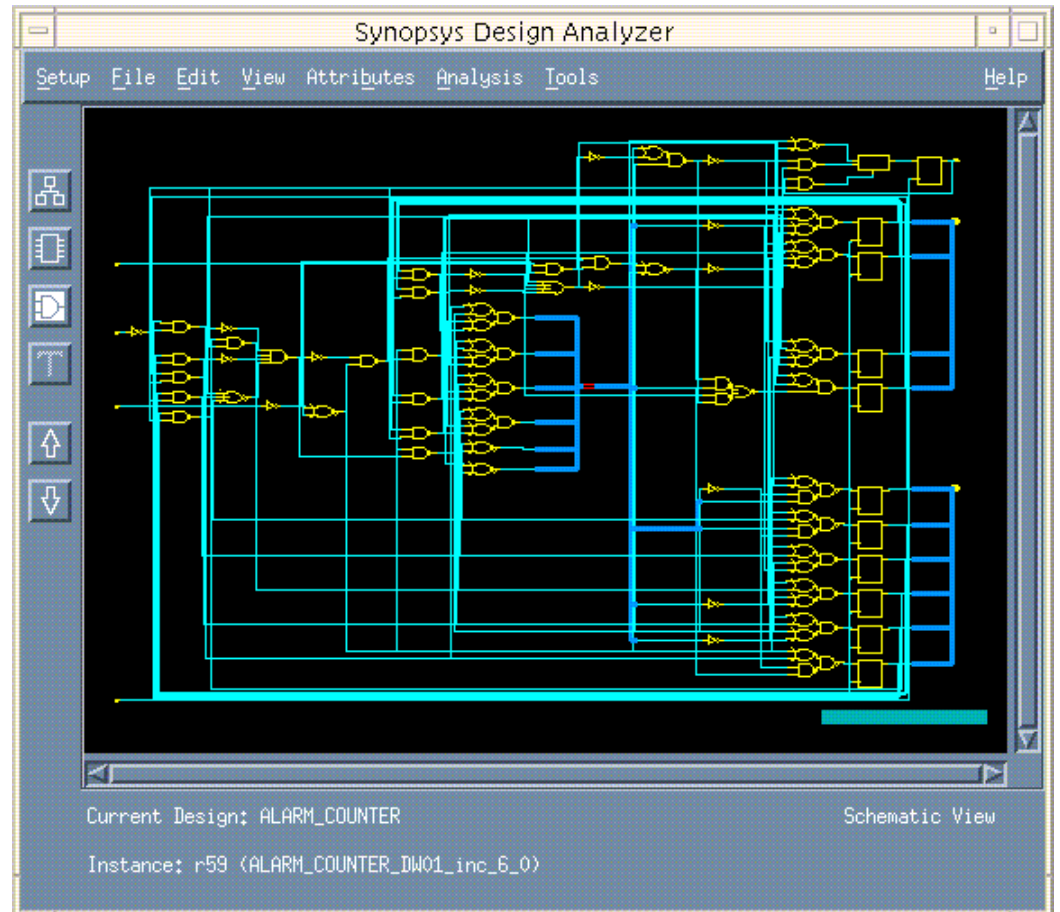
Design Synthesis  
Read HDL Ops  
Verilog-XL

```
module DFBRB1 (QB, CK, D, RB);
    output QB;
    input CK;
    input D;
    input RB;

    notif0 (D1, D, CK);
    not (D2, D1);
    nand (D4, D2, RB);
    bufif1 (D1, D4, CK);
    bufif1 (D3, D2, CK);
    nand (D5, D3, RB);
    not (D6, D5);
    bufif0 (D3, D6, CK);
    not (QB, D6);

    specify
        (posedge CK => (QB:D)) = (0, 0);
        (negedge RB => (QB:D)) = (0, 0);
        $setup (posedge D, posedge CK, 0);
        $setup (negedge D, posedge CK, 0);
        $hold (posedge CK, posedge D, 0);
        $hold (posedge CK, negedge D, 0);
        $recovery (posedge RB, posedge CK, 0);
        $width (posedge CK, 0);
        $width (negedge CK, 0);
        $width (posedge RB, 0);
        $width (negedge RB, 0);
    endspecify
endmodule

`endcelldefine
```





# 单元库

- 基本的晶体管和無源器件
- 常用的小规模电路结构，如基本逻辑门以及触发器等
- 包含经过加工后通过仪器测试到的真实物理参数（作为仿真的依据）
- 简化后端设计，就像在搭积木。
- 提高设计的可靠行，把精力用在更高层次的考虑，如架构和功能。
- 工厂提供，专业公司提供
- 关键文件
  - 做设计没有库如同用没有准星的枪射击

# Tape—Out

- 何谓Tape-out?
  - Tape-out: 就是将设计完成的GDS数据送交Foundry进行后续数据处理和掩膜版制作.
- 计算机非常可靠，为何经过设计流程后送去加工回来的芯片不工作？
  - 数学模型与实际情况不一致
  - 工厂加工存在偏差
  - 人为的疏漏和错误，90%！

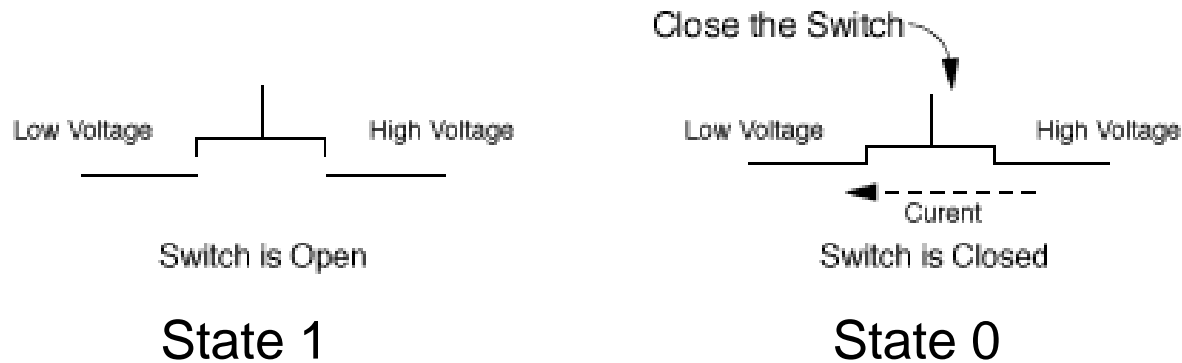
# 第二部分

- 行业背景知识
- 集成电路的设计
- 集成电路的生产制造过程
- 集成电路的封装以及测试

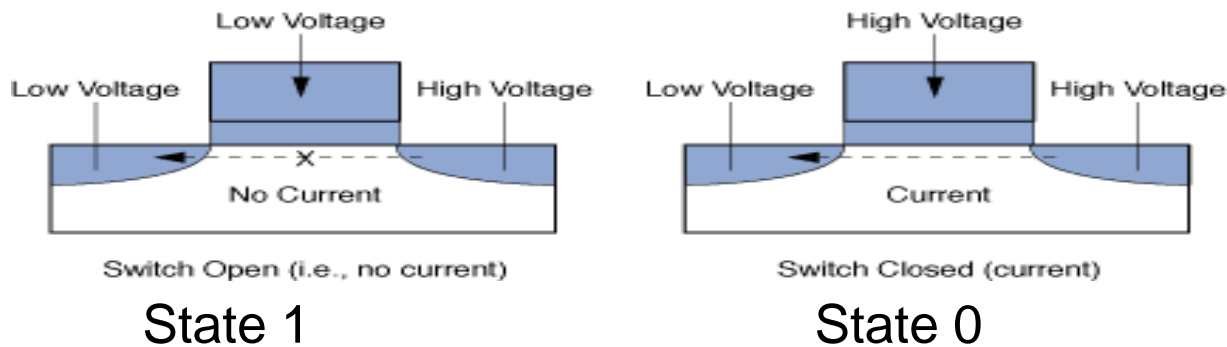
# 1. 什么是晶体管？

## Transistor Working

在数字电路应用中，晶体管就像机械开关一样扮演者开关的角色。也就是存贮0或者1的关键部件



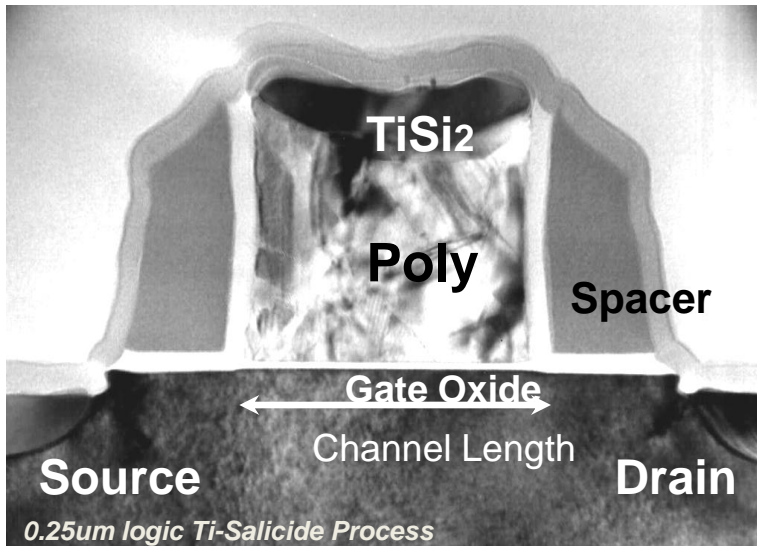
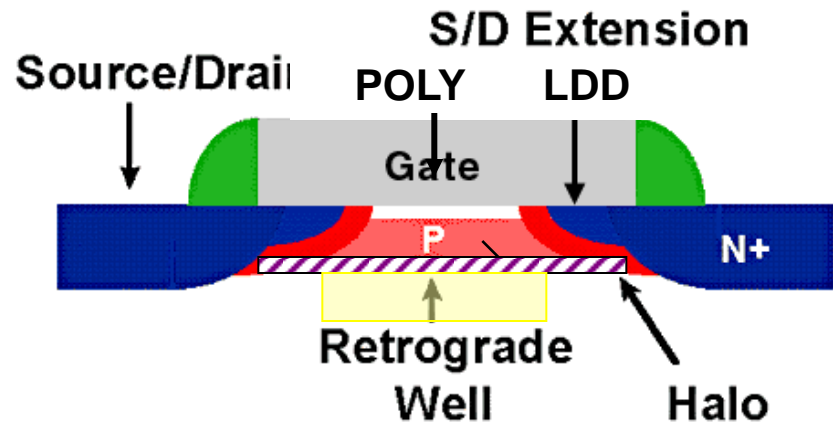
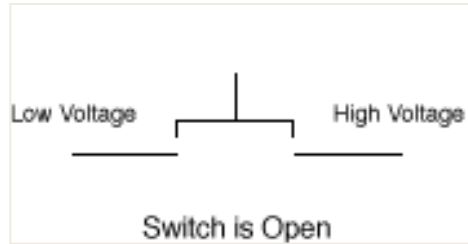
我们利用固体和量子物理的技术实现的固体开关 – 在半导体工业里的晶体管有着比机械开关更小的尺寸、更快的速度、更加低的能量损耗



## 2. 晶体管的结构是怎样的？

## Transistor Working

晶体管也像机械开关一样有三个端点：1. 多晶栅极扮演了控制按键的角色，漏极和源极分别扮演了输入与输出端的角色。

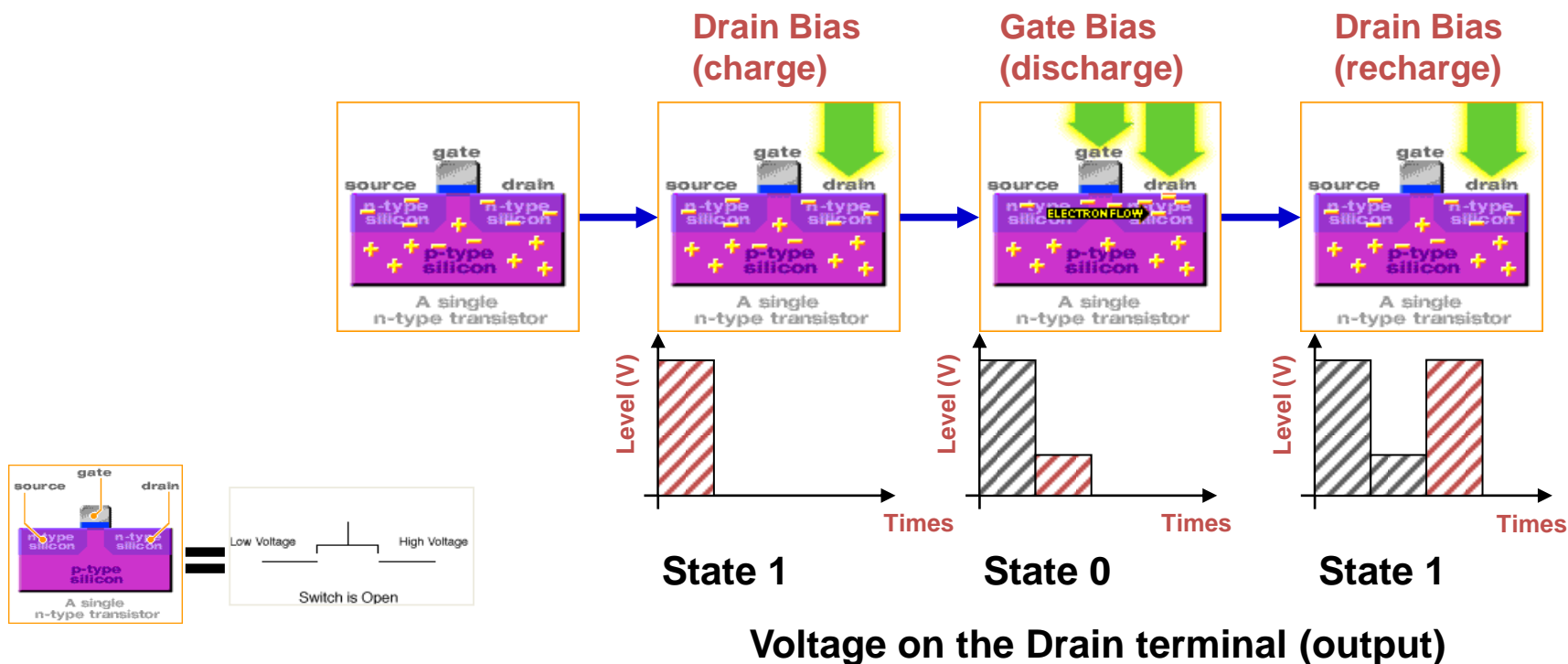


### 3. 晶体管是如何工作的？

### Transistor Working

在数字应用中，晶体管的行为类似于一个电容器

1. 漏极偏置 (电容充电) : 电荷存储在漏极一端.
2. 栅极偏置 (电容放电) : 存储的电荷从漏极流向源极
3. 漏极再偏置 (栅极悬空, 电容重新充电) : 电荷重新存储.



# 简单的工艺流程 – 第一层 (Diffusion)

## 1.1. Wafer Start

## 1.2. PAD Oxidation (stress buffer)

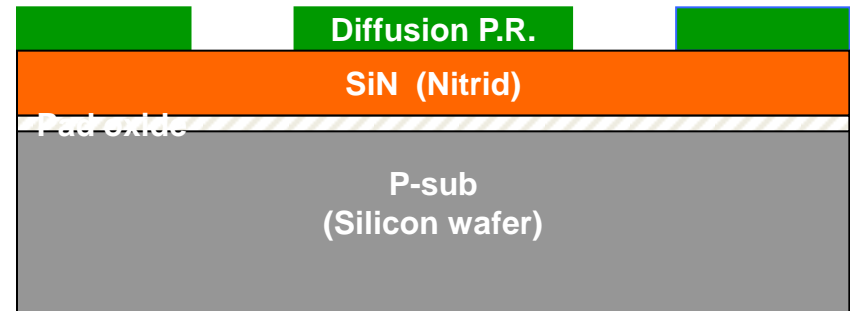
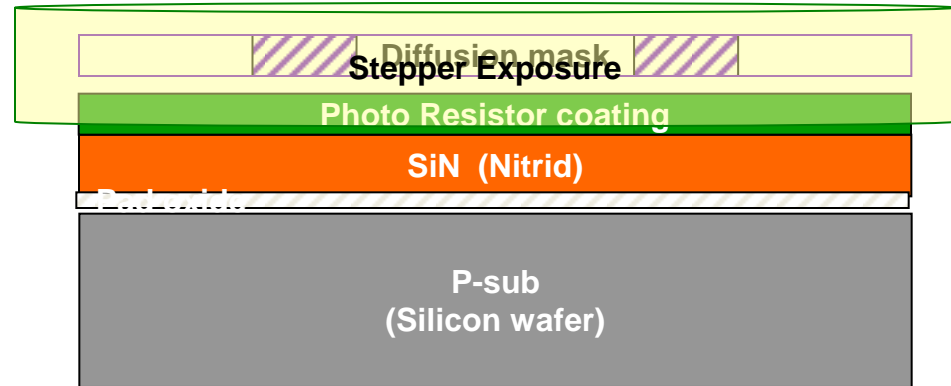
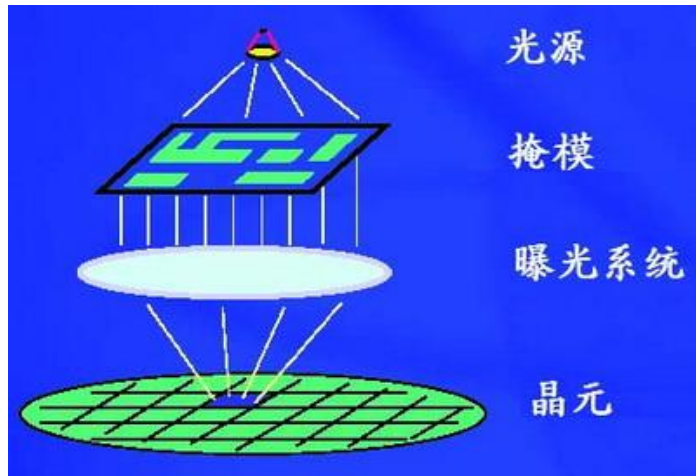
## 1.7. SiN (Nitrid) Deposition

## 1.8. Diffusion Lithography :

1.8.1 P.R. coating

1.8.2 Stepper Exposure

1.8.3 Development



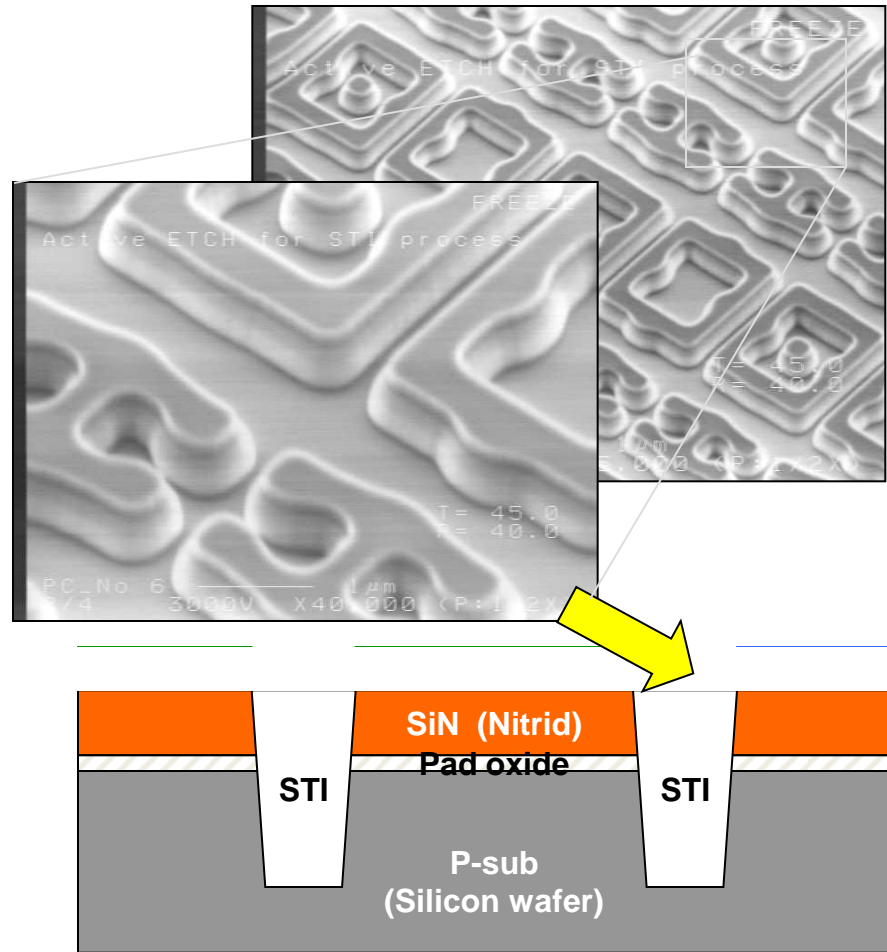
## 简单的工艺流程 – 第一层 (Diffusion) cont.

### 1.7. Trench (STI) Plasma Etching

#### 1.7.1 SiN Etching

#### 1.7.2 Silicon Etching

### 1.8. Photo Resistor remove





## 简单的工艺流程 – 第一层 (Diffusion) cont.

### 1.7. APCVD STI refill

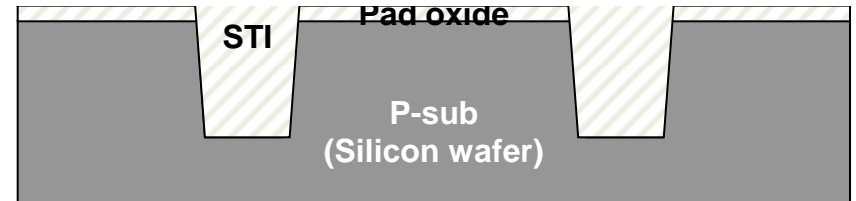
1.7.1 Liner Oxide Growth

1.7.2 APCVD Oxide deposition

1.7.3 STI Furnace Densify

### 1.8. STI CMP

### 1.9. SiN remove



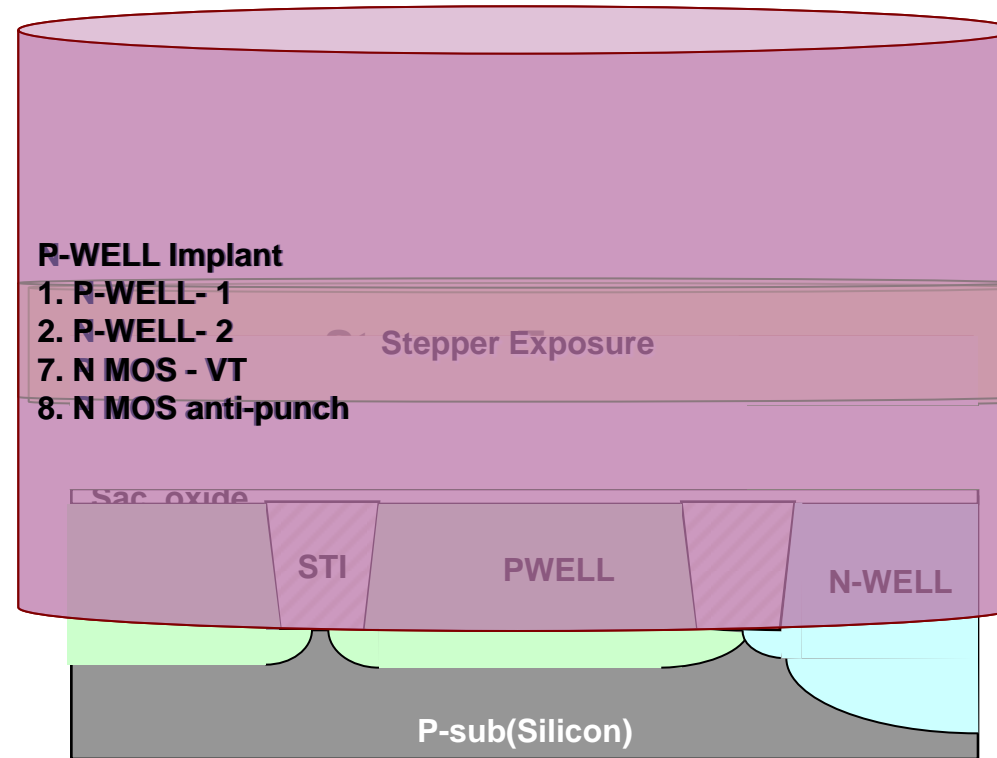
# 简单的工艺流程-阱的形成

## 2.1 N-WELL Formation :

- 2.1.1 N-WELL PR coating
- 2.1.2 N-WELL Lithography
- 2.1.3 Development
- 2.1.4 N-WELL implant
- 2.1.5 PR stripping

## 2.2 P-WELL Formation :

- 2.2.1 P-WELL PR coating
- 2.2.2 P-WELL Lithography
- 2.2.3 Development
- 2.2.4 P-WELL implant
- 2.2.5 PR stripping



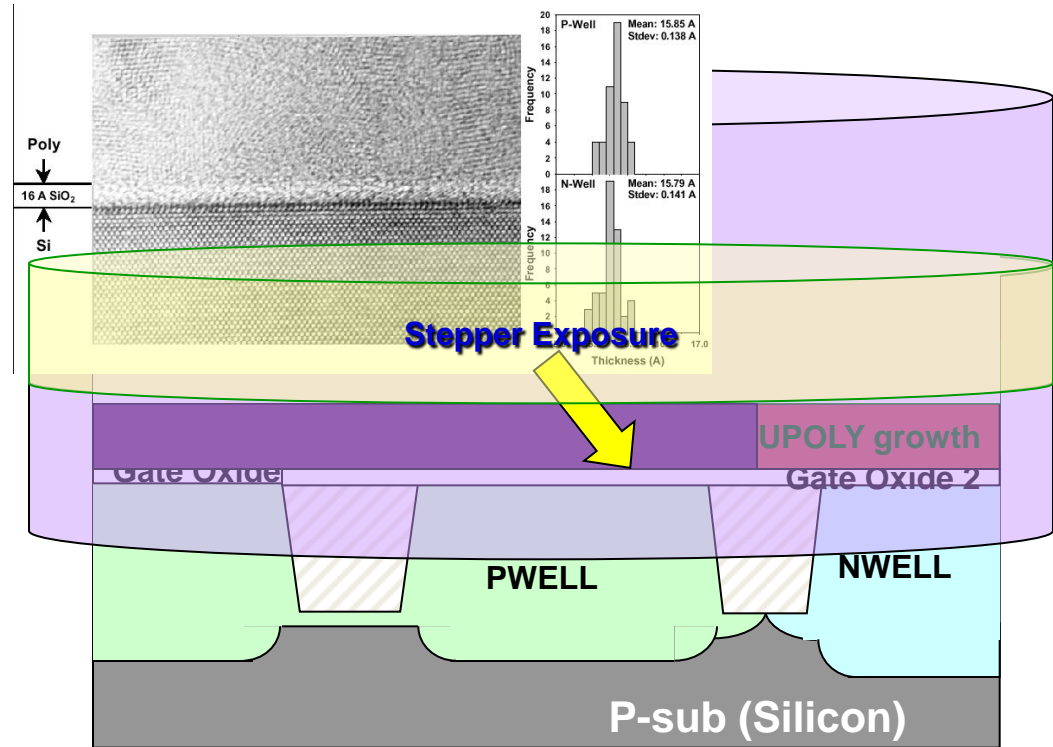
# 简单的工艺流程-栅氧化和多晶

## 3 Gate Oxide Formation :

- 3.1 Thick Gate Oxide Growth
- 3.2 PR coating
- 3.3 TG Lithography
- 3.4 Development
- 3.5 RCA-A Wet etching
- 3.6 PR stripping
- 3.7 Thin Gate Oxide Growth

## 4. Poly Growth

- 4.1 undope. POLY growth
- 4.2 N+POLY PR coating
- 4.3 N+POLY Lithography
- 4.4 Development
- 4.5 N+POLY implant and PR Strip



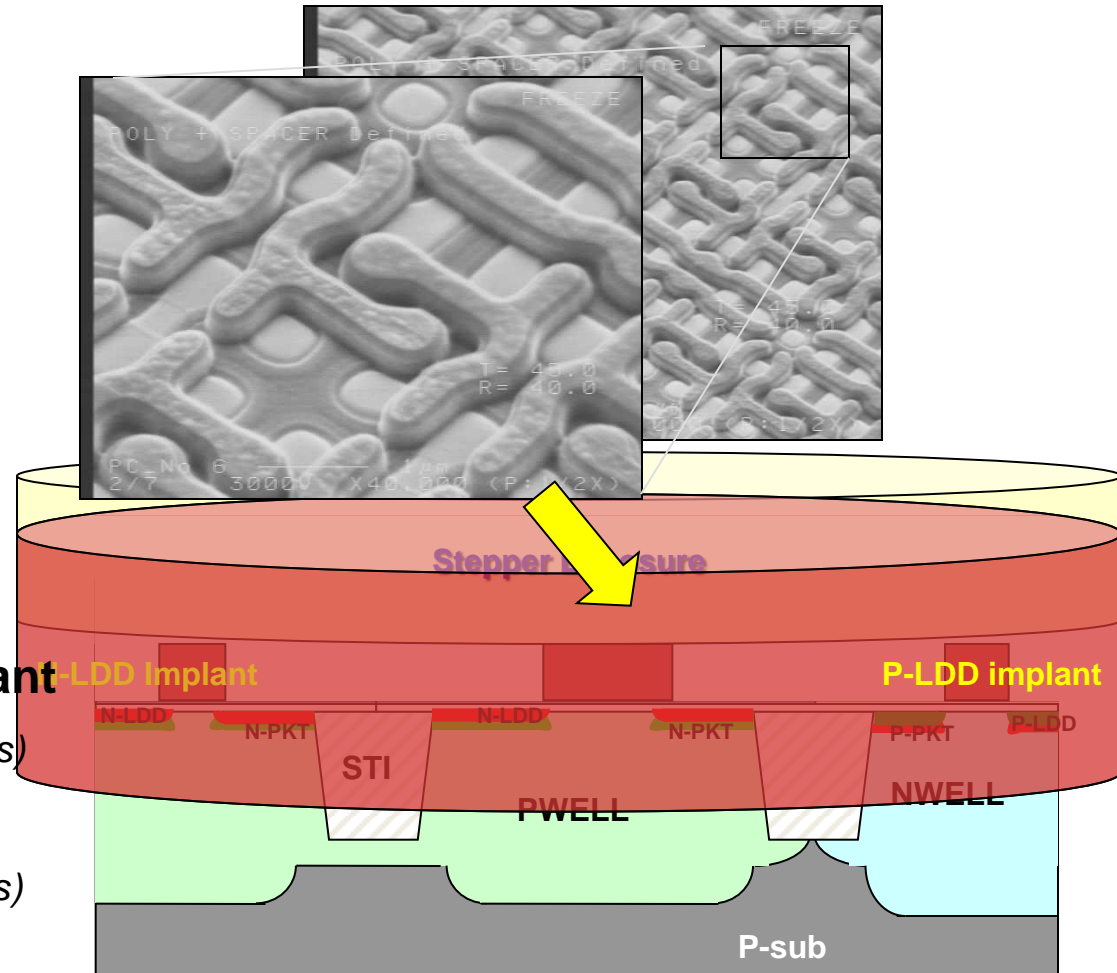
# 简单的工艺流程—栅极工程

## 5 Poly Gate Formation :

- 5.1 Poly annealing
- 5.2 PR coating
- 5.3 POLY Lithography
- 5.4 Development
- 5.5 POLY Gate etching
- 5.6 PR stripping
- 5.7 Thin Oxide Growth

## 6. LDD (Light Dope Drain) implant

- 6.1 N-LDD Lithography (*ellipsis*)
- 6.2 NLDD / N-PKT implant
- 6.3 P-LDD Lithography (*ellipsis*)
- 6.4 PLDD / P-PKT implant



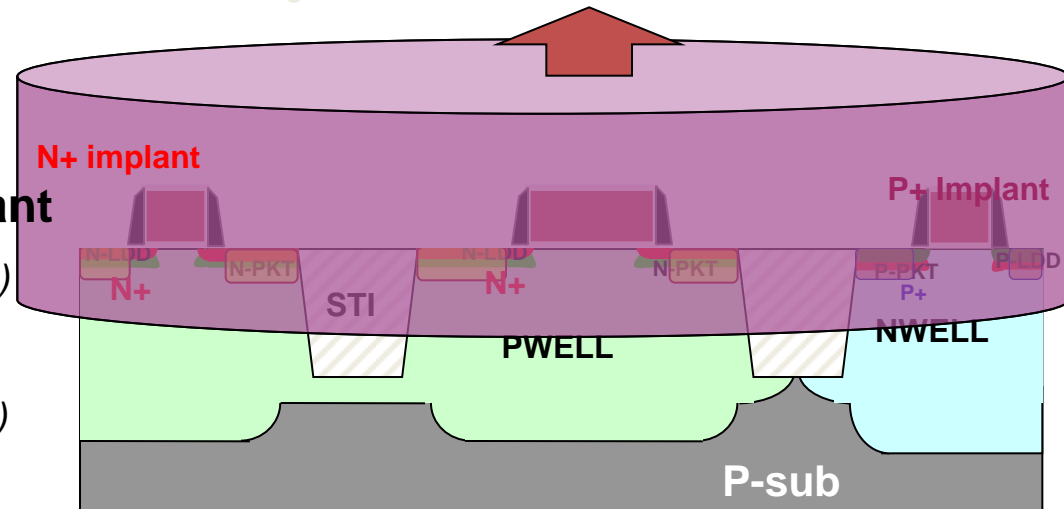
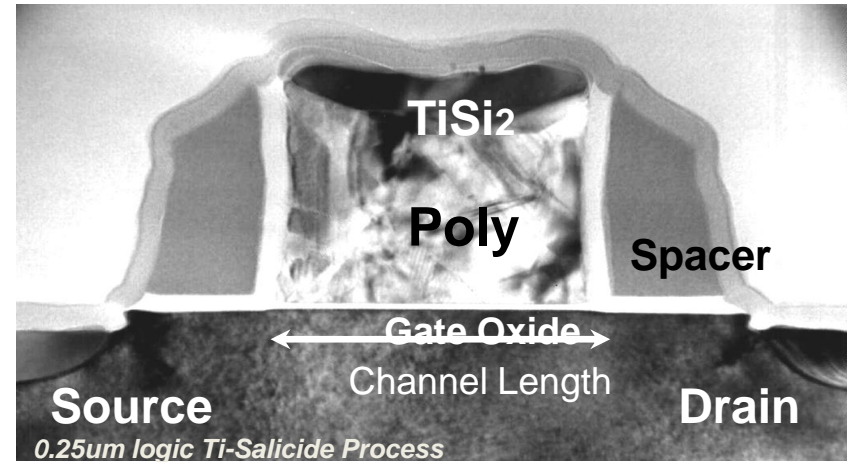
# 简单的工艺流程—漏极工程

## 7 Poly Gate Formation :

- 7.1 Poly annealing
- 7.2 PR coating
- 7.3 POLY Lithography
- 7.4 Development
- 7.5 POLY Gate etching
- 7.6 PR stripping
- 7.7 Thin Oxide Growth

## 8. LDD (Light Dope Drain) implant

- 8.1 N-LDD Lithography (*ellipsis*)
- 8.2 NLDD / N-PKT implant
- 8.3 P-LDD Lithography (*ellipsis*)
- 8.4 PLDD / P-PKT implant



# 简单的工艺流程—ILD钝化

## 9. Salicide Formation :

9.1 PETEOS-Cap Oxide dep.

9.2 SAB (Salicide-Block) Lithography (*ellipsis*)

9.3 Ti/Co sputtering

9.4 Salicidation RTP annealing

9.5 Salicidation RTP annealing

9.6 Ti residual Semi-tool wet clean

## 10. ILD Passivation

10.1 SiN deposition

(Moisture and sodium block)

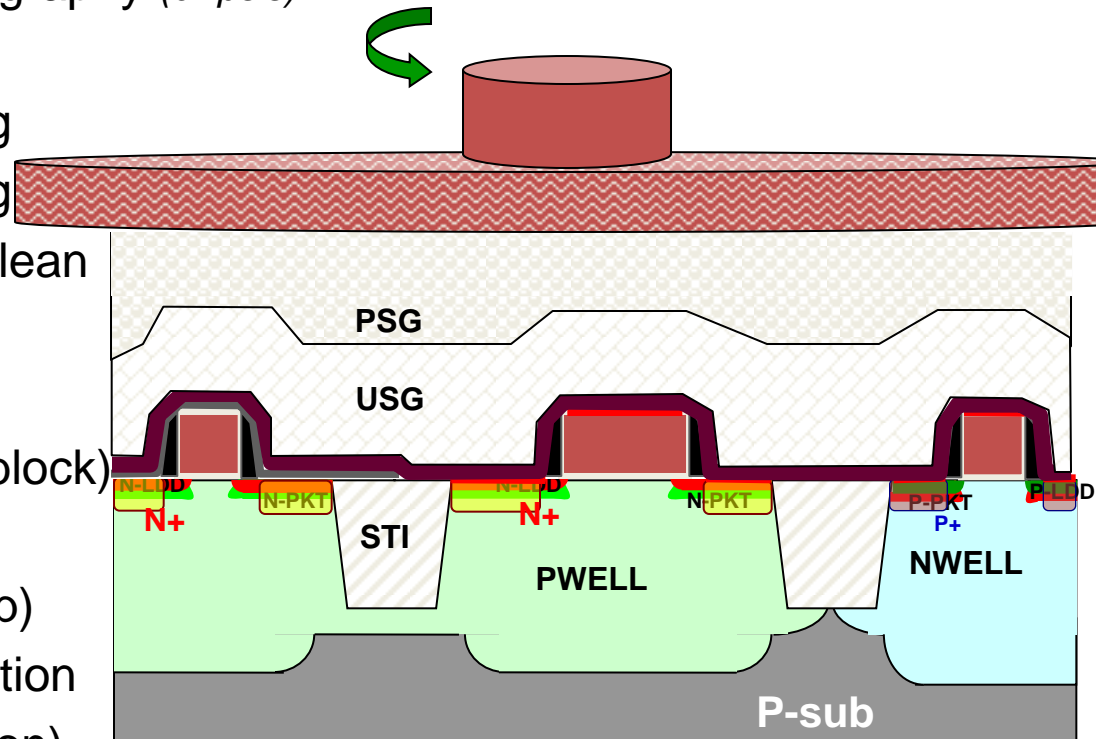
10.2 AP-USG deposition

(Gap filling and B,P trap)

10.3 TEOS-BPSG-14K deposition

(re-flow and planarization)

10.4 ILD CMP



## 简单的工艺流程—Contact Plug

## 11. Contact Plug Formation :

## 11.1 Contact Lithography

## 11.2 Contact Plasma Etching

### 11.3 PR strip

## 11.4 Barrier layer deposition (Ti + TiN for well contact)

## 11.5 RTP annealing

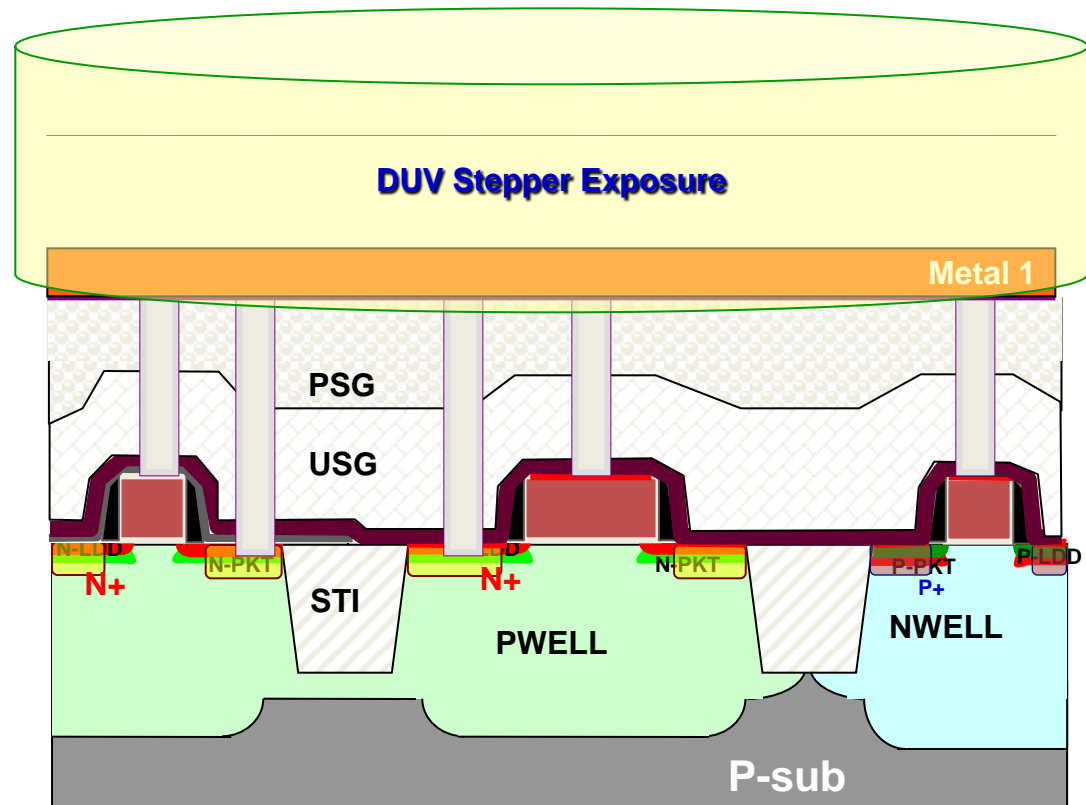
## 11.6 Glue Layer deposition (Ti + TiN for plug adhesion)

## 11.5 WCVD filling

## 11.6 WCMP

## 11.7 Metal Liner deposition (Ti + TiN for Metal adhesion)

## 11.8 Metal Sputter



## 简单的工艺流程— Backend routine (Aluminum line)

## 12. IMD deposition

## 12.1 HDP-Oxide deposition

( Gap filling)

## 12.2 PE-Oxide Deposition

( Planarization and uniformity)

## 12.3 IMD CMP

## 12.4 Cap PE-Oxide

### 13. MVIA plug formation

### 13.1 MVIA Lithography cycle

## 13.2 MVIA Etching and PR strip

### 13.3 Glue Layer deposition

(Ti + TiN for plug adhesion)

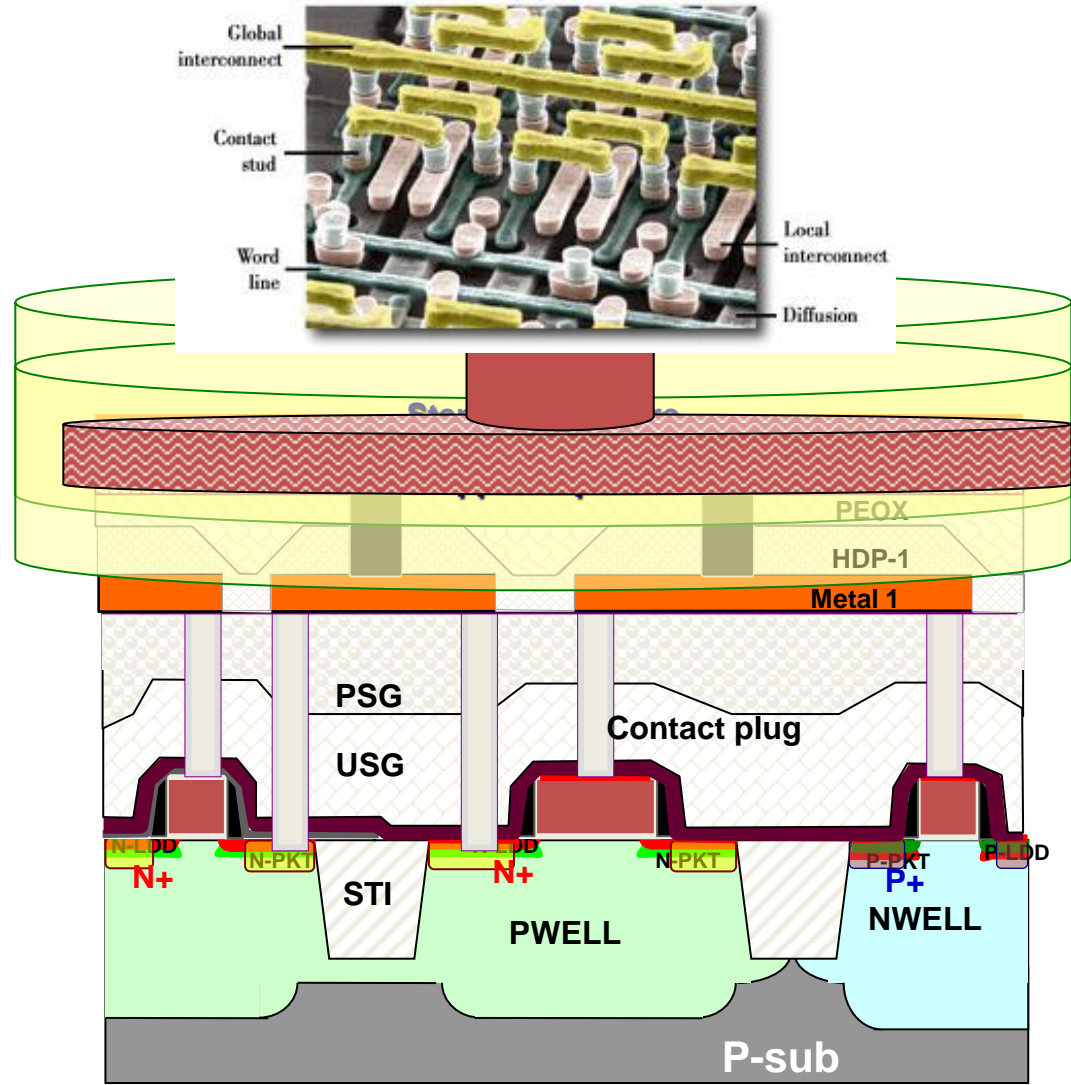
## 13.4 WCVD filling

## 13.5 WCMP

## 13.6 Metal Liner deposition

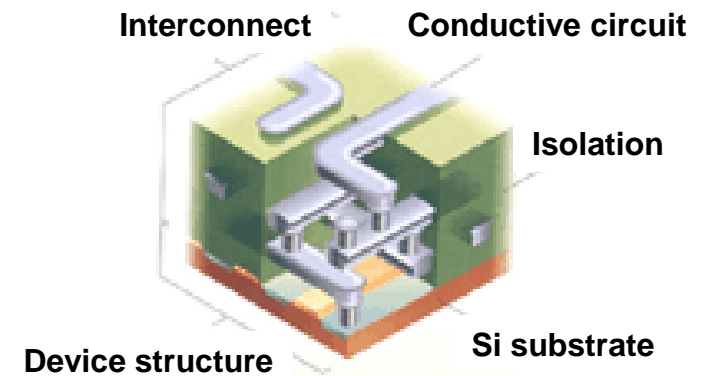
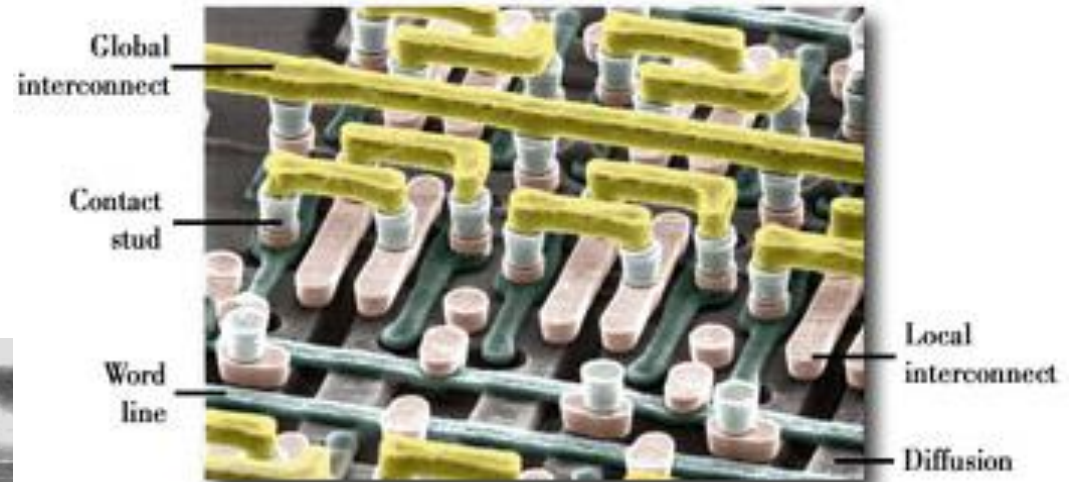
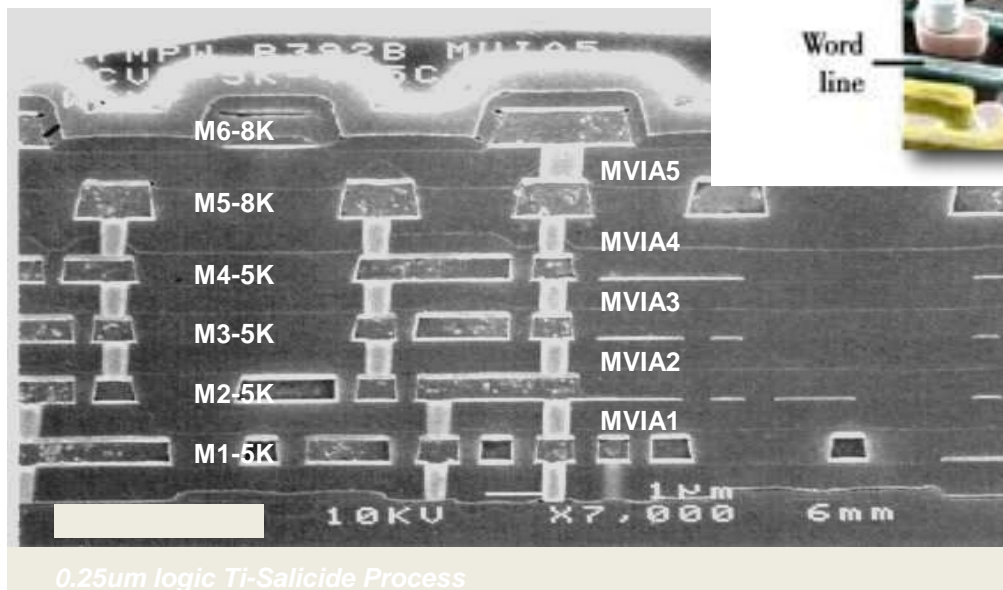
(Ti + TiN for Metal adhesion)

## 13.7 Metal Sputter





## 简单的工艺流程— Aluminum line



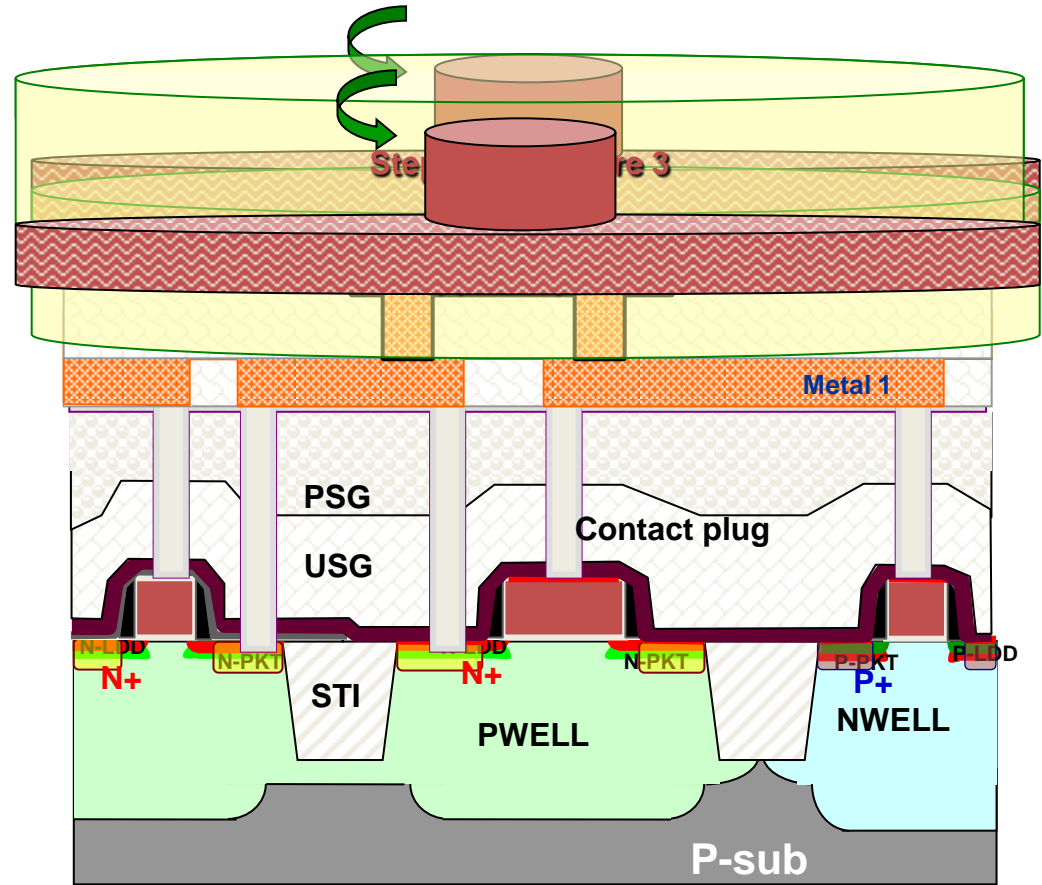
## 简单的工艺流程— Backend routine (Copper Dual Damascene)

## 14. ILD/M1 Damascene

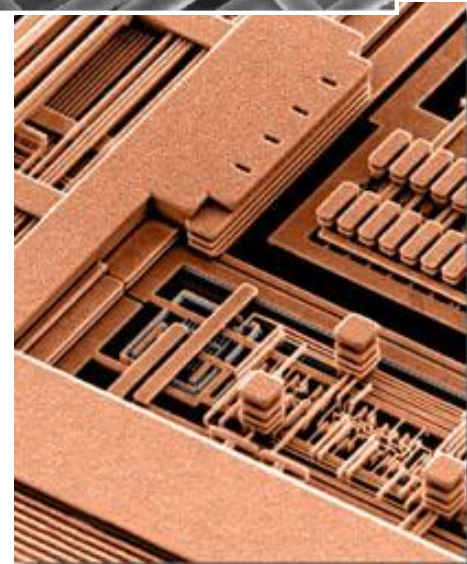
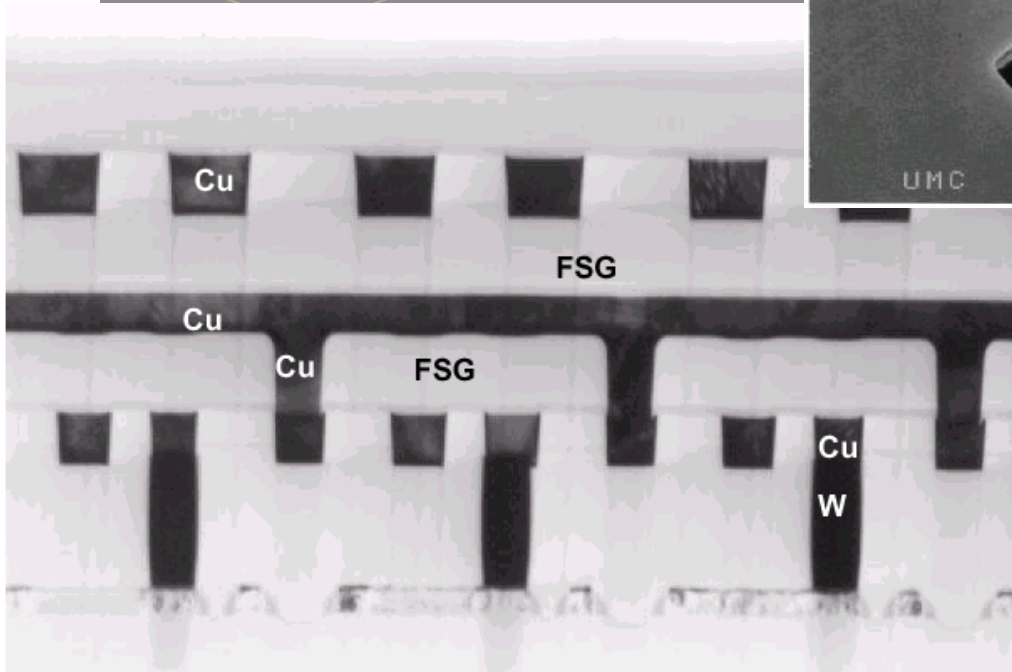
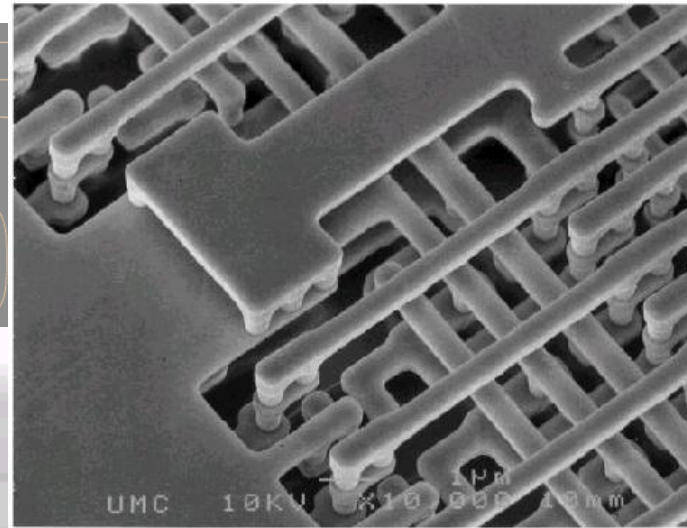
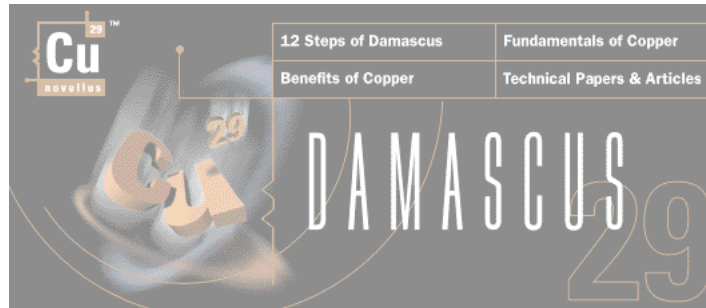
- 14.1 PEOX- deposition
- 14.2 M1 Lithography
- 14.3 M1 Trench Etching
- 14.4 M1 Cu Electroplate (ECP)
- 14.5 Cu CMP

## 15. M2/ MVIA1 Dual Damascene

- 15.1 PEOX- deposition
- 15.2 M2 Lithography
- 15.3 M2 Trench Etching
- 15.4 MVIA1 Lithography
- 15.5 MVIA1 Plug Etching
- 15.6 Trench Liner deposition
- 15.7 M2/MVIA1 Cu ECP
- 15.8 Cu CMP

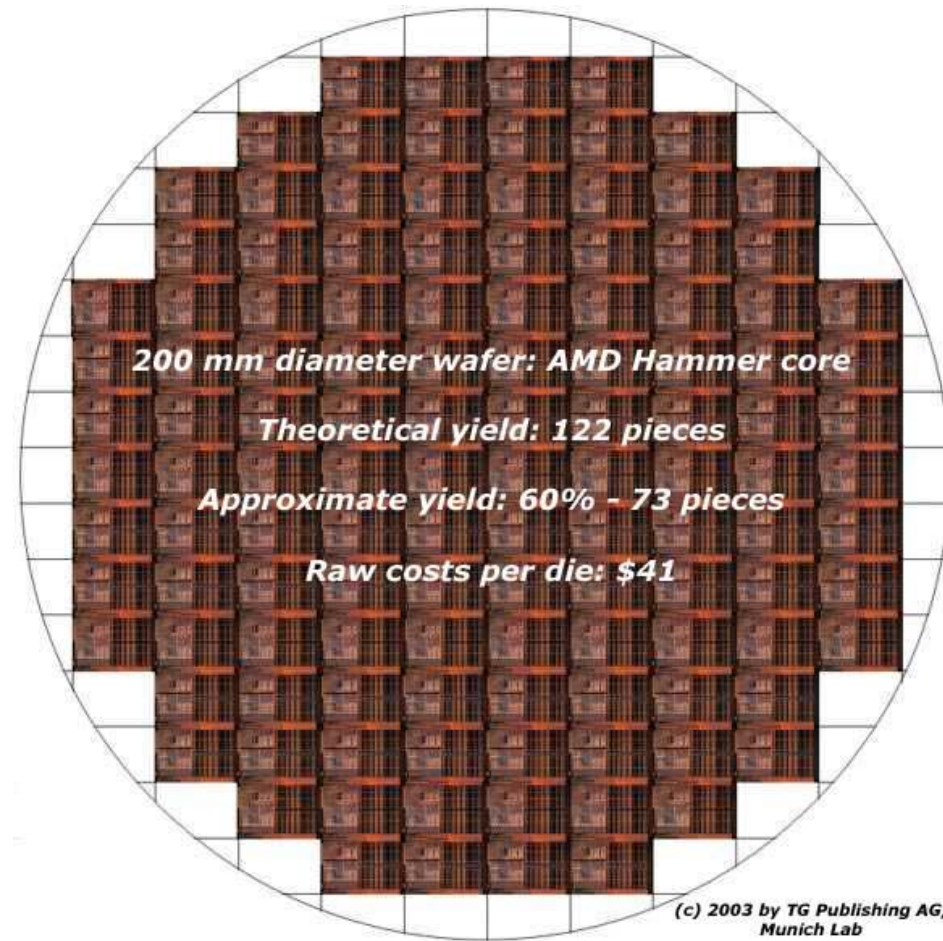
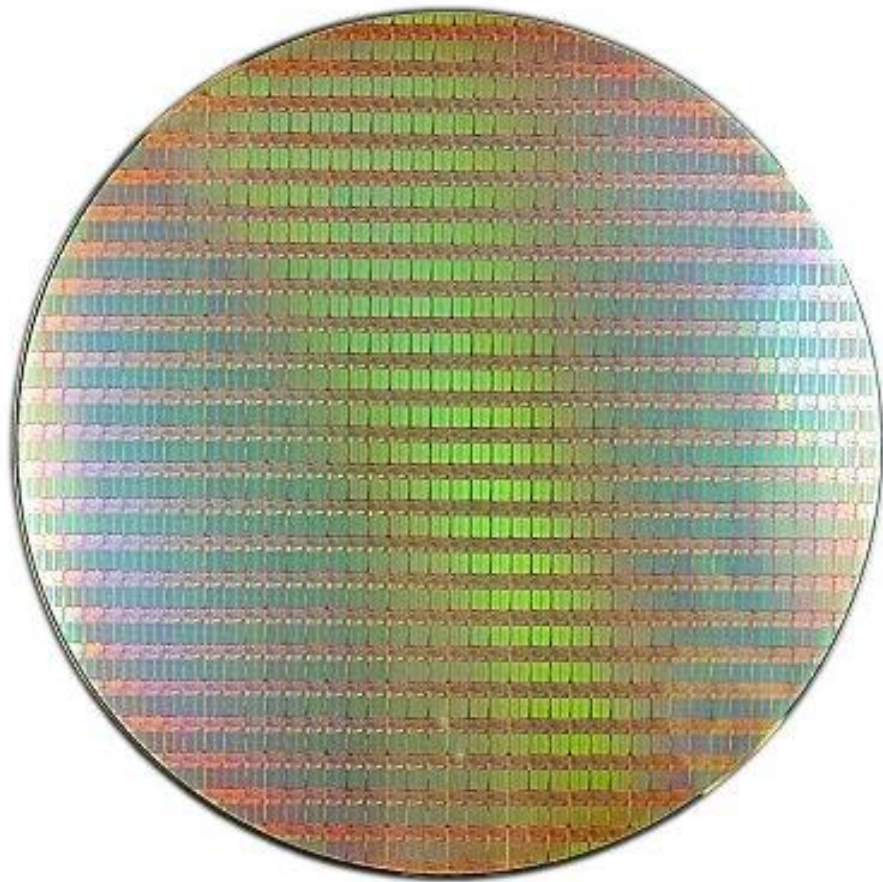


# 简单的工艺流程— Copper Dual Damascene





## 前道工序完成后的产品

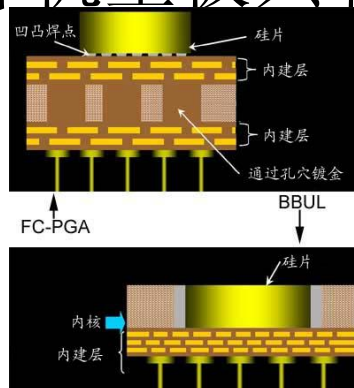
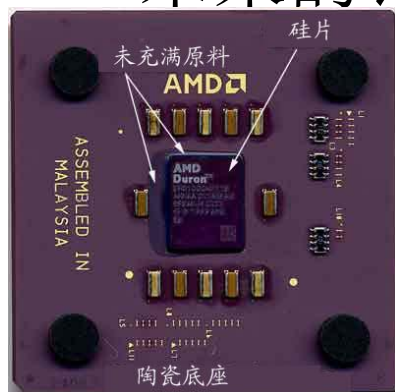
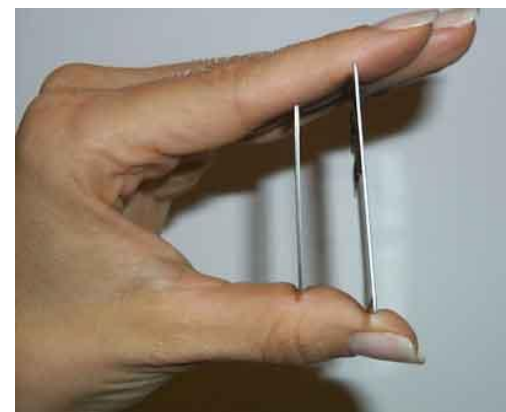
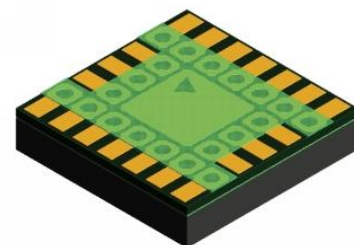


# 第四部分

- 行业背景知识
- 集成电路的设计
- 集成电路的生产制造过程
- 集成电路的封装以及测试

# 集成电路的封装

- 封装种类众多
- 向小型化、多芯片发展
- 电路板使用IC封装技术
  - Intel BBUL封装技术
  - 未来的计算机主板只有名片大小？



# 集成电路的测试

- 前道工序测试—中测
  - 封装前测试，淘汰损坏芯片降低封装成本
- 后道工序测试—成测
  - 封装后测试，成品测试
- 自 **FLEX** at Probe 及 DFT



# The End

## Q&A