



OrCAD图文教程

标准原理图设计专用软件

一点建议



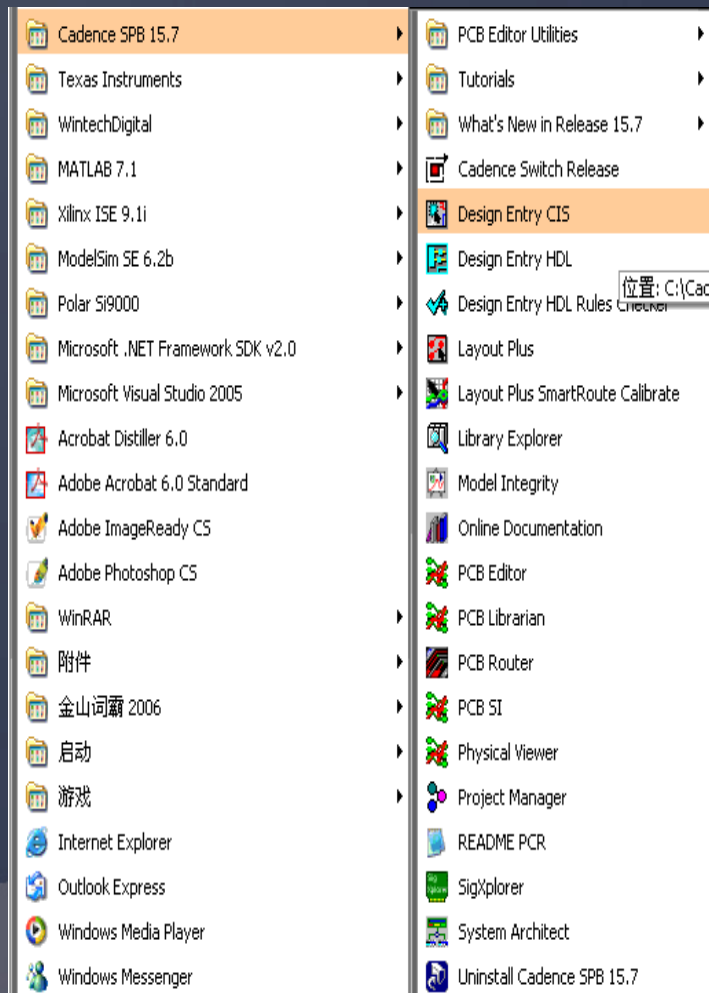
如果很少做高速板，建议用pads吧，毕竟学习起来相对容易。如果经常做高速板，建议还是选Cadence，一个是国内做高速板用Cadence比较多，第二，因为流行，所以学习的话交流的人也多。很多大公司都用它，会Protel和会Cadence allegro的薪水是不一样的。

创建工程



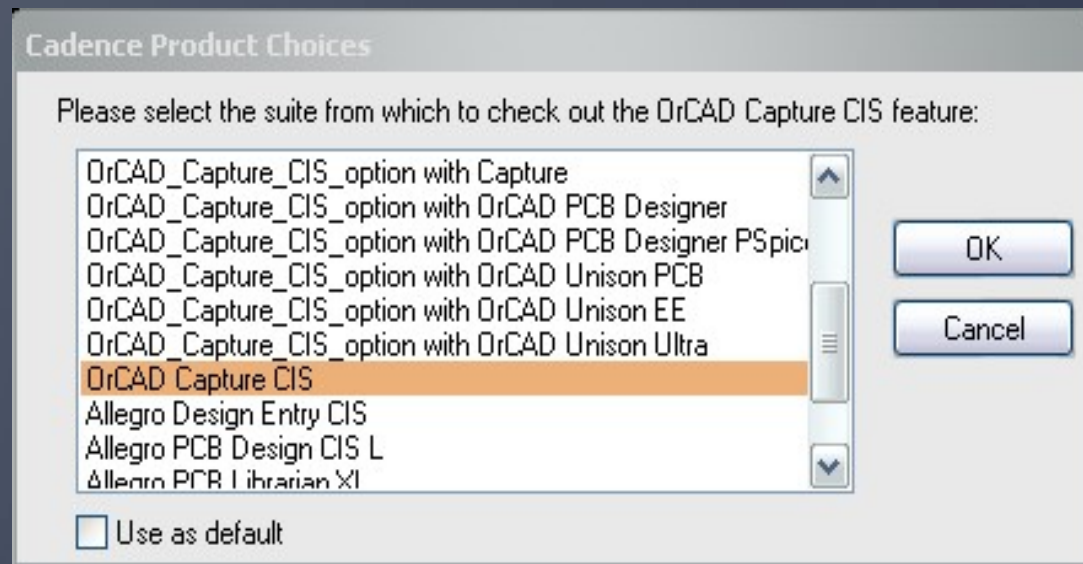
- 创建工程

首先启动OrCAD Capture
CIS选design entry CIS,
如图

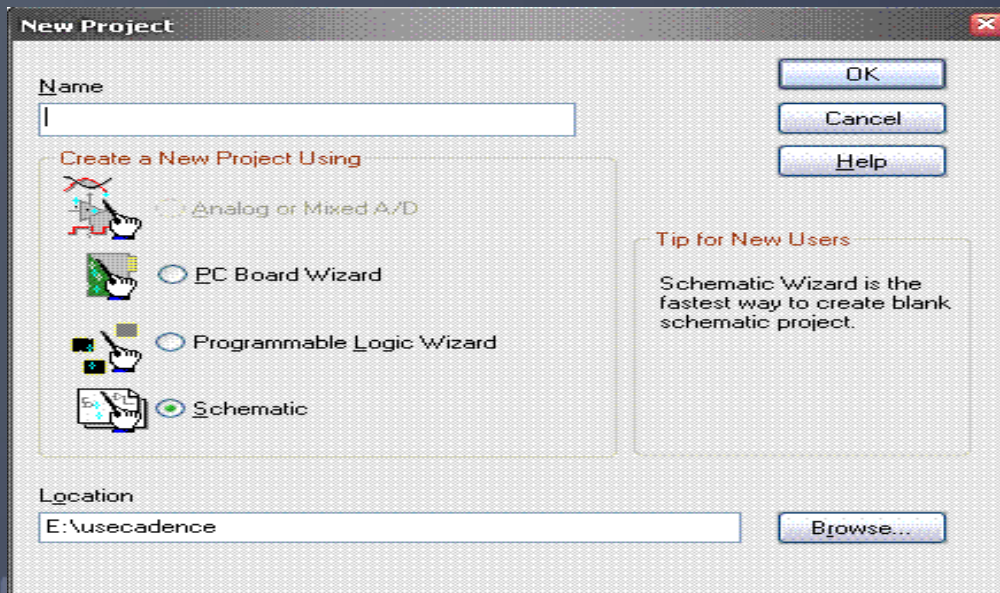




启动后弹出对话框，对话框中有很多程序组件，不要选OrCAD Capture，这个组件和OrCAD Capture CIS相比少了很多东西，对元件的管理不方便。选OrCAD Capture CIS，如图

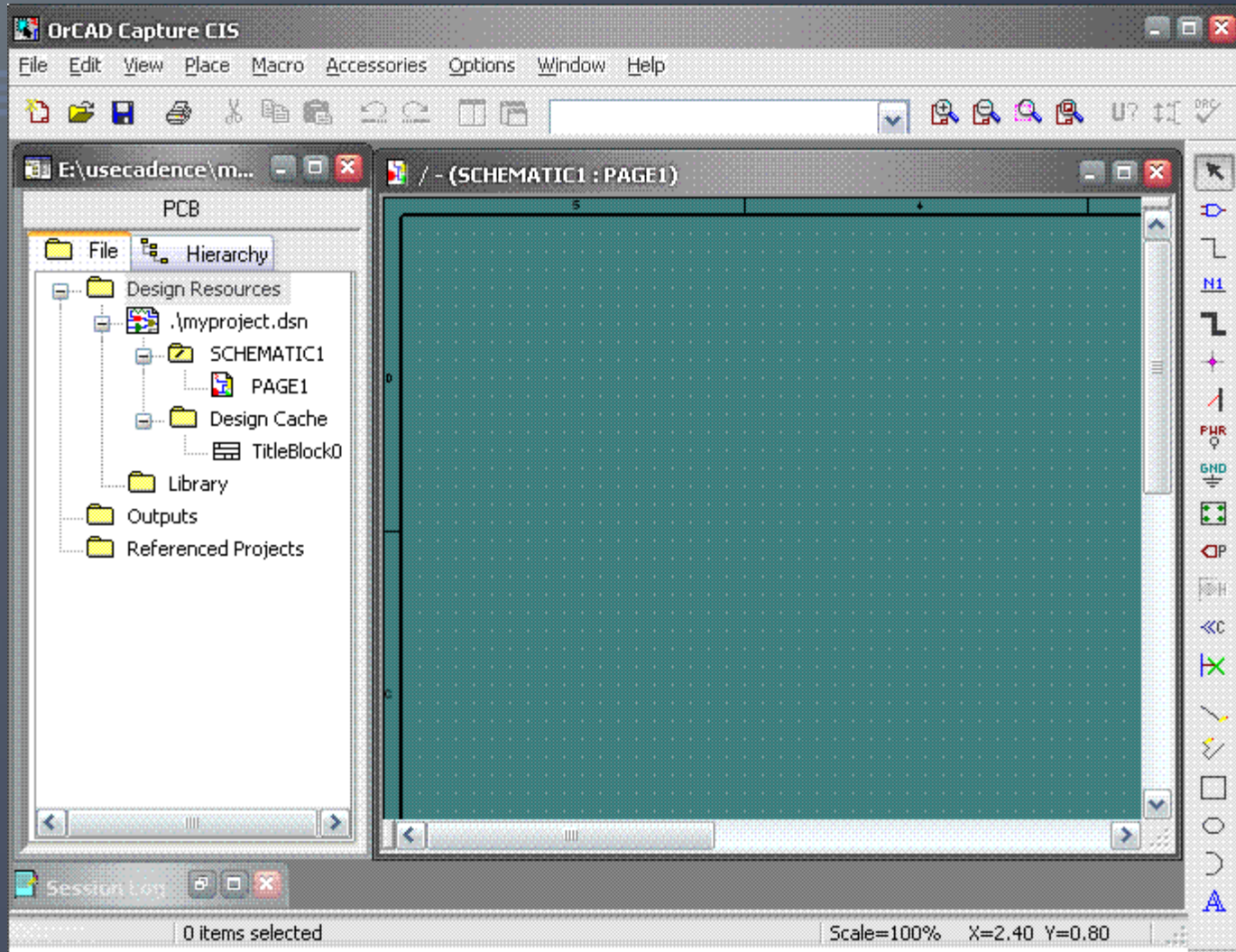


打开程序界面，这时界面中是空的，只有左下角有一个session log最小化窗口。现在我们可以开始建立工程project。选主菜单file->new->project，弹出project wizard对话框，如图



在这里选择要建立的工程的类型。因为我们
要用它进行原理图设计，所以选
schematic选项。在**name**对话框中为你的
工程起一个名字，最好由清一色的小写字
母及数字组成，别加其他符号，如
myproject。下面**location**对话框是你的工
程放置在那个文件夹，可以用右边的
browse按钮选择位置或在某个位置建立新
的文件夹，本例已经事先在E盘建立了一个
叫**usecadence**的文件夹，我把工程放在
这里。点击**OK**按钮，工程就建好了。界面
如图







在程序主界面左侧的工程管理框中会出现和工程同名的数据库文件。

Myproject.dsn是数据库文件，下面包括**SCHEMATIC1**和**design cache**两个文件夹。**SCHEMATIC1**文件夹中存放原理图的各个页面。当原理图界面上放置元件后，**design cache**文件夹下会出现该元件的名字路径等信息，这时数据库中的元件缓存，该功能使设计非常方便，后面用到的时候会更详细的讲解，暂时先知道有这个东**西**就可以了



- 关于工程管理器

- 工程管理器介绍

界面左侧是工程管理器，用于管理设计中用到的所有资源。包含两个标签File和Hierarchy。File标签中文件按文件夹方式组织起来，显示设计中用到的所有文件。一个工程只有一个设计.dsn，其实是一个数据库，其中可包含原理图文件夹，多个原理图页面，元件缓存，设计中用到的元件库，输出文件等。Hierarchy标签包含设计中的实体及元件的层级关系。



— 工程管理器中的操作

复制移动文件

在工程管理器中可以使用windows中常用的拖拽功能来进行复制移动文件。这种操作可以在设计与设计之间、设计与元件库之间、元件库和元件库间、原理图文件夹之间进行。操作一次就知道了，和windows一样，不多说了。只是有一点注意：当移动或拷贝后注意马上保存，否则可能会丢数据。



添加文件

可以在**design resources**中添加设计，但会替换已经建立的设计，因为一个工程中只能有一个设计。可以在**library**中加入元件库，**output**和**reference projects**中都可以加入文件。加入文件两种操作方法：1、在要添加的文件夹上右键**Add file**。2、选中文件夹，**edit->project**，对话框中选中要添加的文件打开即可。



删除文件

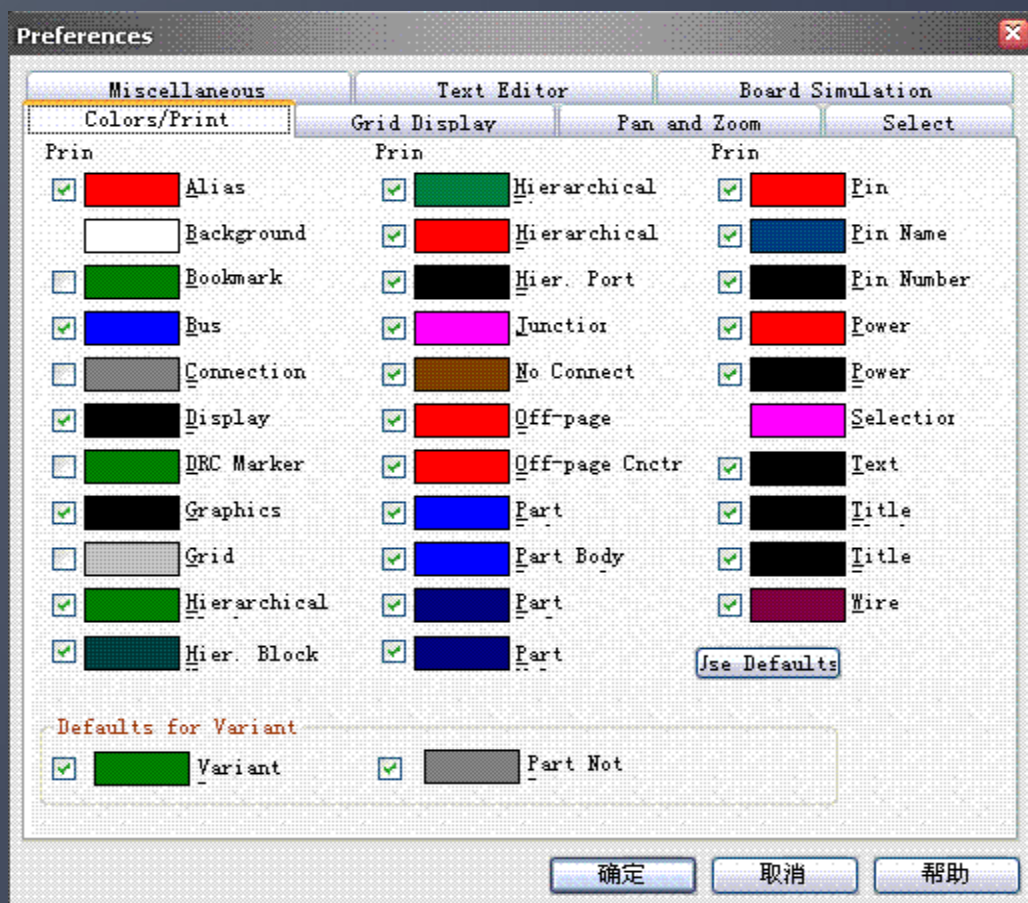
删除文件比较简单，和windows一样选中后按**delete**键即可。只要注意的是，原理图的页面打开状态下，无法删除。另外，删除操作是不可恢复的，谨慎操作。

- 对于**cache**的操作稍微复杂，用到的时候再说吧，后续文章中会讲到。



• 参数设置

工程建立之后，默认情况下已经在 SCHEMATIC1 文件夹中建立了一个新页面 page1。该页面的各种参数如颜色，字体，title，网格形式等都是默认设置。如果想使用自己习惯的设置，方便的方法是在 design template 和 preference 中设置好，然后新页面都会按设置好的参数建立。设置方法：主菜单->option->preference，点击后弹出设置参数面板如图





上图中可以设置颜色、字体、网格显示方式、缩放和滚动方式等等很多选项，看一看试一试就明白了。在主菜单->option->design template中可以设置题头、字体大小、页面尺寸、网格尺寸显示打印方式等等。

浏览工程中的各个元素



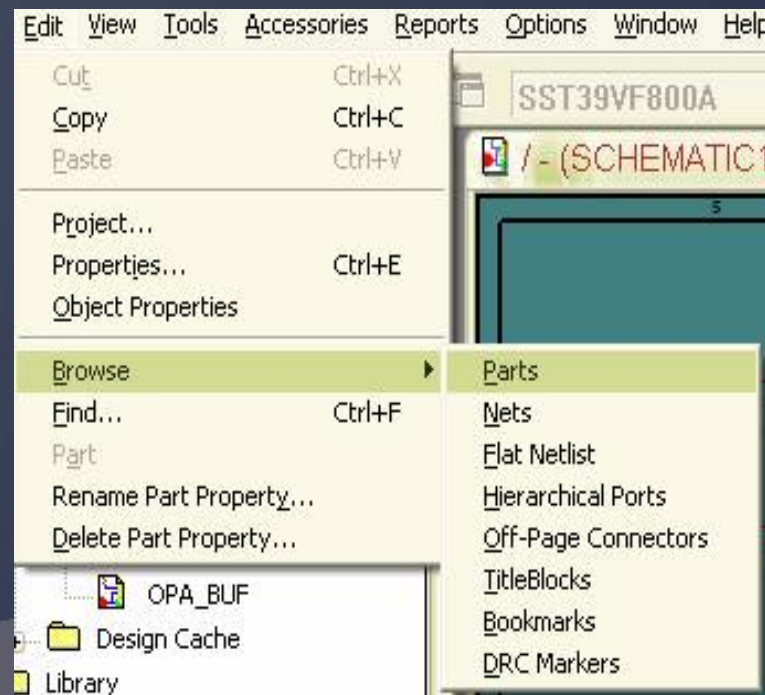
当原理图画完后，需要对原理图进行查错编辑。这时就要用到**browse**命令，浏览整个工程中的元素。

- 方法：

1. 选中.dsn文件或原理图文件夹

2. 选中菜单->**browse**

这里可选浏览**parts**、**nets**等右侧的下拉小列表中的各个选项。





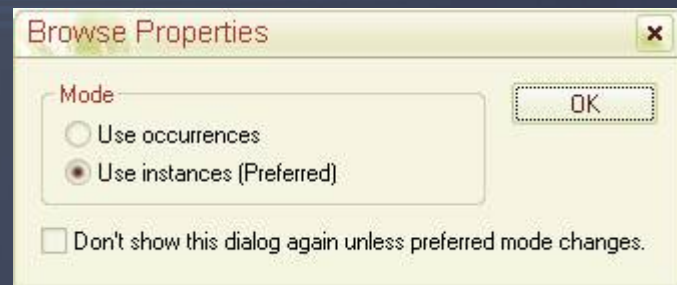
– 浏览parts

选择parts，弹出浏览属性对话框，选择默认即可。

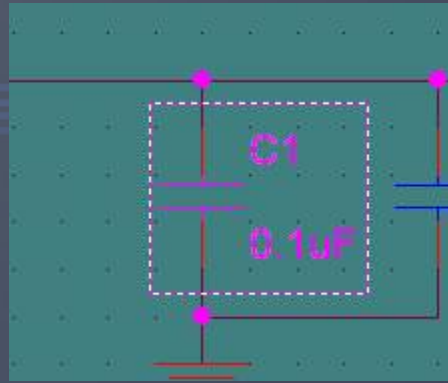
OK，打开工程中用到的所有元件列表窗口。

在该窗口中，双击某一个元件的reference，则可以打开原理图相应页面，同时该元件高亮显示。

如图所示，这样可以方便的定位某一元件。



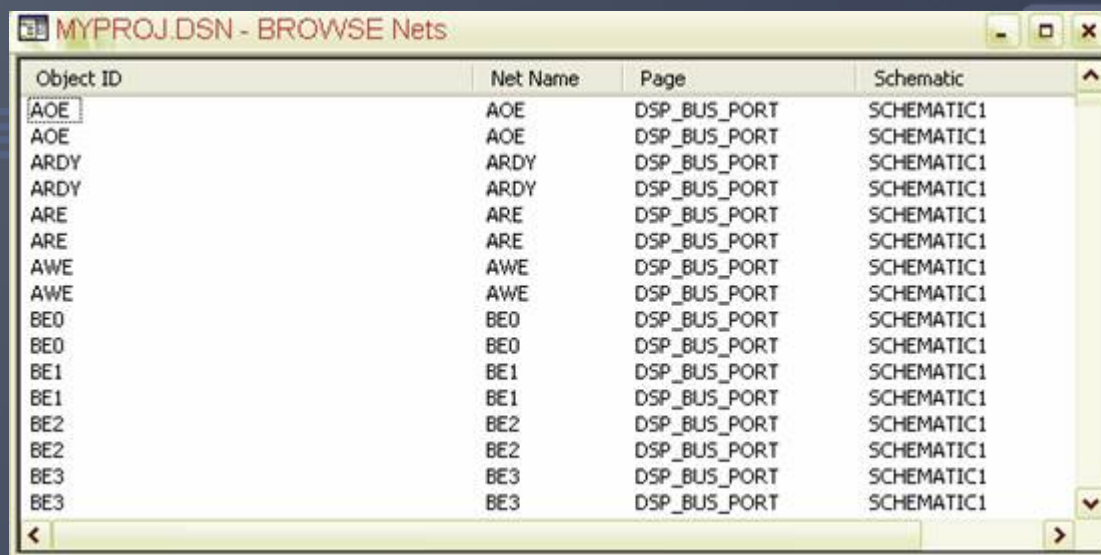
Reference	Value	Source Part	Source Library	Page	Schematic
C1	0.1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C2	1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C3	0.1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C4	1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C5	20uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C6	1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C7	20uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C8	0.1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C9	1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C10	0.1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C11	1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C12	0.1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C13	1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C14	20uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C15	0.1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C16	20uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C17	10uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C18	1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C19	1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C20	0.1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C21	0.1uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C22	0.01uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C23	0.01uF	CAP NP	C:\CADENCE...	codec_po...	SCHEMATI...
C24	47uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C25	47uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C26	47uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C27	47uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C28	47uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C29	47uF	CAPACITOR	C:\CADENCE...	codec_po...	SCHEMATI...
C30	0.1uF	CAP NP	C:\CADENCE...	DSP_BUS...	SCHEMATI...
C31	0.1uF	CAP NP	C:\CADENCE...	DSP_BUS...	SCHEMATI...
C32	0.1uF	CAP NP	C:\CADENCE...	DSP_BUS...	SCHEMATI...
C33	0.1uF	CAP NP	C:\CADENCE...	DSP_BUS...	SCHEMATI...
C34	0.1uF	CAP NP	C:\CADENCE...	DSP_BUS...	SCHEMATI...



- 使用技巧:

- 1) 从reference选项中可以看出，是否有元件没有进行编号，若有，则需要重新编号。
- 2) 从value选项可以看出是否有元件没有赋值，如电容量，电阻值等，如果有，则双击该元件的reference，在原理图中修改。

- 浏览nets

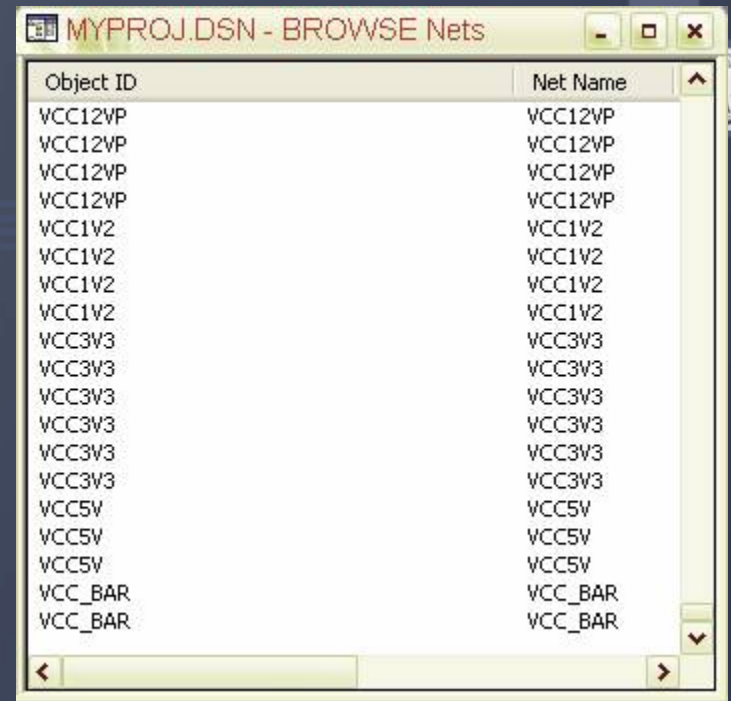


Object ID	Net Name	Page	Schematic
AOE	AOE	DSP_BUS_PORT	SCHEMATIC1
AOE	AOE	DSP_BUS_PORT	SCHEMATIC1
ARDY	ARDY	DSP_BUS_PORT	SCHEMATIC1
ARDY	ARDY	DSP_BUS_PORT	SCHEMATIC1
ARE	ARE	DSP_BUS_PORT	SCHEMATIC1
ARE	ARE	DSP_BUS_PORT	SCHEMATIC1
AWE	AWE	DSP_BUS_PORT	SCHEMATIC1
AWE	AWE	DSP_BUS_PORT	SCHEMATIC1
BE0	BE0	DSP_BUS_PORT	SCHEMATIC1
BE0	BE0	DSP_BUS_PORT	SCHEMATIC1
BE1	BE1	DSP_BUS_PORT	SCHEMATIC1
BE1	BE1	DSP_BUS_PORT	SCHEMATIC1
BE2	BE2	DSP_BUS_PORT	SCHEMATIC1
BE2	BE2	DSP_BUS_PORT	SCHEMATIC1
BE3	BE3	DSP_BUS_PORT	SCHEMATIC1
BE3	BE3	DSP_BUS_PORT	SCHEMATIC1

在该窗口中，双击某一个
nets，则可以打开原理图
相应页面，同时该网络的连
线高亮显示。如图所示，这
样可以方便的定位某一网络。

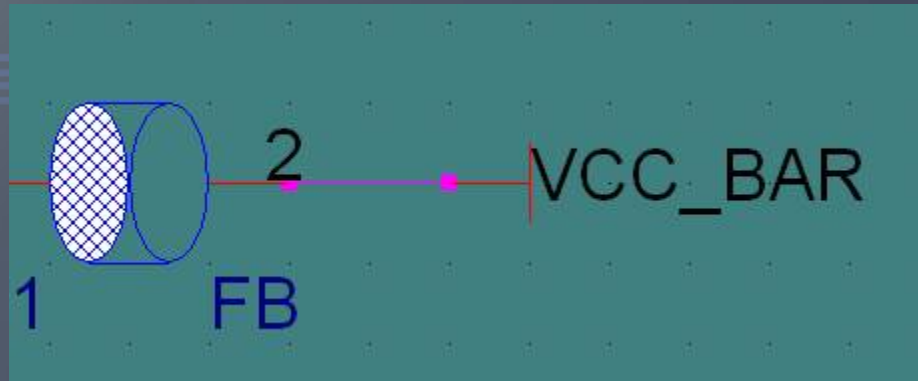


- 这个操作对于查看电源网络是否没有赋值很方便。图中VCC_BAR为忘记赋值的电源网络。出现这种情况，在DRC检查的时候，并不报错，但是该电源网络在pcb中不会和任何电源相连，出现严重错误。可以在这里方便的查看并修改。



Object ID	Net Name
VCC12VP	VCC12VP
VCC12VP	VCC12VP
VCC12VP	VCC12VP
VCC12VP	VCC12VP
VCC1V2	VCC1V2
VCC1V2	VCC1V2
VCC1V2	VCC1V2
VCC1V2	VCC1V2
VCC3V3	VCC3V3
VCC3V3	VCC3V3
VCC3V3	VCC3V3
VCC3V3	VCC3V3
VCC3V3	VCC3V3
VCC3V3	VCC3V3
VCC3V3	VCC3V3
VCC5V	VCC5V
VCC5V	VCC5V
VCC5V	VCC5V
VCC_BAR	VCC_BAR
VCC_BAR	VCC_BAR

双击该电源网络，列表中的VCC_BAR，打开所在的原理图页面。所在位置高亮显示



修改网络名称，赋给相应电压等级。

浏览命令中其他的命令使用也类似。在画完原理图后全面检查阶段很有用。

如何创建元件库



通常在画原理图时，需要自己生成所要用到器件的元件图形。这时可以建立一个自己的元件库，不断向其中添加，积累起来，就可以形成自己常用器件的元件库了，以后用起来会很方便。



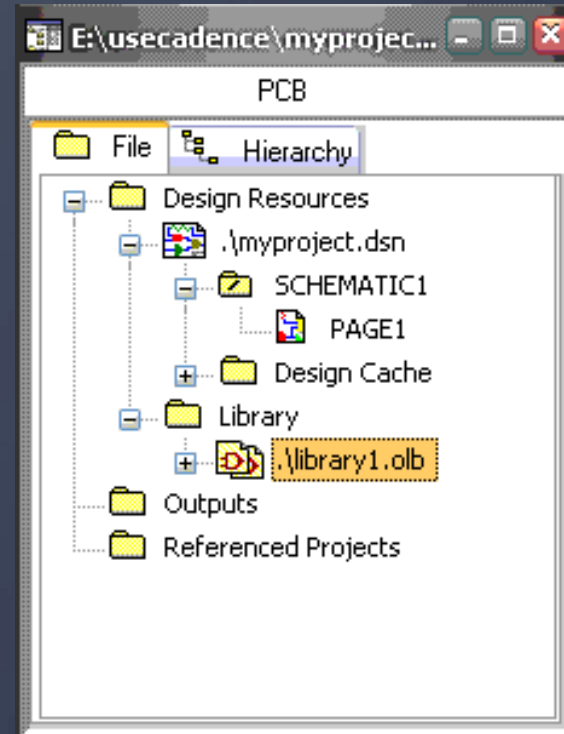
创建元件库的方法：

激活工程管理器，

file -> new -

>library，元件库被

自动加入到工程中

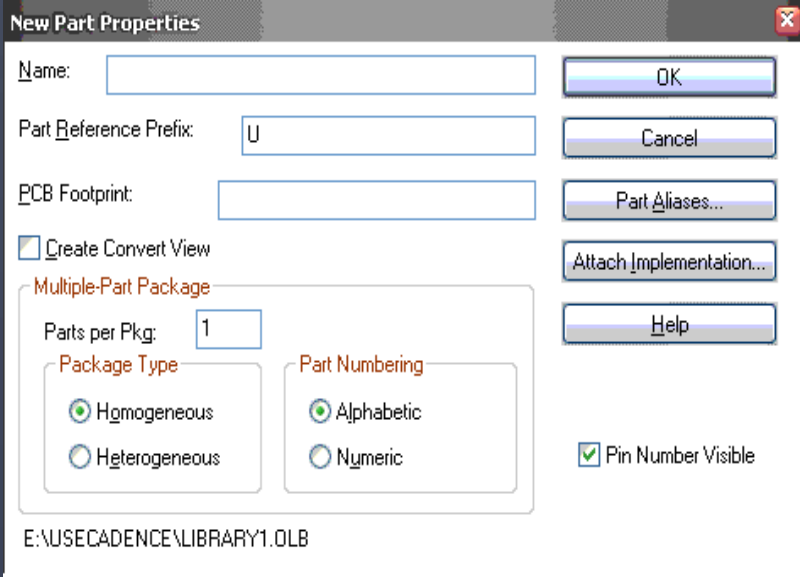


接下来就可以在刚才新建的库文件中建立元件了。

右键->new part, 弹出对话框如右图。

在对话框中添加元件名称, 索引标示, 封装名称, 如果还没有它的封装库, 可以暂时空着, 以后可以改的。

图中multi-part package部分是选择元件分几部分建立



The image shows the 'New Part Properties' dialog box in a CAD software. It contains the following fields and options:

- Name:** An empty text field.
- Part Reference Prefix:** A text field containing the letter 'U'.
- PCB Footprint:** An empty text field.
- Create Convert View:** A checkbox that is currently unchecked.
- Multiple-Part Package:** A section containing:
 - Parts per Pkg:** A text field containing the number '1'.
 - Package Type:** Two radio button options: 'Homogeneous' (selected) and 'Heterogeneous'.
 - Part Numbering:** Two radio button options: 'Alphabetic' (selected) and 'Numeric'.
- Pin Number Visible:** A checkbox that is checked.
- Buttons:** 'OK', 'Cancel', 'Part Aliases...', 'Attach Implementation...', and 'Help' are located on the right side.
- Path:** At the bottom, it shows 'E:\USECADENCE\LIBRARY1.OLB'.

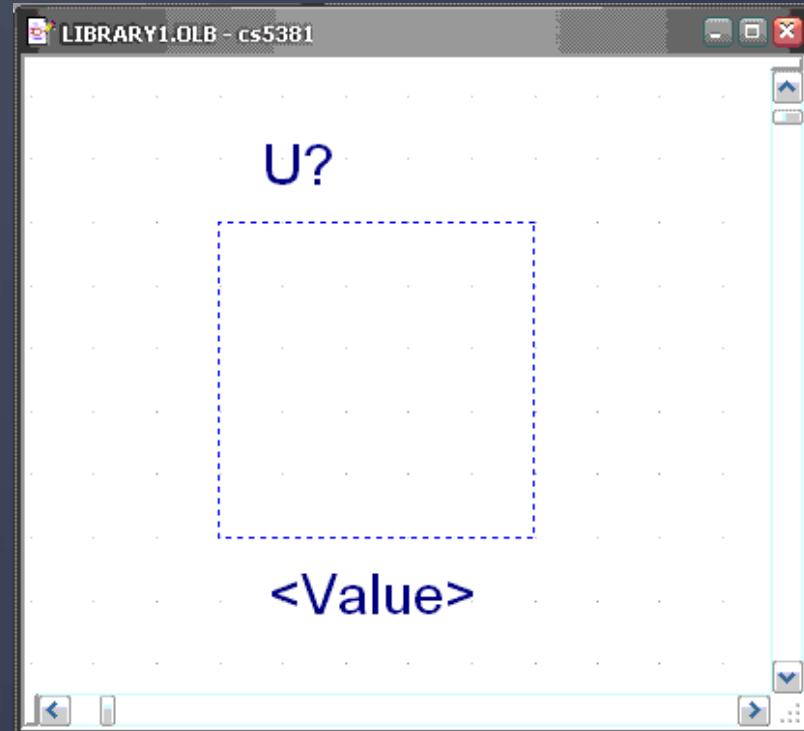


举个例子来说，比如有些FPGA有一千多个管腿，不可能都画在一个图形里，你就必须分成多个部分画。要分成8个部分，只要在part per pkg框中填8即可。

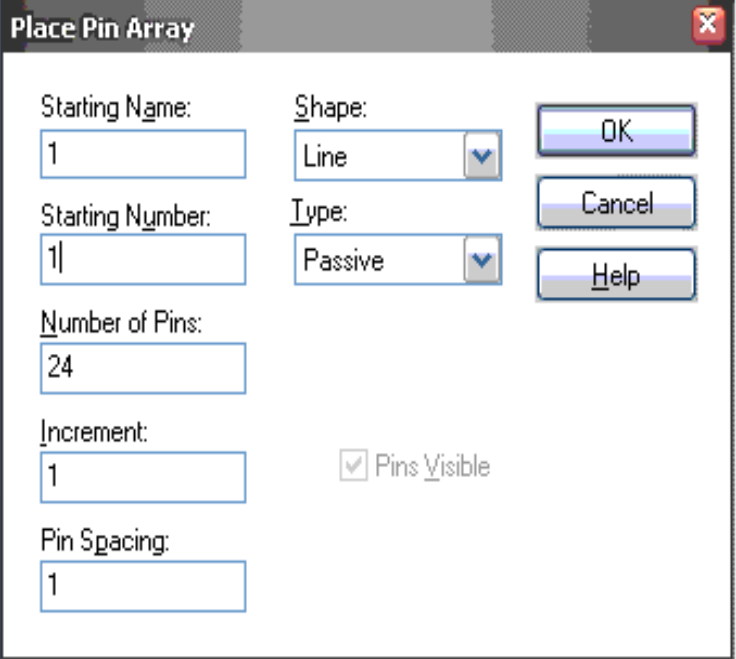
图中 package type选项对分裂元件有说法，独立元件的话默认选项就好了。它的作用后面再讲。

我们以建立建立元件CS5381 为例。

CS5381，共有**24**个管脚，管脚比较少，就不用把元件分成多个部分；按**OK**按钮，弹出器件图形窗口。初始图形很小，先把图框拉大，图中虚线部分，然后放置图形实体的边界线，选右侧工具栏中的那个小方框即可画出，初步调整大小，能放下**24**个脚即可。接下来要添加管腿了。这时你可以一个一个的添加，好处是每次添加都能设定好管脚的属性。也可以一次添加**24**个，然后再去一个一个修改属性。这里一次添加完所有管脚。



选place->pin
array，弹出对话框。
选项设置如图所示。

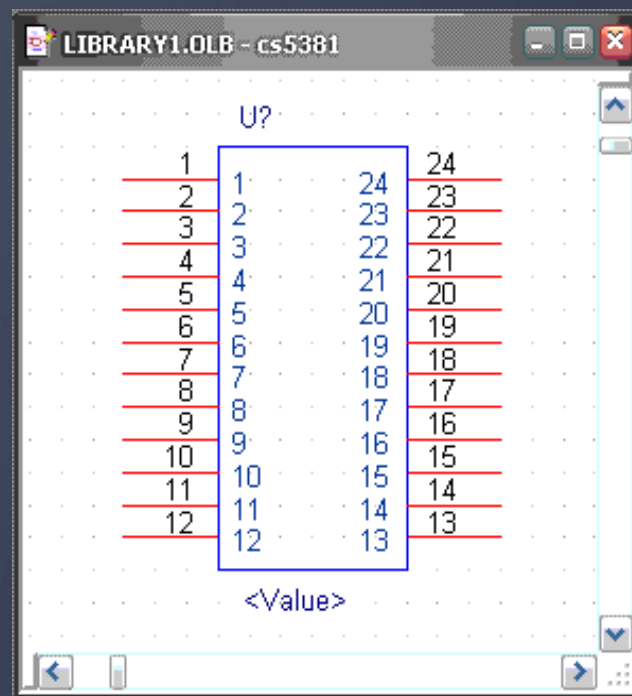


The image shows a 'Place Pin Array' dialog box with the following settings:

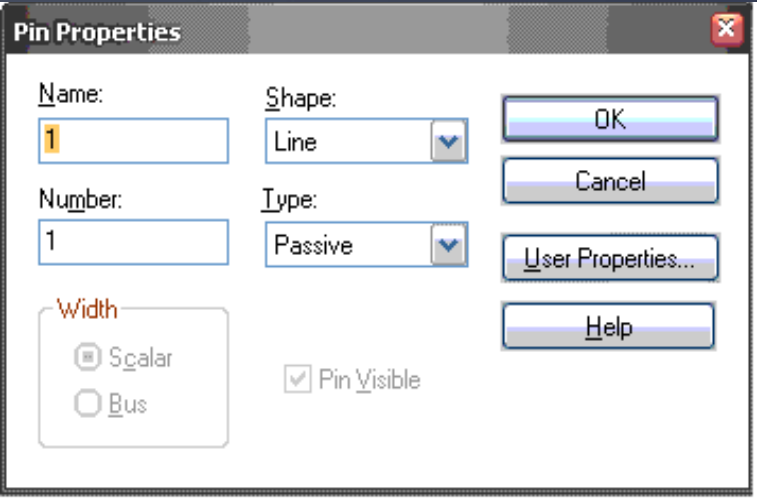
Field	Value
Starting Name:	1
Starting Number:	1
Number of Pins:	24
Increment:	1
Pin Spacing:	1
Shape:	Line
Type:	Passive
Pins Visible	<input checked="" type="checkbox"/>

Buttons: OK, Cancel, Help

点ok按钮，此时24个管脚就粘在鼠标上了，找到合适位置放下，然后选择一半的管脚直接拖到实体框的右边，如图。



接下来修改管脚属性。双击某一个管脚，弹出属性对话框，在这里可以设置名称、编号、线形、类型等，按芯片手册上的设好即可。

The image shows a 'Pin Properties' dialog box with a title bar and a close button. It contains several input fields and buttons. The 'Name' field has the value '1'. The 'Number' field also has the value '1'. The 'Shape' dropdown menu is set to 'Line'. The 'Type' dropdown menu is set to 'Passive'. There is a 'Width' section with two radio buttons: 'Scalar' (selected) and 'Bus'. A checkbox labeled 'Pin Visible' is checked. On the right side, there are four buttons: 'OK', 'Cancel', 'User Properties...', and 'Help'.

Pin Properties

Name: 1

Number: 1

Shape: Line

Type: Passive

Width

☒ Scalar

☐ Bus

☒ Pin Visible

OK

Cancel

User Properties...

Help

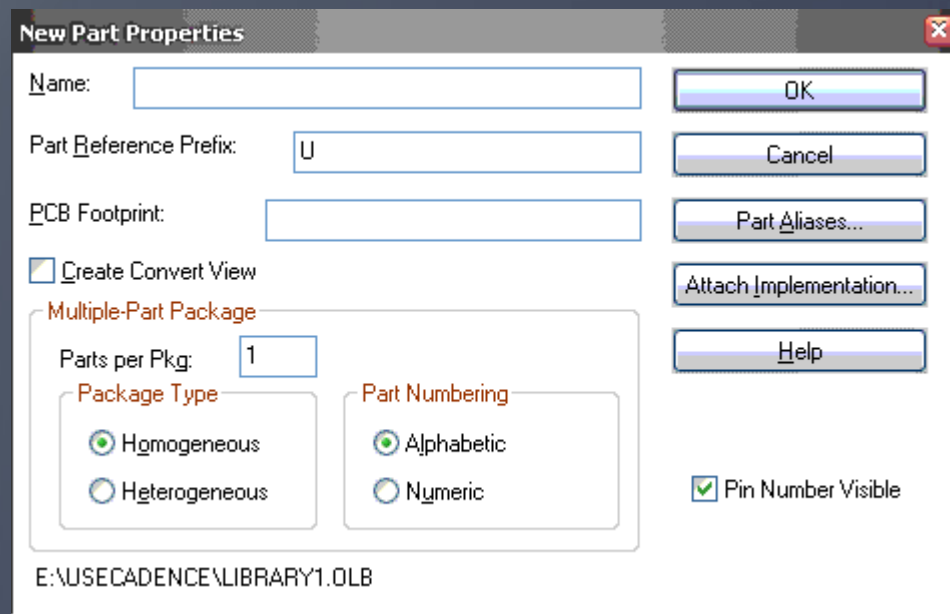


所有管脚属性全部
设定完成后如图。
存盘保存。这样就
建好了一个元件。

N?		
1	RST	24
2	M/S	23
3	LRCK	22
4	SCLK	21
5	MCLK	20
6	VD	19
7	GND1	18
8	VL	17
9	SDOUT	16
10	MDIV	15
11	HPF	14
12	LJ	13
	FILT+	24
	REFGND	23
	VQ	22
	AINR+	21
	AINR-	20
	VA	19
	GND2	18
	AINL-	17
	AINL+	16
	OVFL	15
	M1	14
	M0	13
<Value>		

分裂元件

首先看建立元件时的属性对话框，见下图



注意这个图中左下角选项框中的两个选项，**homogeneous** 和 **heterogeneous**。什么意思？本文就此进行详细说明。



首先要搞清楚物理封装元件和逻辑元件的关系。

任何一种芯片及电阻电容等元件都有其自己特殊的封装形式，比如DIP8、PQF100，BGA686等就是几种封装形式。不论芯片由多少管脚，都在一个封装上体现出来，我们在画PCB图的时候，把它作为一个元件放在版图中，这是和他的实际物理封装形式、尺寸等一一对应的，因此必须以单个元件的形式建立图形，不能分成几个部分。但是在原理图中放置的元件只是一种逻辑上的表示，原理图中重视的是有多少个管脚，各个管脚的属性如输入输出特性、电源还是地、是否是时钟等，至于是以一个元件的方式画出来，还是分成多个画，以及各个部分画成什么形状并不重要，只要各个管脚的电气特性正确就可以。最终原理图给出的只是一个网表，包括管脚属性、互连关系。你甚至不需要画原理图，手工编辑网表也可以，用原理图的形式不过为了更清楚，更容易管理罢了。所以，在画原理图的时候，每个元件怎么画，画成什么形状，随你的便，重要的是管脚编号，数量和电气特性。



知道了上面的东西，就能明白分裂元件的意义了。有些芯片管脚数非常多，像XILINX virtex4系列的FPGA有一千多个管脚，没办法在一个图中画出来。所以这时都会把它分成很多个部分分别画出来，把属于同一个功能模块的管脚分离出来，单独画在一个元件图形里。

上图中的parts per Pkg意思就是同一个封装（对应一个芯片），在原理图中用几个部分表示。如果你选择8，并把一个芯片的所有管脚分8个部分画出来，那么软件就知道这8个元件实际上是同一个芯片的不同部分。

理解了元件的分裂，再看homogeneous 和 heterogeneous是什么意思。有些元件内部包含了两个或更多的功能完全一致的模块，唯一的区别就是，管脚的名字编号不一样，这时如果你把它分成两个元件画出，那这两个元件几乎是一样的，这种元件就是homogeneous的。另一方面，比如画一个DSP芯片，它包含VCC GND等电源属性的一组管脚，还有通用IO口、缓冲串行口，EMIF数据端口等，如果分别画在不同的元件图中，这些分裂的元件包括功能、管脚数量、电气属性都不一样，那么此时这些分裂的元件就是heterogeneous的。

知道这些，就可以在原理图中使用分裂元件了，分开处理，画起图来那是相当的方便。

分裂元件的使用方法



如果一个元件包含多个部分，Homogeneous类型或Heterogeneous类型。使用过程中要注意几点。使用不当会出错。首先看看直接使用出现什么错误。在原理图中放置元件。进行索引编号。出现如下错误信息。

ERROR [ANN0005]

Cannot perform annotation of heterogeneous part 'N?A(Value NE5532)', part has not been uniquely grouped (using a common User Property with differing Values) or the device designation has not been chosen

Done updating part references



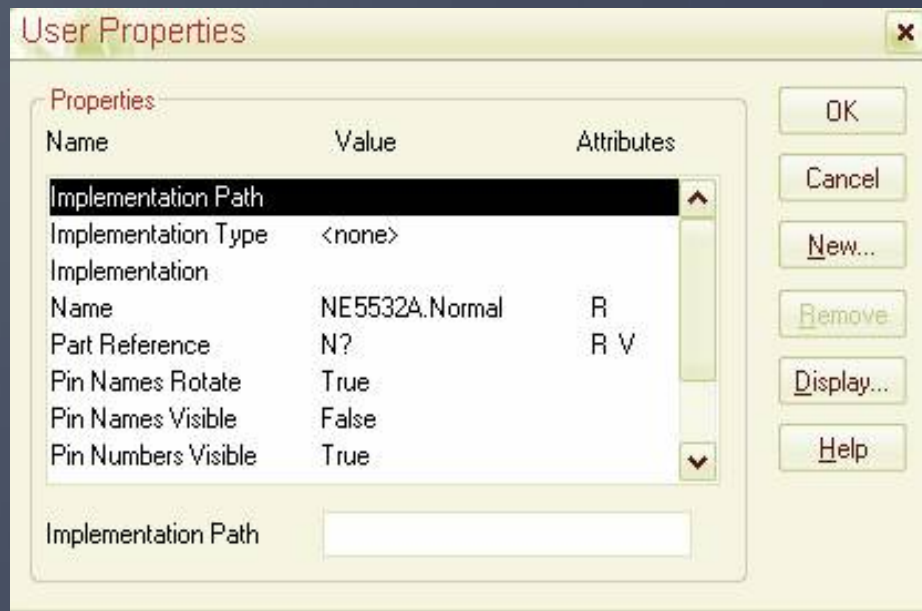
多个元件没有正确分组。

下面介绍使用方法。

第一步：在元件库中建立元件。

第二步：给元件创建新的属性，用这个新的属性给元件分组。

打开元件库，双击元件调出user properties编辑对话框。





单击new创建新属性，命名为package，
value设为1。

New Property

Name: package

Value: 1

OK

Cancel

Help



两个部分都添加同样的属性和值，保存。

第三步：在原理图中放置好元件。

第四步：在原理图中设置package属性。双击元件，调出属性对话框。

The screenshot shows the 'Property Editor' dialog box for a component named 'SCHEMATIC1 : OPA_B'. The dialog has a title bar with a standard Windows icon and the text 'Property Editor'. Below the title bar are four buttons: 'New Row...', 'Apply', 'Display...', and 'Delete Property...'. The main area is a table with two columns: the left column lists properties, and the right column shows their current values. The 'package' property is highlighted with a blue background.

	A
	SCHEMATIC1 : OPA_B
Color	Default
Designator	A
Graphic	NE5532A.Normal
ID	
Implementation	
Implementation Path	
Implementation Type	<none>
Location X-Coordinate	500
Location Y-Coordinate	150
Iname	INS2119853
package	1
Part Reference	N1A
PCB Footprint	
Power Pins Visible	<input type="checkbox"/>
Primitive	DEFAULT
Reference	N1
Source Library	E:\CLASS_CADENCE\...
Source Package	NE5532
Source Part	NE5532A.Normal
TEST	1
Value	NE5532



第1个芯片两个部分的package属性value值都
设为1。

第2个芯片两个部分的package属性value值都
设为2。类推。依次为3, 4。。。。。。。。

Property Editor	
New Row... Apply Display... Delete Prop	
	A
	SCHEMATIC1 : OPA_B
Color	Default
Designator	B
Graphic	NE5532B.Normal
ID	
Implementation	
Implementation Path	
Implementation Type	<none>
Location X-Coordinate	680
Location Y-Coordinate	480
Name	INS2122308
package	2
Part Reference	N?B
PCB Footprint	
Power Pins Visible	<input type="checkbox"/>
Primitive	DEFAULT
Reference	N?
Source Library	E:\CLASS_CADENCE\C
Source Package	NE5532
Source Part	NE5532B.Normal
TEST	1
Value	NE5532



保存。这样package属性value值相同的就属于一个芯片，软件就可以正确分组。

第五步：在annotate时，设置combined property属性。



- 意思是根据package属性的value值分组。
- 做好上面的五个步骤，这样就不会出现上面的错误。



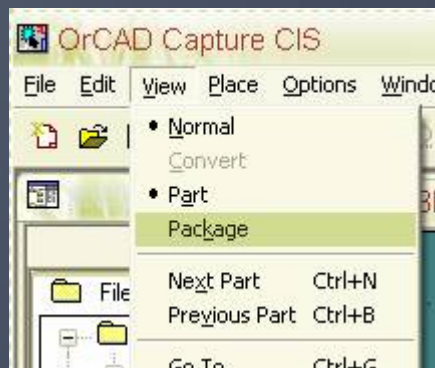
把一个元件分多个部分画出来

Homogeneous类型元件画法

1、选中.olb文件，右键new part，弹出new part properties对话框，填入元件名称，Parts per package填入2，package type 选homogeneous。如图

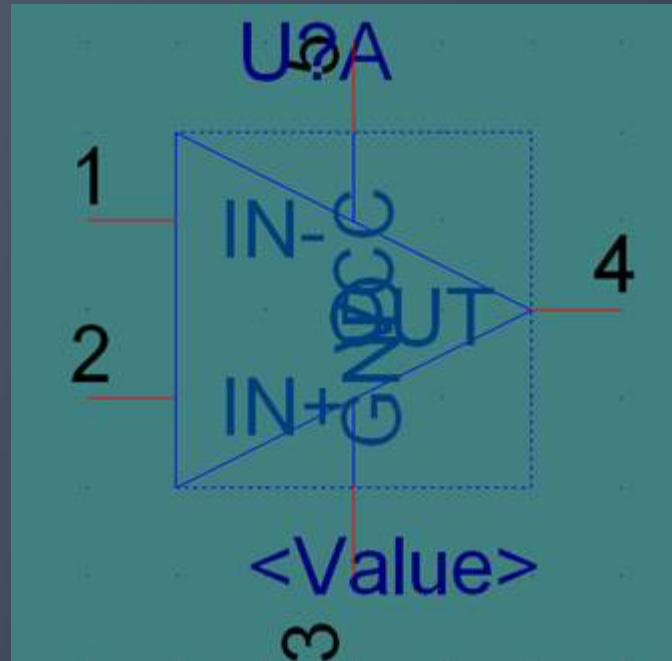


2、单击OK，菜单view->package中可查看，
软件自动把元件分成了A B两个部分。

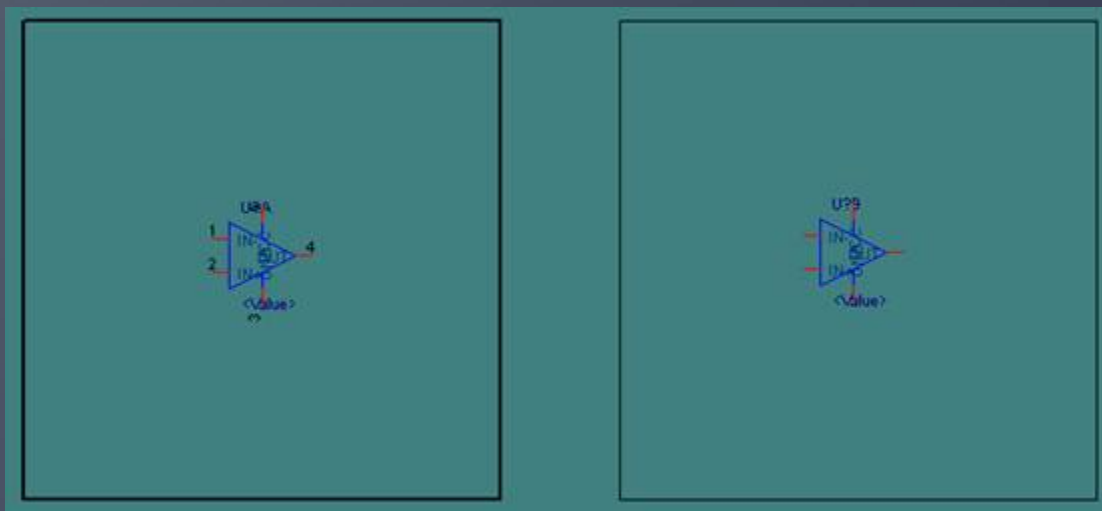




双击part A，进入PART A编辑页面。画好PART A部分图形，放好引脚。



3、快捷键**CTRL+N**进入**part B**部分编辑页面，**B**此时**B**部分除了引脚编号外，其他的都与**A**部分相同，只需要设置好引脚编号就可以了。这正是**Homogeneous**类型元件的特点。

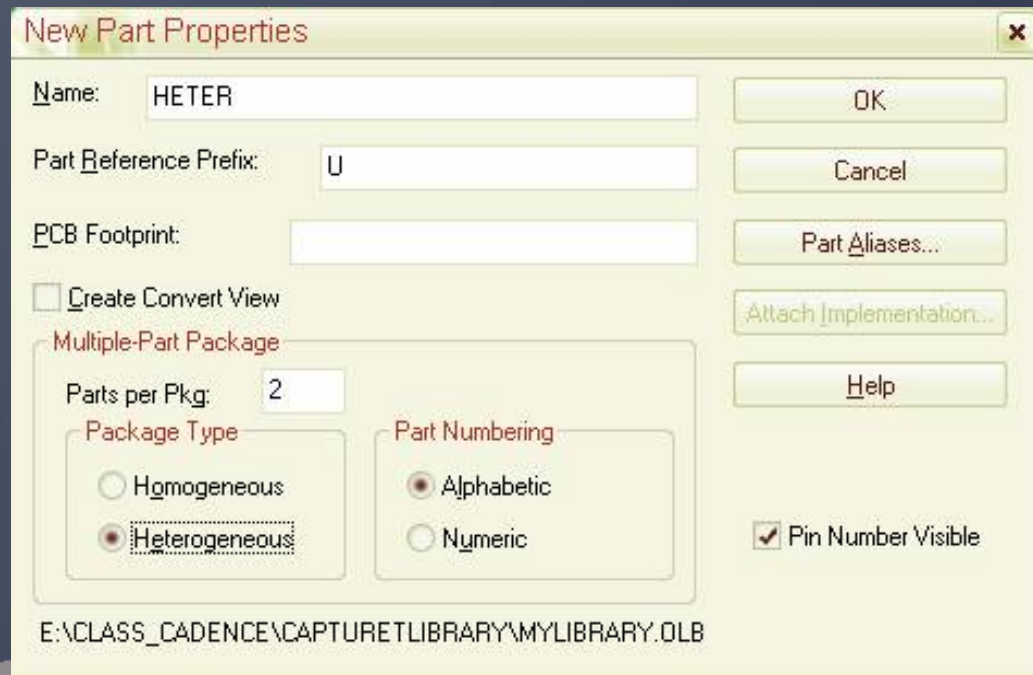


4、选**option->part properties**，设置**pin name visible**属性为**false**。注意图中应标出信号输入的正负极性。

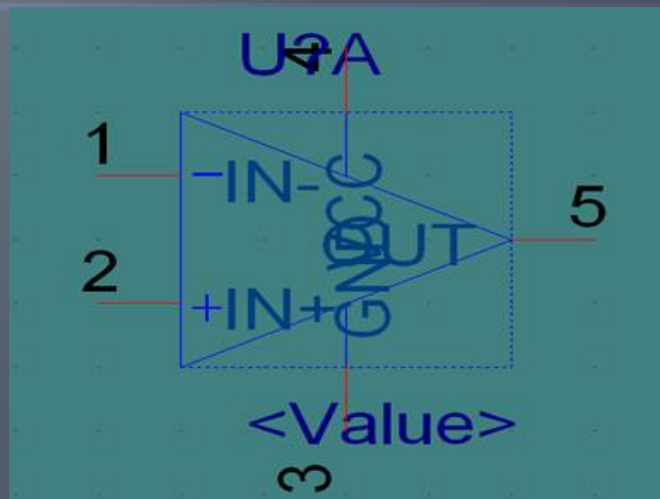


• Heterogeneous类型元件画法

1、选中.olb文件，右键new part，弹出new part properties对话框，填入元件名称，Parts per package填入2，package type 选 Heterogeneous。如图



2、单击OK，软件自动把元件分成了A B两个部分。同样的方法，画元件的partA部分。



3、快捷键CTRL+N进入part B部分编辑页面，此时B部分仍是空白，需要重新画。这正是Heterogeneous类型元件的特点。

4、PART B部分按一般元件画法画好，并设置好引脚属性即可。

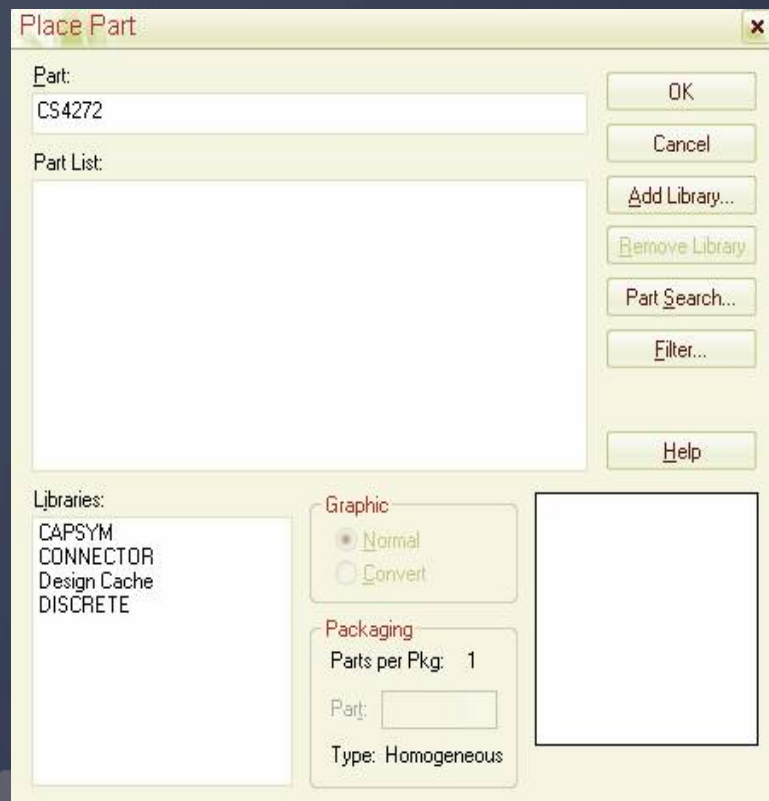
加入元件库，放置元件



- 普通元件放置方法：

第一步：打开建好的工程文件，打开原理图页面。

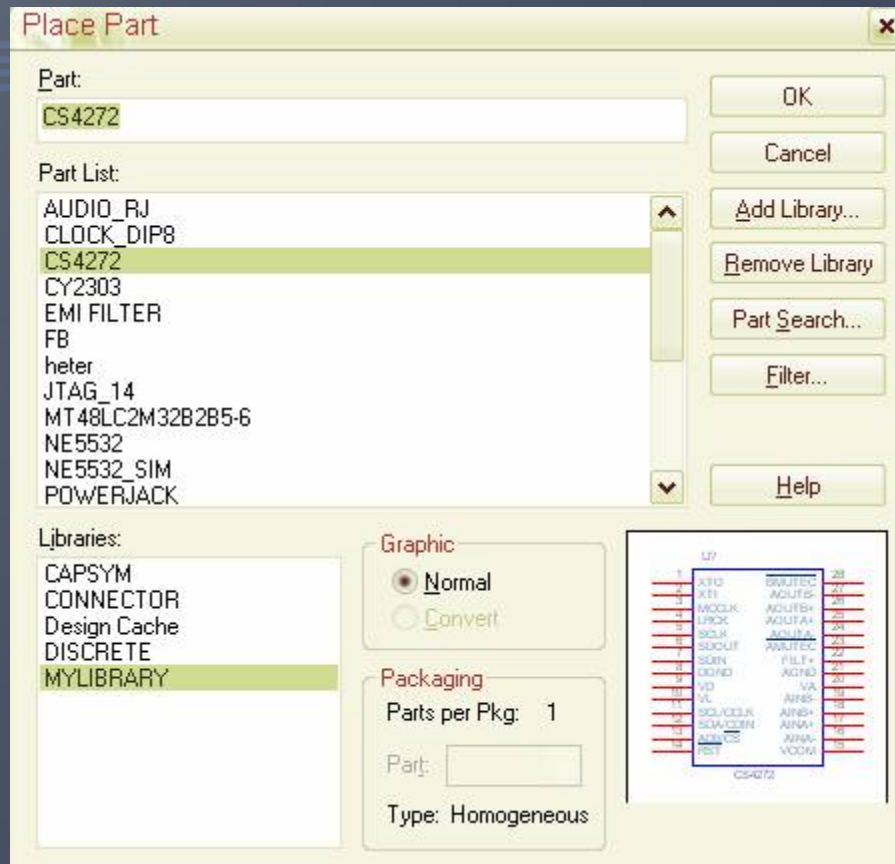
第二步：选place菜单，选part。或按快捷键P，弹出放置元件对话框。



第三步：点右上角add library按钮。弹出浏览对话框，找到要加入的元件库，添加。



工程中加入了刚才加入的库

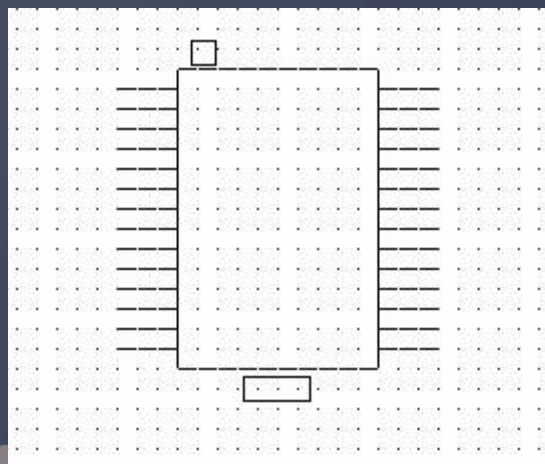


左下角的libraries中就是加入的所有元件库。

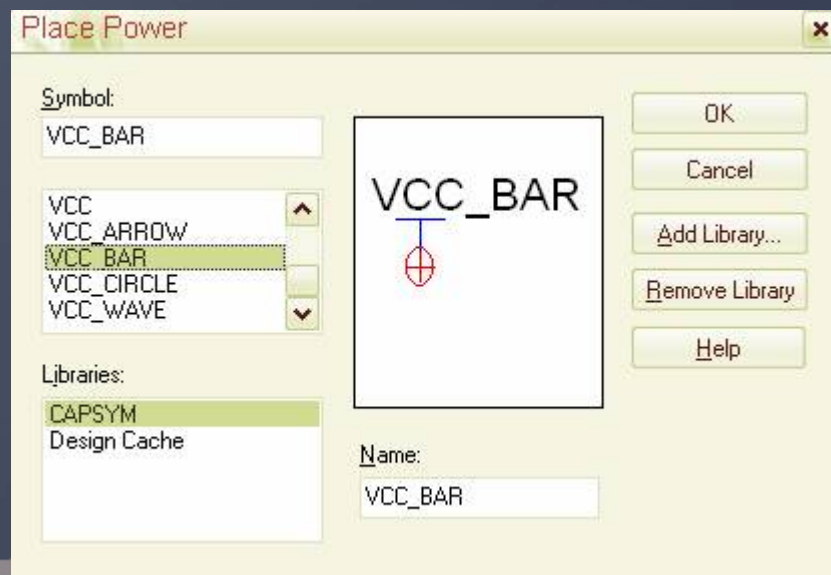
PART部分，可以键入要防止的元件名称，软件自动找到该元件，并在右下角图形窗口中显示图形。

要想删除某个库，选中该库，点**remove Library**即可删除。

第四步：找到要放置的元件，点**OK**，元件就会附着在鼠标光标上，放到合适的位置即可。



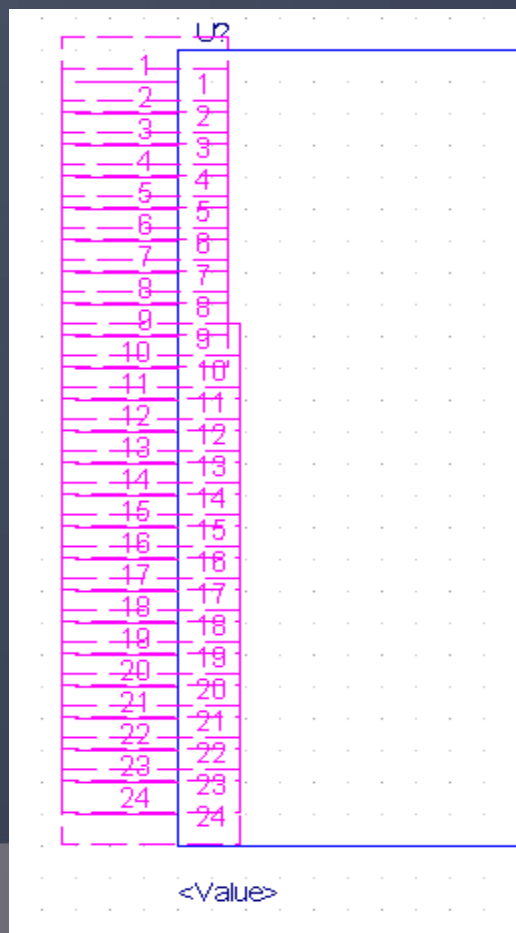
- 电源和地的放置方法：选择原理图中右侧快捷按钮中的place power和place gnd按钮即可。
选择要放置的电源或地图形。



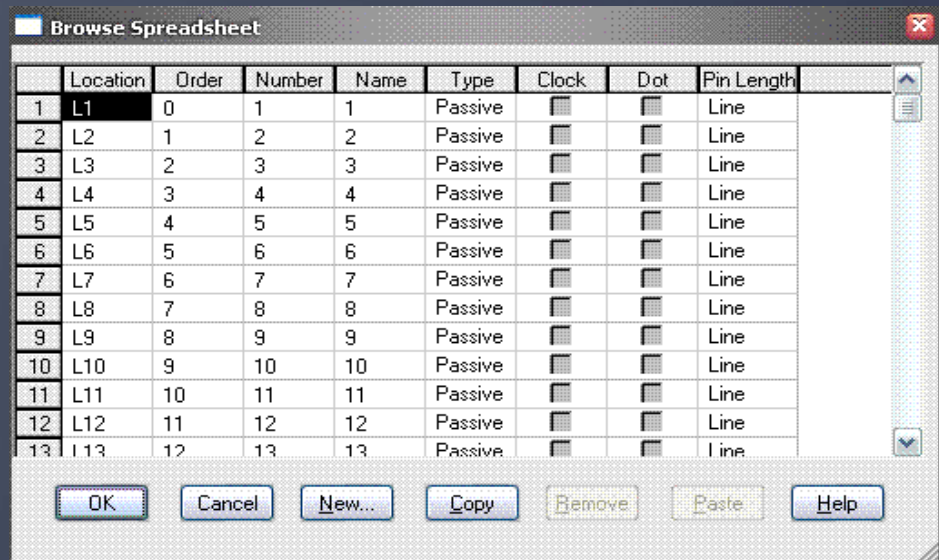
元件库编辑的一些知识技巧



当管脚数很多时，在元件图形上选择管脚一个一个编辑属性很浪费时间，这时你可以把所有管脚选中



然后选择edit->properties或者按ctrl+E键，弹出browse spreadsheet窗口，你可以在这里一块编辑各个管脚的属性，然后保存即可。



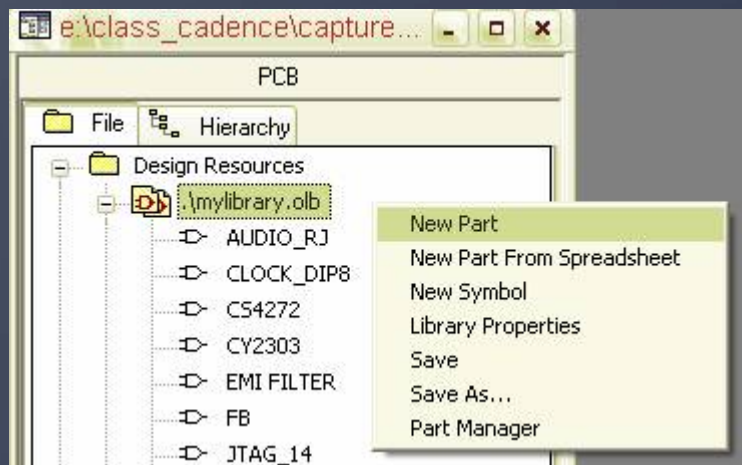
对于分裂元件：在原理图库中双击要编辑的元件，显示的是一个元件。选择view->package可以看到这个package内所有元件。

Option->package properties可以编辑该package的footprint，名称，索引符号，分裂元件数量等。

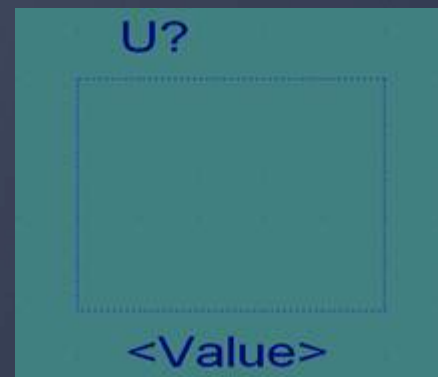
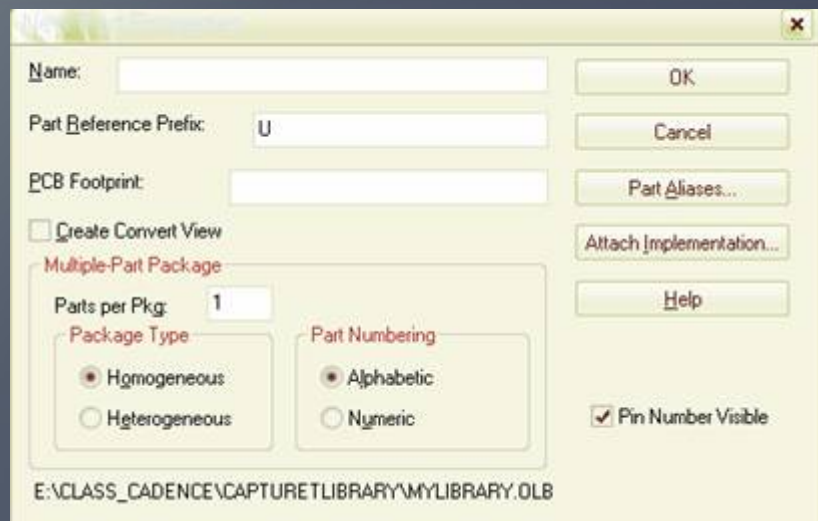
不规则图形元件画法



- 如何创建不规则图形元件
 - 1、打开元件库
 - 2、选中.olb文件，右键选择new part新建元件



3、弹出新建元件属性编辑窗口



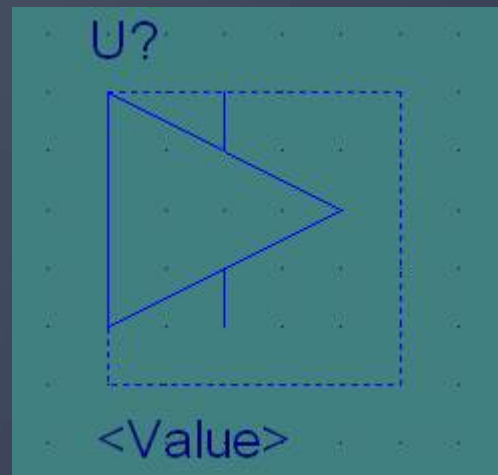
输入元件名称，这里以单运放为例说明，**name**栏键入名字**MYOPA**。其他默认。单击**OK**按钮，进入元件编辑窗口。



4、放置元件**body**外形线条，单击右侧小斜线快捷按钮（**place line**）



画出三角型外框，以及电源引脚在**body**内的填充线条。



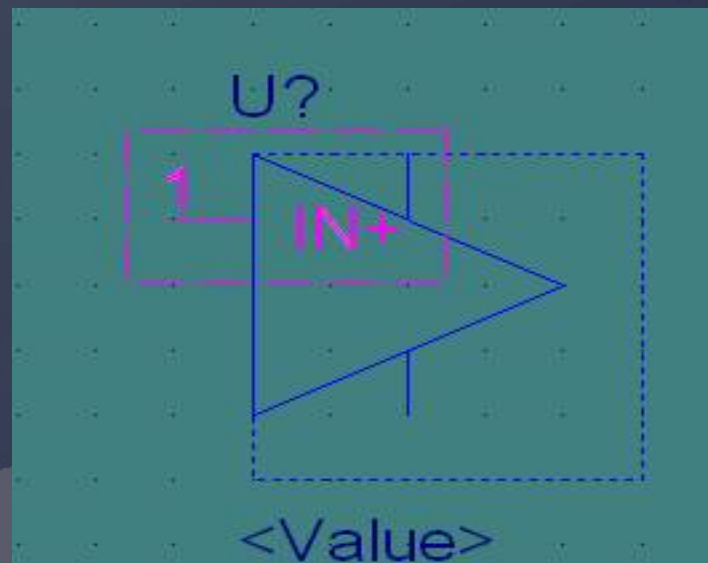
5、放置pin。点击右侧快捷按钮栏的place pin按钮。



弹出place pin对话框，
设置好引脚名称，编号，
shape选short类型，
type选择input。

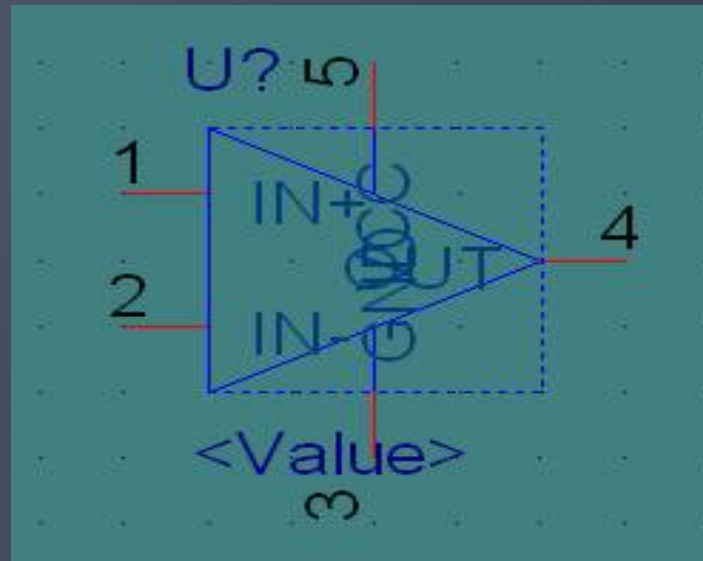


OK，放置好pin。

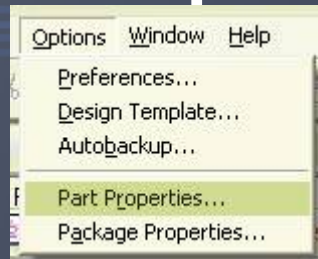




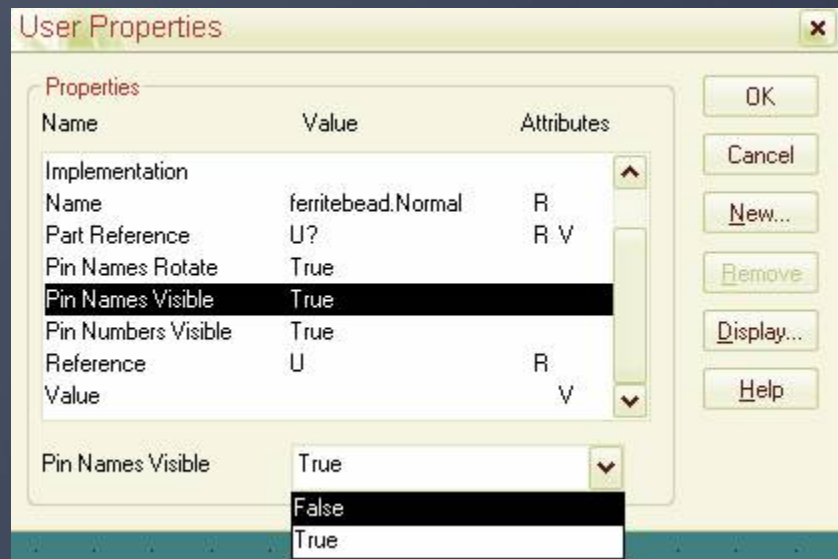
6、同样方法放好其他几个引脚。并调整好虚线外框大小。



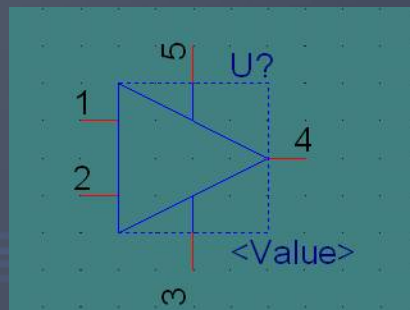
7、引脚的名称在图中挤在一起很乱，我们隐藏显示。选菜单option->part properties



在USER Properties对话框中设置pin name visible属性为false。



设置后元件图形
中引脚名称隐藏。



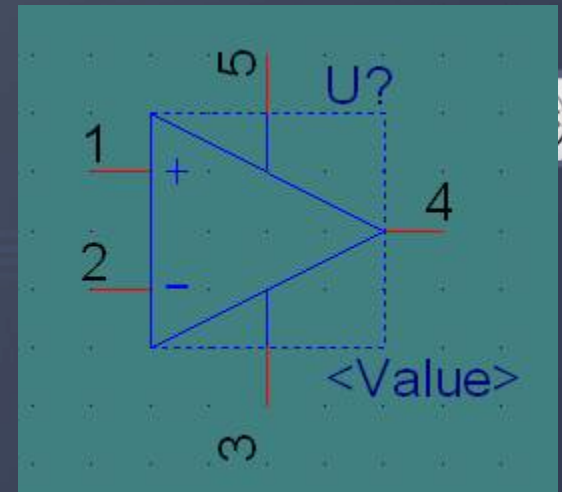
- 8、放置差分信号输入极性标记。
点击横幅快捷按钮中的小箭头
(snap to grid)，取消吸附
栅格。



点击右侧快捷按钮A，文本
编辑窗口中输入+，OK，
把文本符号 + 放到合适位置。



放好正负极性标记后图形如下。
由于取消了图形吸附栅格点，
符号位置可任意调整。



9、重新恢复吸附栅格点，单击
红色的小箭头按钮，重新设置吸
附栅格点。



10、保存建好的元件。

- 关键是snap to grid的操作，要适当运用，才能画出比例位置都合适的图形，另外，注意各个引脚的属性设置。

修改元件属性



- 元件索引编号及Value的修改

双击索引编号或value，弹出修改对话框，直接修改即可。

- 放置文本

菜单 **place->text**，或右侧菜单中的快捷按钮**A**，弹出文本编辑框






- 在编辑框内输入文字，换行方法为**CTRL+enter**键。
- **Color**: 选择文本颜色
- **Font**: 选择字型，字体大小等。
-
- 文本移动
- 鼠标点击选中，直接拖动
-
- 文本旋转
- 选中，快捷键**R**



- 放置图形

右侧快捷按钮，如图，可选矩形、椭圆形、圆弧等

原理图页面中左键，直接拖动出图形，如图中矩形框。

如果由DSP来控制，去掉这几个电阻

如果工作在Stand alone方式，用这几个电阻配置主从工作方式

建立电气互连



- 同一个页面内建立互连有两种方法：

1. 使用 **wire**
2. 使用 **net alias**

- 第一种方法：使用 **wire** 建立互连。

1、放置 **wire**

- 快捷键
- 或者菜单操作
- 或者快捷键 **W**。
- 鼠标左键选择起点，放开左键，拖动鼠标，直接画线。如果终点是某个器件的引脚，单击即可连接。如果终点悬空，双击鼠标结束。
- 画线过程中，一次转向默认是90度转角。若想走任意角度的连线，按住 **shift** 键。





- 2、 **wire**的连接方式：

如果两个**wire**呈T型，则软件默认是自动加入链接点，两条线电气上存在链接关系的。两条线构成十字形，默认没有电气连接。

- 3、 十字交叉线放置和取消链接点方法：
菜单**place->junction**，或右侧快捷按钮



- 直接放在交叉点，如果原来有连接点，该操作取消链接，如果原来没有链接点，该操作放置连接点。
- 删除连接点还有另一种方法，按住**S**键，鼠标左键选中**junction**点，按**delete**键删除。



- 第二种方法：使用net alias

具有同样net alias的线在电气上是互连的，这
只适用于同一个页面内的情况。

放置net alias方法：

1 菜单place->net alias。

2 快捷键N。

3 右侧快捷按钮面板中的快捷按钮



- 其他说明：

- 1 对于没有任何电气连接的引脚，放置无连接标记



放置后如图所示，表示该引脚悬空。

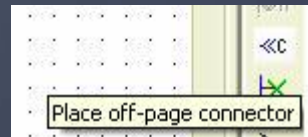
AOUTA+	25	
AOUTA-	24	
AMUTEC	23	×
FILT+	22	
AGND	21	

- 2 pin与pin之间直接连在一起，则电气上存在连接关系，电源和地符号与引脚直接相连，也形成电气上的连接关系。但是尽量避免这样做，因为这样，back annotation时会出问题。

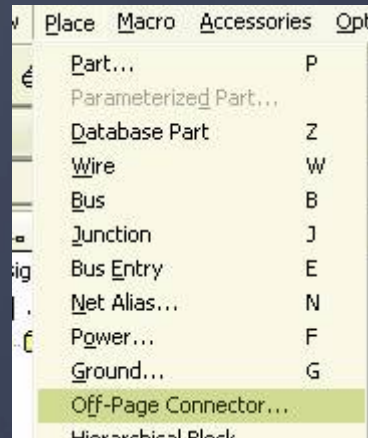
- 不同页面间建立互联的方法：

使用**offpage connector**。

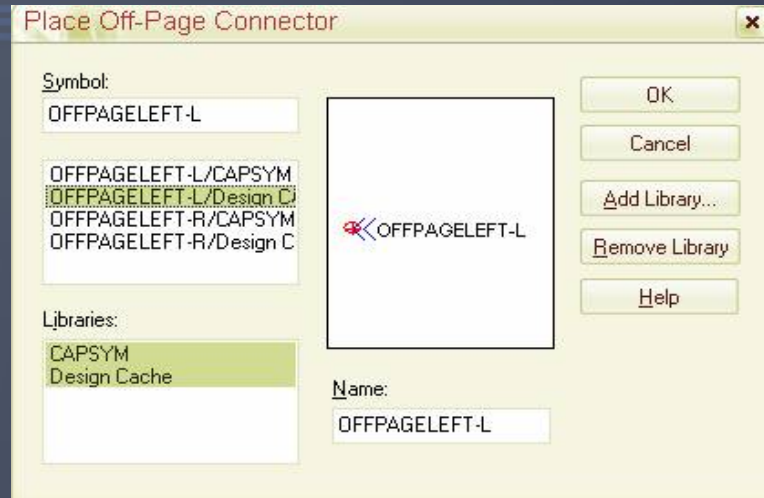
选中右侧快捷按钮中**place offpage connector**按钮，



或使用菜单



弹出place offpage connector对话框，



选择合适的offpage connector图标，OK，
offpage connector会悬挂在鼠标上，单击页
面，放置。



双击名称部分



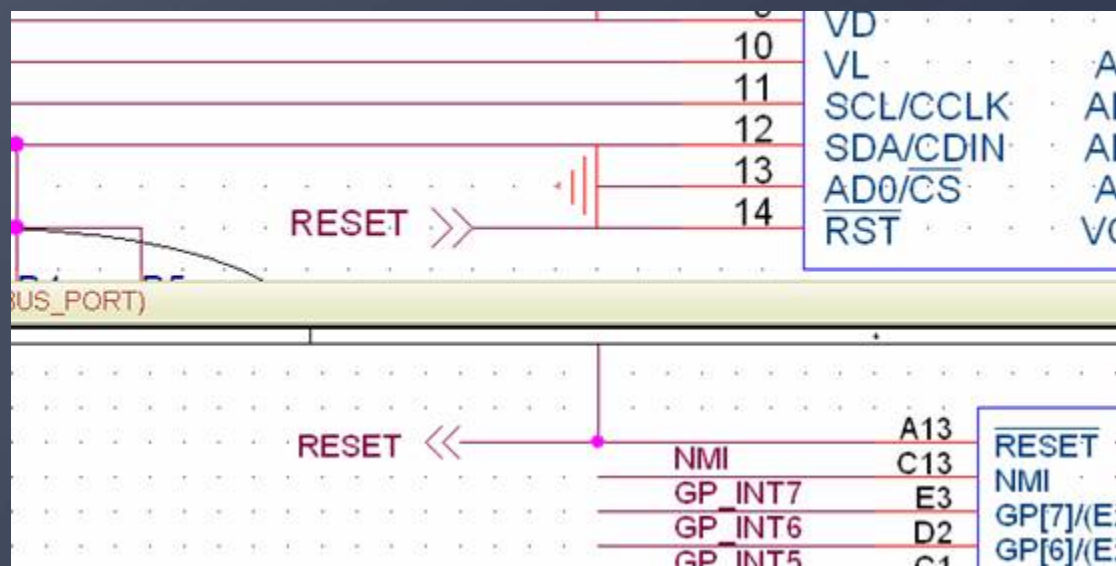
弹出属性对话框



在value中填入网络名称。然后拖动offpage connector图标到建立连接的位置。



同样在另一个页面，该网络的另一端也放好同名的offpage connector即可，这样就在两个原理图页面建立了电气连接。两个页面内都放好后如图所示。



总线用法



1 如何创建总线

- 1) 菜单place->bus或者右侧快捷按钮
- 2) 原理图内鼠标左键选择总线起点
- 3) 移动鼠标画线
- 4) 如需要转向，鼠标左键单击页面可转向，默认90度转角。
- 5) 双击左键结束总线





- 2 放置非90度转角总线
 - 1) 菜单place bus
 - 2) 按住shift, 左键单击选择起点
 - 3) 拖动鼠标即可画出任意角度总线
 - 4) 单击左键转方向
 - 5) 双击左键结束总线



- 3 总线命名

命名规则：BUSNAME[0..31]或
BUSNAME[0：31]或BUSNAME[0-31]
三种形式。注意BUSNAME和 '[' 之间
不能有空格，BUSNAME不能以数字结
束，不能用BUSNAME00 BUSNAME02
这样的名字。



- 放置总线的net alias:
 - a) 菜单place -> net alias弹出place net alias对话框



- b) 按照总线命名规则命名，在alias栏中输入，OK。



- 4总线与信号线连接

放置总线入口bus entry，可用菜单place->bus entry或快捷键E或右侧快捷按钮



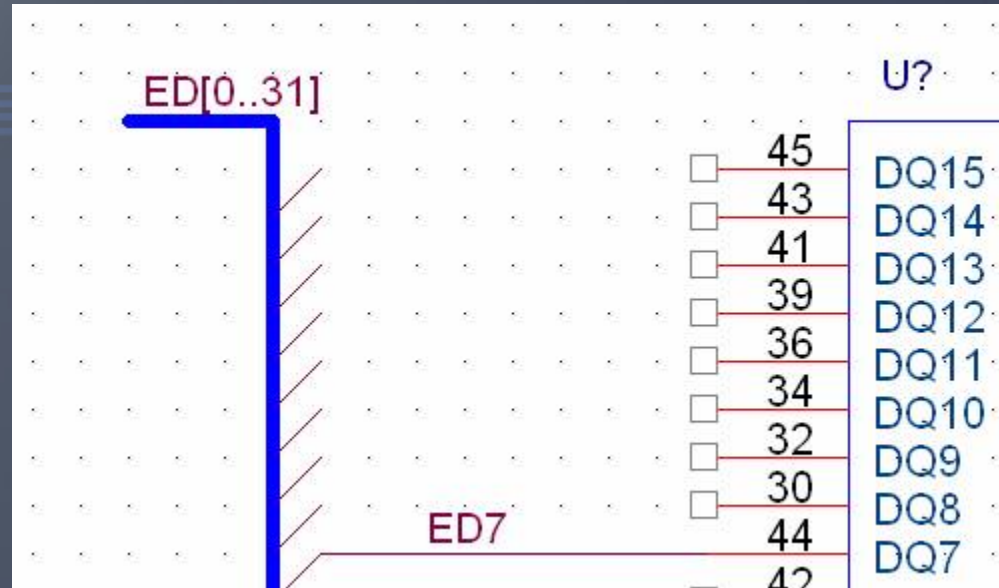
Bus entry悬挂在鼠标上，按R键旋转Bus entry方向。

移动Bus entry与总线相接，单击放置。

按快捷键F4重复放置

使用wire把一个引脚和总线一个入口相连。

给wire添加net alias，命名规则如下：如果总线名称为ED[0..31]，则wire名称必须是ED0、ED1、ED2.....ED31等这种名字。注意wire所在网络作为总线的成员，不能有方括号。



按住CTRL键，鼠标选中wire，拖动，连接其他线。此时，wire上的net alias自动递增。



- 几点说明:

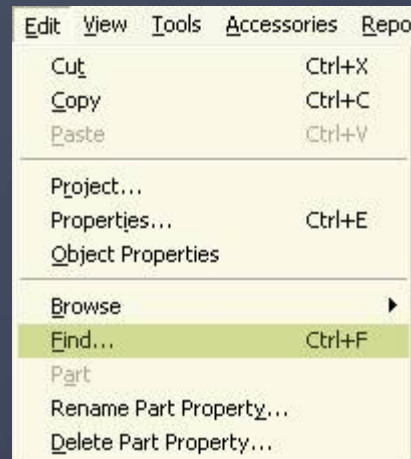
- 1) 总线和**wire**信号线之间只能通过网络名称实现电气互连。
- 2) 如果不用总线入口，而把**wire**线直接连到总线上，在连接处也显示连接点，但是这时并没有形成真正的电气连接。总线必须通过**bus entry**和信号线实现互连。并且总线和信号线都要命名，并符合命名规则。
- 3) 两段总线如果形成T型连接，则自动放置连接点，电气上是互连的。两段十字形的总线默认没有连接点，要形成电气互连，必须手动放置连接点。

在原理图中搜索

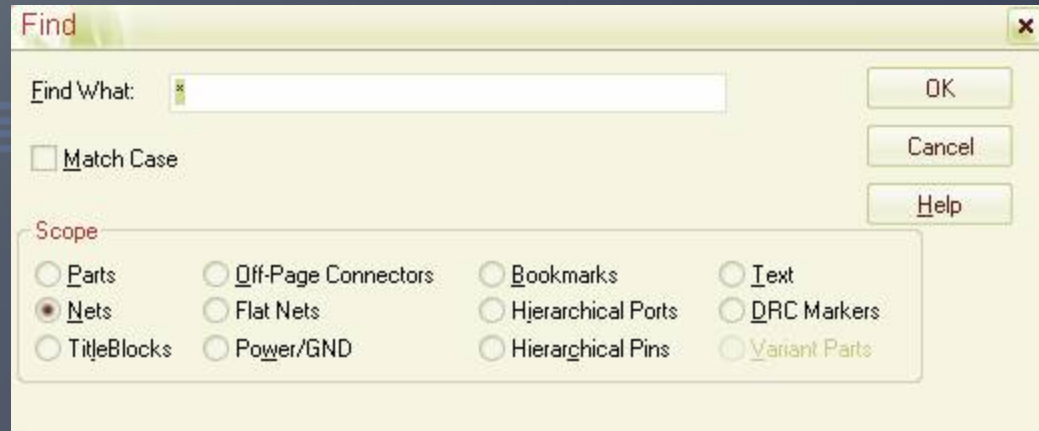


- 有时需要在原理图中搜索某一个特定的元素，可能是元件，可能是网络，可能是一个DRC标记。这时要用到find命令。

选中.dsn文件， Edit->find

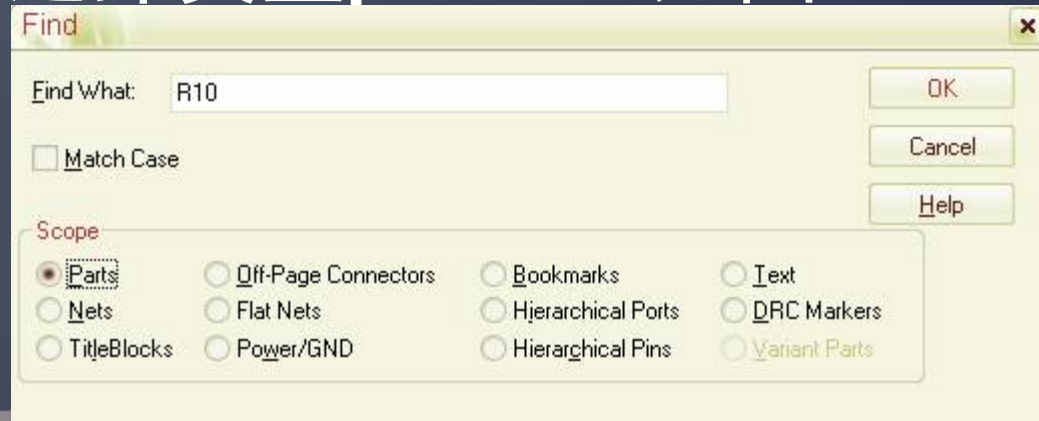


- 弹出查找对话框



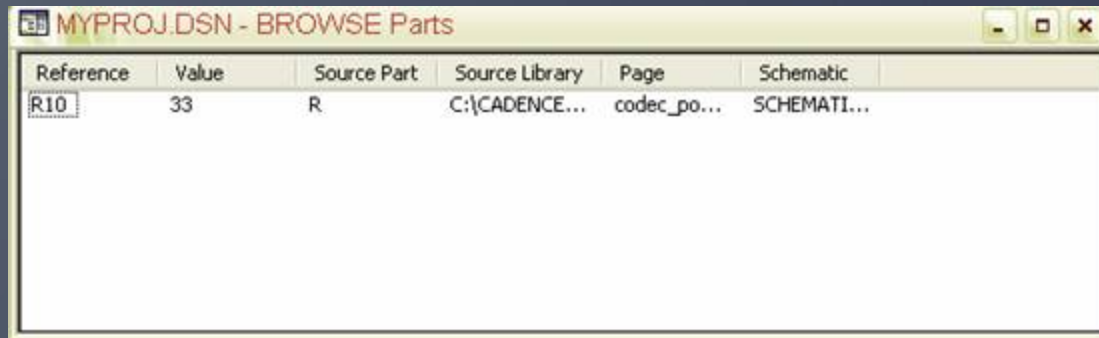
- 搜索元件

在Find what中输入要查找的元件索引编号，Scope中选择类型parts。如图。



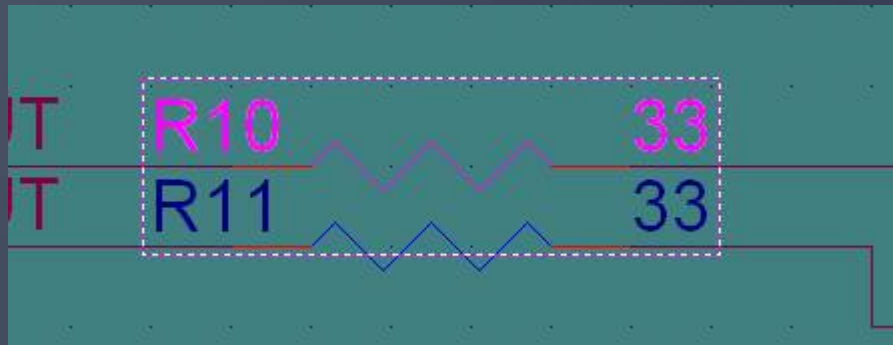


- 选择OK，打开搜索结果列表。



Reference	Value	Source Part	Source Library	Page	Schematic
R10	33	R	C:\CADENCE...	codec_po...	SCHEMATI...

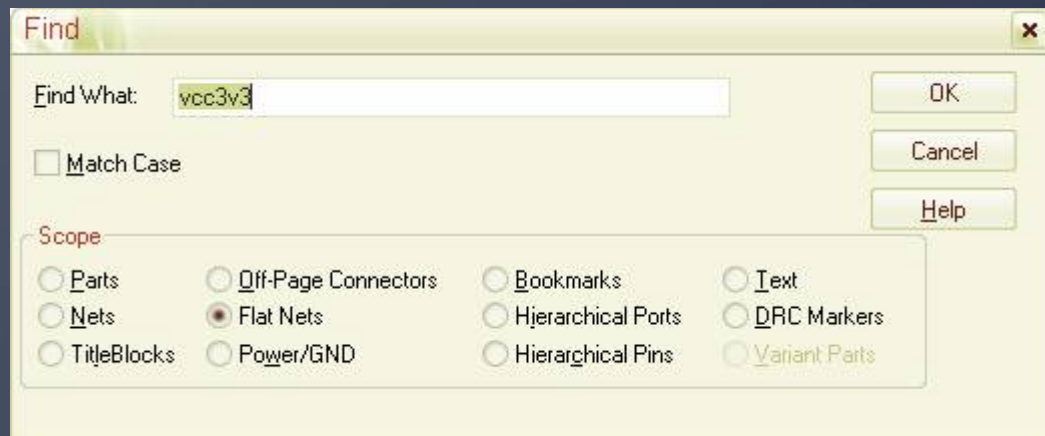
双击reference即可在原理图中定位该元件。



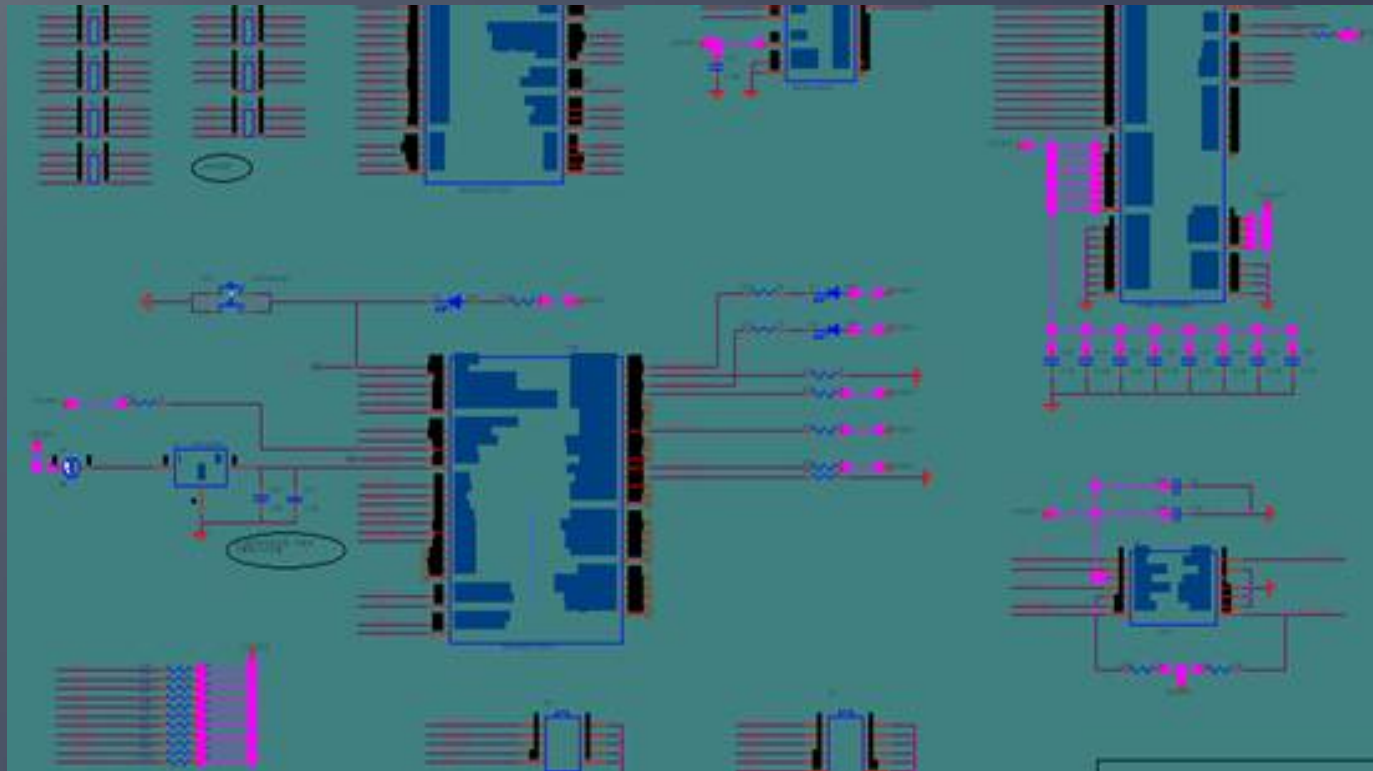


- 查找网络 flat nets

选中.dsn文件，Edit->find，选择flat nets
查找对话框中输入查找的网络名字，Scope
中选flat nets，如图



- 列表窗口中列出了那些页面中有该网络，双击某一个object ID，打开所在原理图页面，所有与该网络连接都高亮显示。



- 此命令对于查看网络连接情况非常有用。

元件的替换与更新

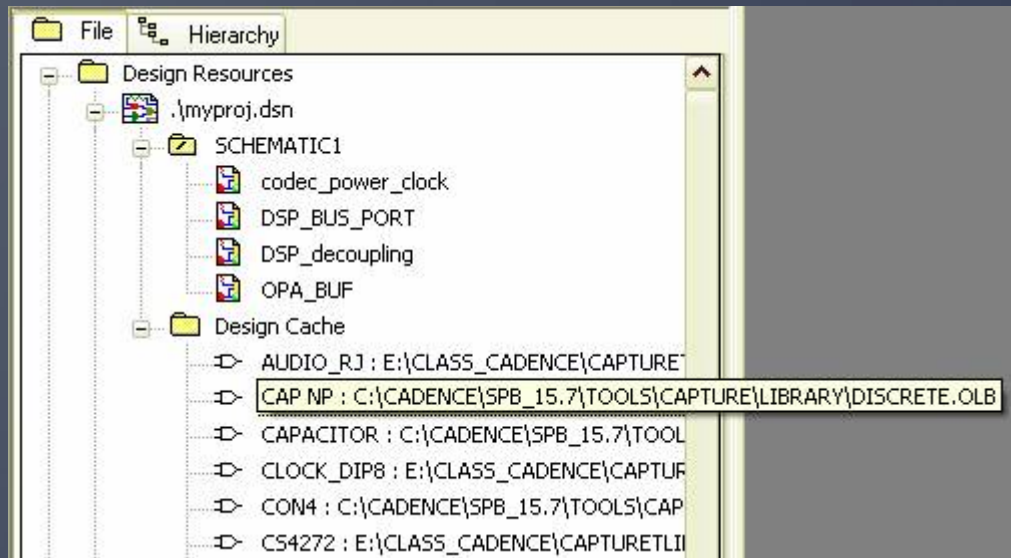


- 有时要对原理图中某一个元件批量替换，或者给同一种元件统一添加属性值，这就要用到replace cache和update cache命令。

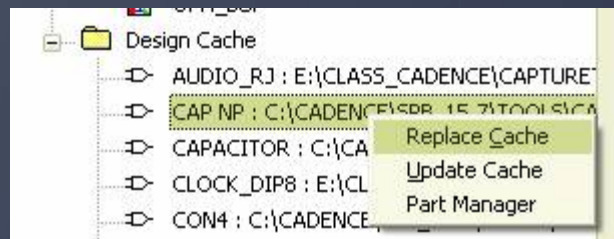


- 批量替换 **replace cache**

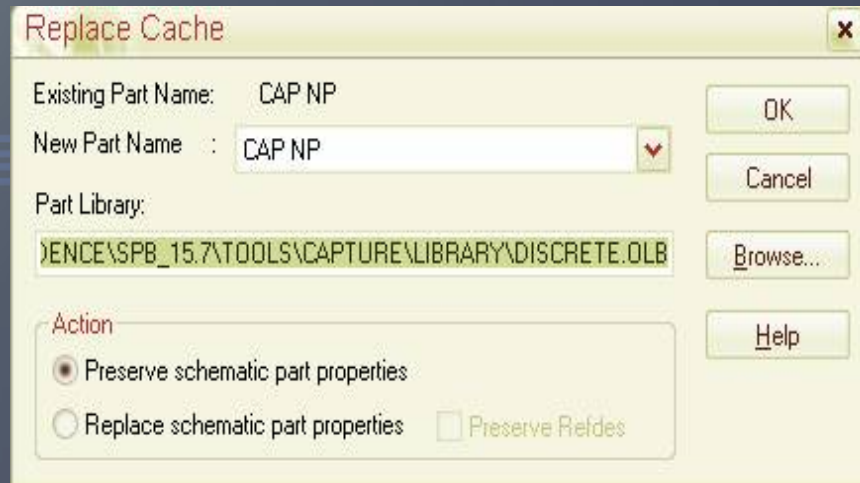
打开cache，选中要替换的元件，如图所示



右键， **replace cache**



• 弹出替换对话框



Browse选择元件库，**new part name**栏选择新的元件，该元件用来替换原来的元件。

Action中选择是否保留原来的属性，如果选择，那么原来的元件编号等信息保留，如果选择**replace schematic properties**，原来的属性全部丢失，使用元件库中的默认属性替换。**OK**，执行替换。



- 批量更新 **update cache**

1. 打开**cache**

2. 选择要更新的元件

3. 右键 **update cache**

- 这两个命令很像，但是有区别。

1. **replace cache**可以改变元件库的连接，选择不同的库即可。可以使不同的元件，也可以在不同的库中。而**update cache**不能改变原理图中元件和元件库之间的连接关系，只能把新的**user properties**属性带进来。

2. 如果在元件库中添加了元件的**footprint**信息，想通过对**cache**操作带到原理图中，只能用**replace cache**命令。

对原理图中元件的基本操作



- 选择元件

`<!--[if !supportLists]-->1.` `<!--[endif]-->` 单个元件：鼠标单击元件即可

`<!--[if !supportLists]-->2.` `<!--[endif]-->` 多个元件：按住CTRL键，逐个元件点击

`<!--[if !supportLists]-->3.` `<!--[endif]-->` 区域内所有元件：直接鼠标左键框选

`<!--[if !supportLists]-->4.` `<!--[endif]-->` 多个区域内所有元件：按住CTRL键，逐个区域框



- 移动元件

`<!--[if !supportLists]-->1.` `<!--[endif]-->` 单个元件：选中直接拖动

`<!--[if !supportLists]-->2.` `<!--[endif]-->` 多个元件：CTRL选中，直接拖动

`<!--[if !supportLists]-->3.` `<!--[endif]-->` 元件移动默认是带着连接移动，如果切断电气连接按住ALT键，拖动即可。



- 元件的旋转

<!--[if !supportLists]-->1. <!--[endif]-->单个元件旋转：选中元件，快捷键R，或Edit->rotate

<!--[if !supportLists]-->2. <!--[endif]-->一组对象旋转：CTRL选中，快捷键R，或Edit->rotate

<!--[if !supportLists]-->3. <!--[endif]-->旋转会切断电气连接。

<!--[if !supportLists]-->4. <!--[endif]-->旋转命令有时不起作用，通常发生在页边上，没有足够空间的情况。



- 元件的镜像翻转

<!--[if !supportLists]-->1. <!--[endif]-->

选中元件，Edit->mirror->选择水平垂直等方式

<!--[if !supportLists]-->2. <!--[endif]-->

文本及位图等不能执行此操作

- 拷贝、粘贴、删除等操作与windows类似。

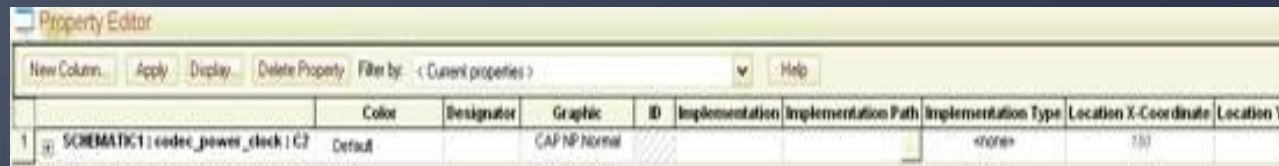
添加footprint属性



- 单个元件添加footprint属性

第一种方法：直接修改

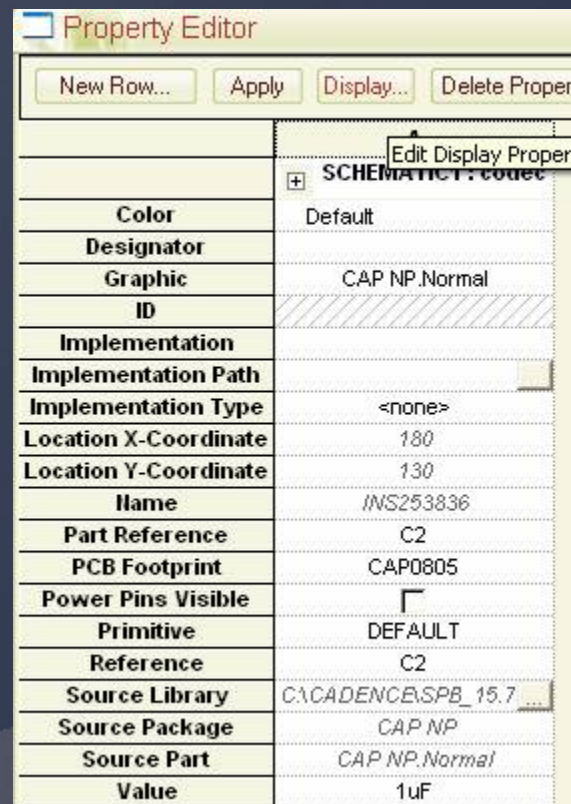
1 双击元件，弹出property editor对话框



2 在左上角空白处右键->pivot, 改变视图 改变后视图如图



3 修改PCB Footprint属性



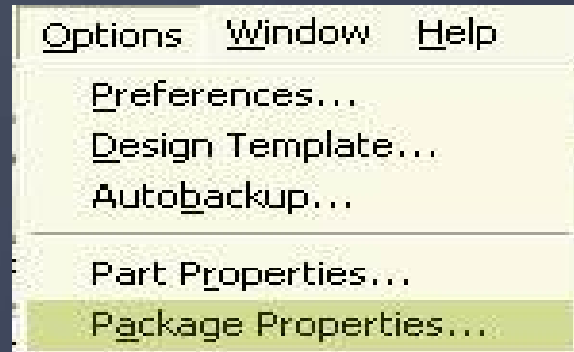


- 第二种方法：在元件库中添加footprint属性，更新到原理图

1 打开元件库

2 打开元件编辑页面

3 菜单option->package property



弹出编辑属性对话框



The image shows a screenshot of the 'Edit Part Properties' dialog box. The dialog has a title bar with a close button (X). It contains several input fields and buttons. The 'Name' field is set to 'CS4272'. The 'Part Reference Prefix' field is set to 'U'. The 'PCB Footprint' field is empty. There is a checkbox for 'Create Convert View' which is unchecked. Below this is a section for 'Multiple-Part Package' which includes a 'Parts per Pkg' field set to '1'. This section is divided into two sub-sections: 'Package Type' with radio buttons for 'Homogeneous' (selected) and 'Heterogeneous'; and 'Part Numbering' with radio buttons for 'Alphabetic' and 'Numeric' (selected). To the right of these are buttons for 'OK', 'Cancel', 'Part Aliases...', 'Attach Implementation...', and 'Help'. At the bottom right, there is a checked checkbox for 'Pin Number Visible'. The path 'E:\CLASS_CADENCE\CAPTURETLIBRARY\MYLIBRARY.DLB' is displayed at the bottom of the dialog.

Dialog Box: Edit Part Properties

Fields and Options:

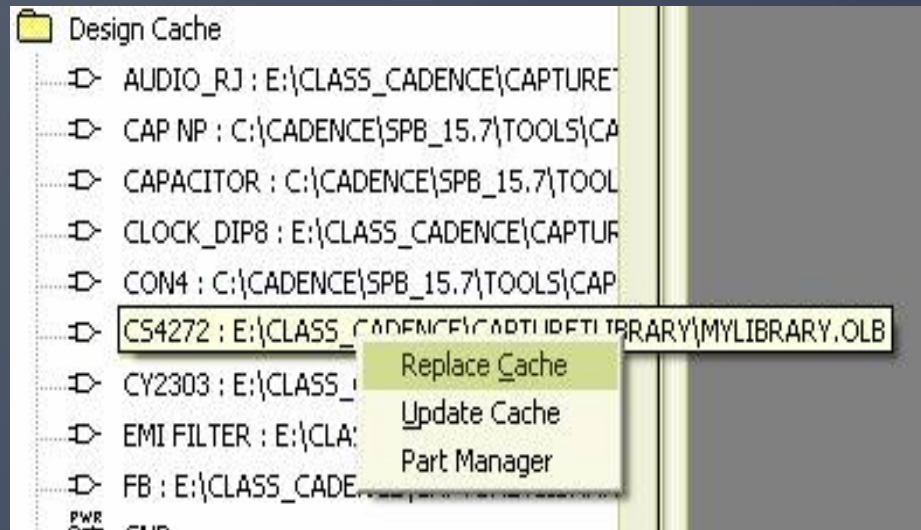
- Name: CS4272
- Part Reference Prefix: U
- PCB Footprint:
- ☐ Create Convert View
- Multiple-Part Package
 - Parts per Pkg: 1
 - Package Type
 - ☒ Homogeneous
 - ☐ Heterogeneous
 - Part Numbering
 - ☐ Alphabetic
 - ☒ Numeric
- ☒ Pin Number Visible

Buttons: OK, Cancel, Part Aliases..., Attach Implementation..., Help

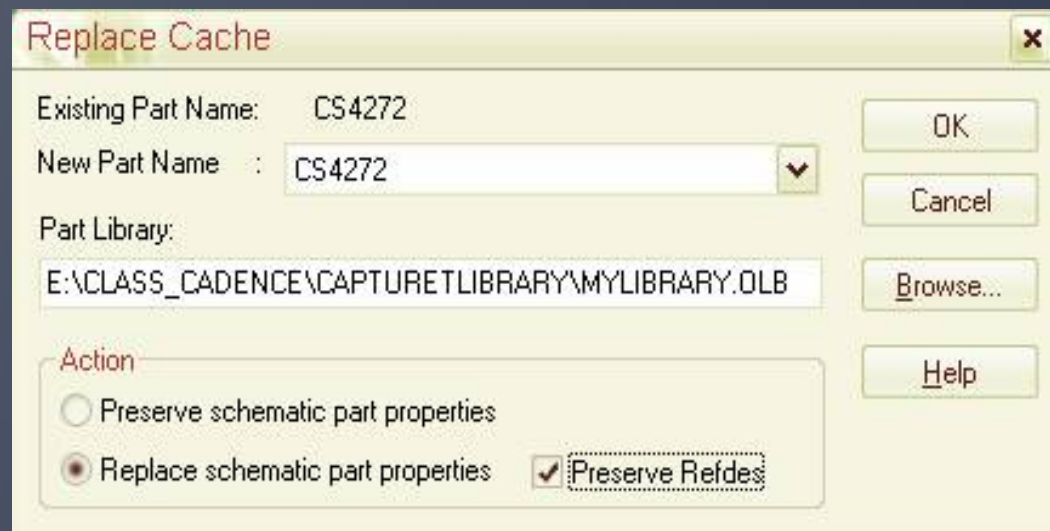
Path: E:\CLASS_CADENCE\CAPTURETLIBRARY\MYLIBRARY.DLB

修改PCB Footprint属性，保存。

回到原理图，打开cache选中要编辑
Footprint的元件，右键replace cache



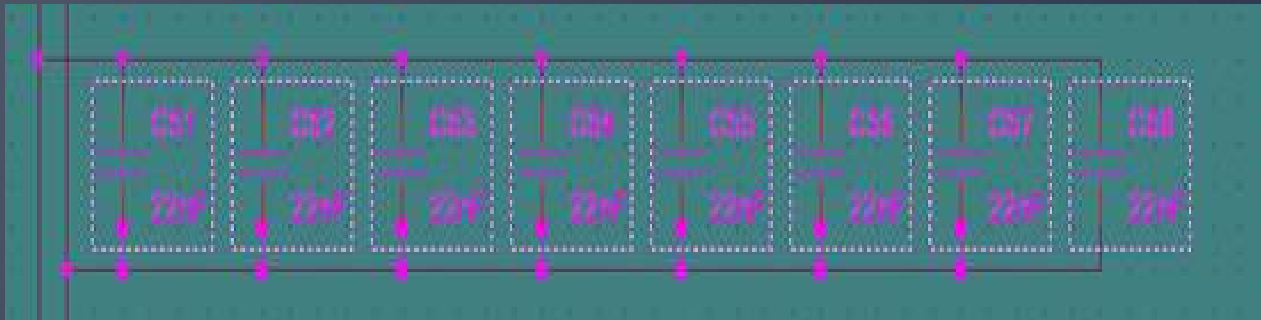
弹出replace cache对话框，Action中选择replace schematic part properties复选框以及preserve Refdef复选框。如图



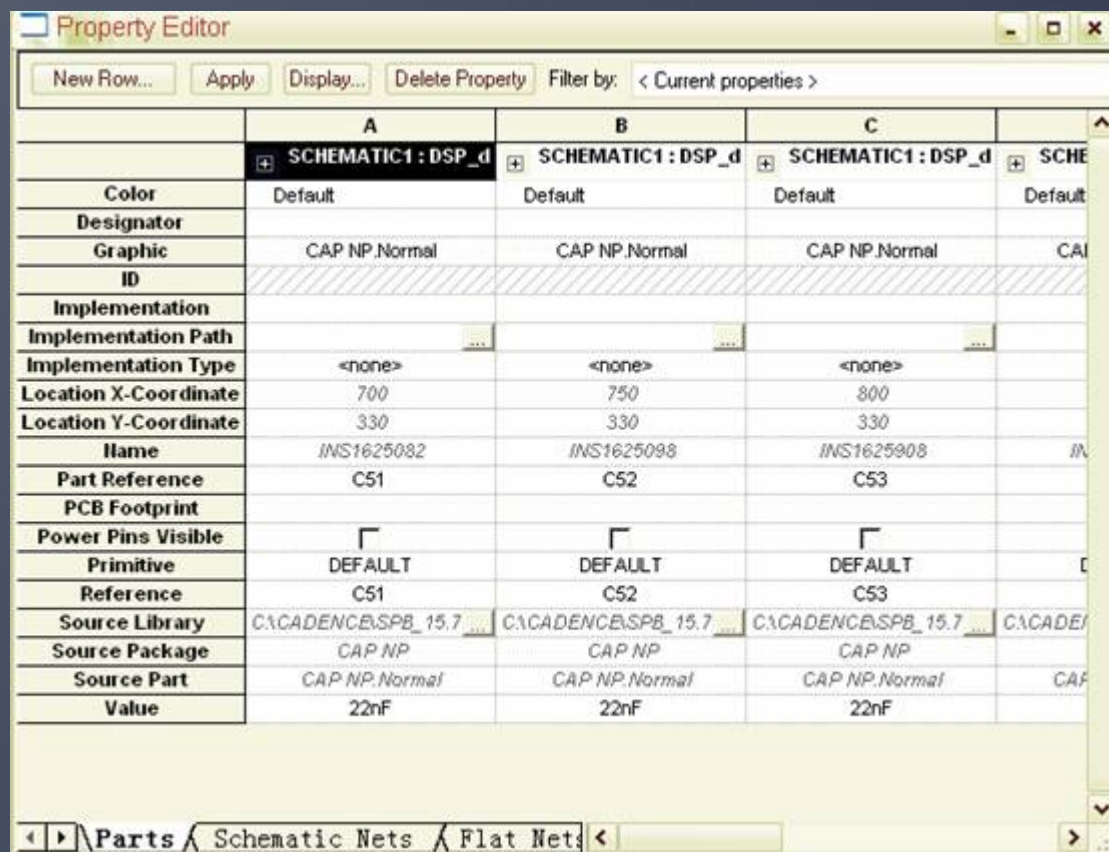


- 批量添加**FOOTPRINT**属性

- 第一种方法：
选中要修改的所有同类元件。



右键，Edit property，弹出property editor从窗口。





左上角空白处，右键->pivot，改变视图，如图

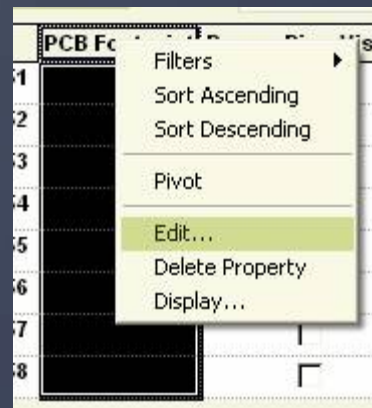
		PCB Footprint	Power Pins Visible	Primitive	Reference	
1	SCHEMATIC1 : DSP_decoupling : C51		<input type="checkbox"/>	DEFAULT	C51	^
2	SCHEMATIC1 : DSP_decoupling : C52		<input type="checkbox"/>	DEFAULT	C52	
3	SCHEMATIC1 : DSP_decoupling : C53		<input type="checkbox"/>	DEFAULT	C53	
4	SCHEMATIC1 : DSP_decoupling : C54		<input type="checkbox"/>	DEFAULT	C54	
5	SCHEMATIC1 : DSP_decoupling : C55		<input type="checkbox"/>	DEFAULT	C55	
6	SCHEMATIC1 : DSP_decoupling : C56		<input type="checkbox"/>	DEFAULT	C56	
7	SCHEMATIC1 : DSP_decoupling : C57		<input type="checkbox"/>	DEFAULT	C57	
8	SCHEMATIC1 : DSP_decoupling : C58		<input type="checkbox"/>	DEFAULT	C58	

鼠标左键单击PCB Footprint框，带文字的部分，选择整列。

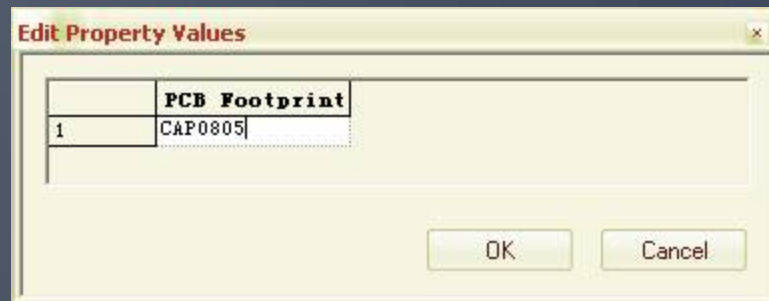


New Column... Apply Display... Delete Property Filter by: < Current properties >						
		PCB Footprint	Power Pins Visible	Primitive	Reference	
1	+	SCHEMATIC1 : DSP_decoupling : C51	<input type="checkbox"/>	DEFAULT	C51	CACA
2	+	SCHEMATIC1 : DSP_decoupling : C52	<input type="checkbox"/>	DEFAULT	C52	CACA
3	+	SCHEMATIC1 : DSP_decoupling : C53	<input type="checkbox"/>	DEFAULT	C53	CACA
4	+	SCHEMATIC1 : DSP_decoupling : C54	<input type="checkbox"/>	DEFAULT	C54	CACA
5	+	SCHEMATIC1 : DSP_decoupling : C55	<input type="checkbox"/>	DEFAULT	C55	CACA
6	+	SCHEMATIC1 : DSP_decoupling : C56	<input type="checkbox"/>	DEFAULT	C56	CACA
7	+	SCHEMATIC1 : DSP_decoupling : C57	<input type="checkbox"/>	DEFAULT	C57	CACA
8	+	SCHEMATIC1 : DSP_decoupling : C58	<input type="checkbox"/>	DEFAULT	C58	CACA

右键选择edit



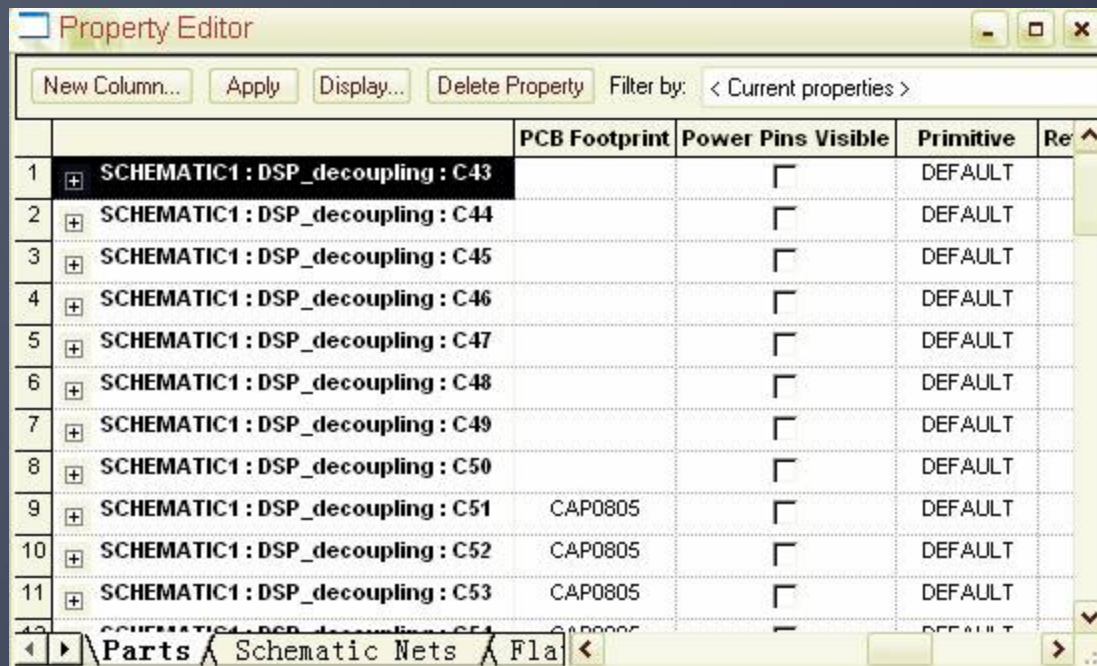
弹出如下对话框，编辑封装信息。



OK，所选元件封装信息添加到Property Editor中。单击Apply按钮，信息添加到原理图中所有选中的元件中。



- 第二种方法：
工程管理窗口中，选择某一页
右键->Edit object properties
打开属性编辑窗口





用Pivot命令改变视图显示方式

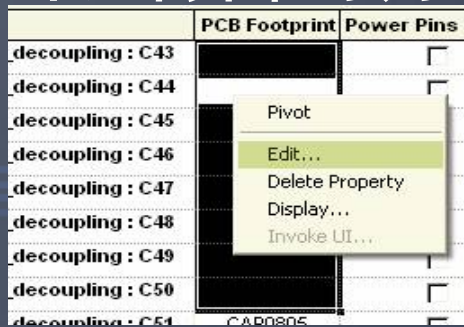
页面放大：CTRL+鼠标滚轮上推。

页面缩小：CTRL+鼠标滚轮下拉。

左键框选Footprint空白处

	PCB Footprint	Power Pins Visible	Pri
+ SCHEMATIC1 : DSP_decoupling : C43		<input type="checkbox"/>	DE
+ SCHEMATIC1 : DSP_decoupling : C44		<input type="checkbox"/>	DE
+ SCHEMATIC1 : DSP_decoupling : C45		<input type="checkbox"/>	DE
+ SCHEMATIC1 : DSP_decoupling : C46		<input type="checkbox"/>	DE
+ SCHEMATIC1 : DSP_decoupling : C47		<input type="checkbox"/>	DE
+ SCHEMATIC1 : DSP_decoupling : C48		<input type="checkbox"/>	DE
+ SCHEMATIC1 : DSP_decoupling : C49		<input type="checkbox"/>	DE
+ SCHEMATIC1 : DSP_decoupling : C50		<input type="checkbox"/>	DE
+ SCHEMATIC1 : DSP_decoupling : C51	CAP0805	<input type="checkbox"/>	DE
+ SCHEMATIC1 : DSP_decoupling : C52	CAP0805	<input type="checkbox"/>	DE
+ SCHEMATIC1 : DSP_decoupling : C53	CAP0805	<input type="checkbox"/>	DE

右键单击任意一个待编辑的方框，选择Edit



弹出 属性值编辑对话框



修改属性值，OK。

单击Property Editor中的Apply按钮，信息被添加到原理图中。

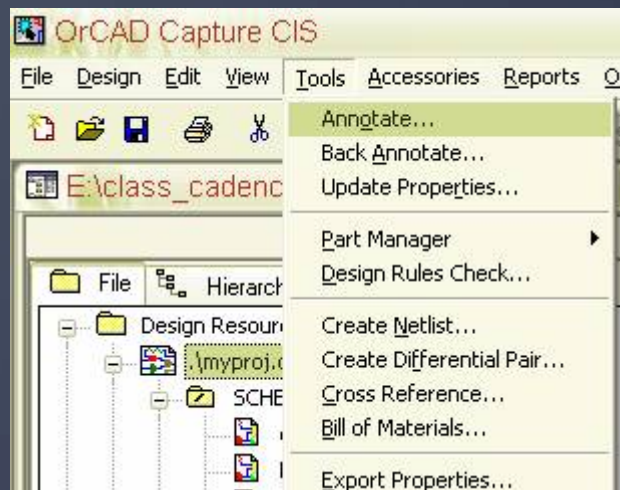
结合上面几种方法，灵活使用可以快速完成PCB Footprint属性的修改。

生成netlist



- 步骤:

- 1 对原理图通篇检查，确认电气连接正确，逻辑功能正确，电源连接正确。
- 2 重新进行索引编号，选.dsn文件，tool->annotate



弹出annotate对话框，各种选项如图所示，各项意义很明确。



Annotate

Packaging PCB Editor Reuse Layout Reuse

☐ Refdes control required

Scope

☒ Update entire design

☐ Update selection

Action

☐ Incremental reference update

☐ Unconditional reference update

☒ Reset part references to "?"

☐ Add Intersheet References

☐ Delete Intersheet References

Mode

☐ Update Occurrences

☒ Update Instances (Preferred)

Physical Packaging

Combined property

{Value} {Source Package} {package}

☐ Reset reference numbers to begin at 1 in e:

☒ Annotate as per PM page ordering

☐ Annotate as per page ordering in the ti

☐ Do not change the page number

☐ Include non-primitive parts

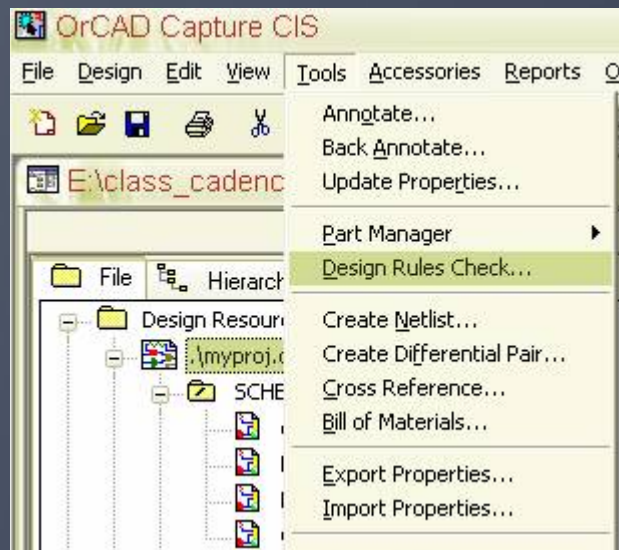
确定 取消 帮助



确定，取消所有索引编号。

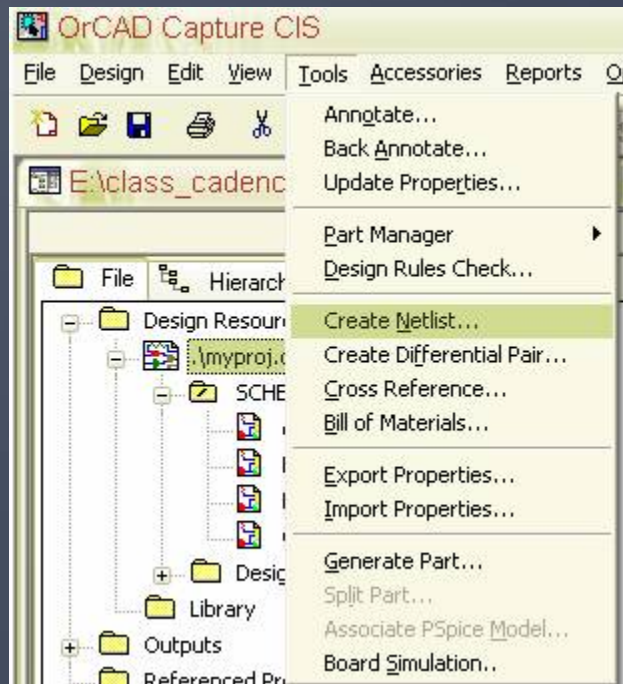
重新编号，这步annotate对话框中
Action中选择**incremental reference
update**。

3 进行DRC检查，命令如图



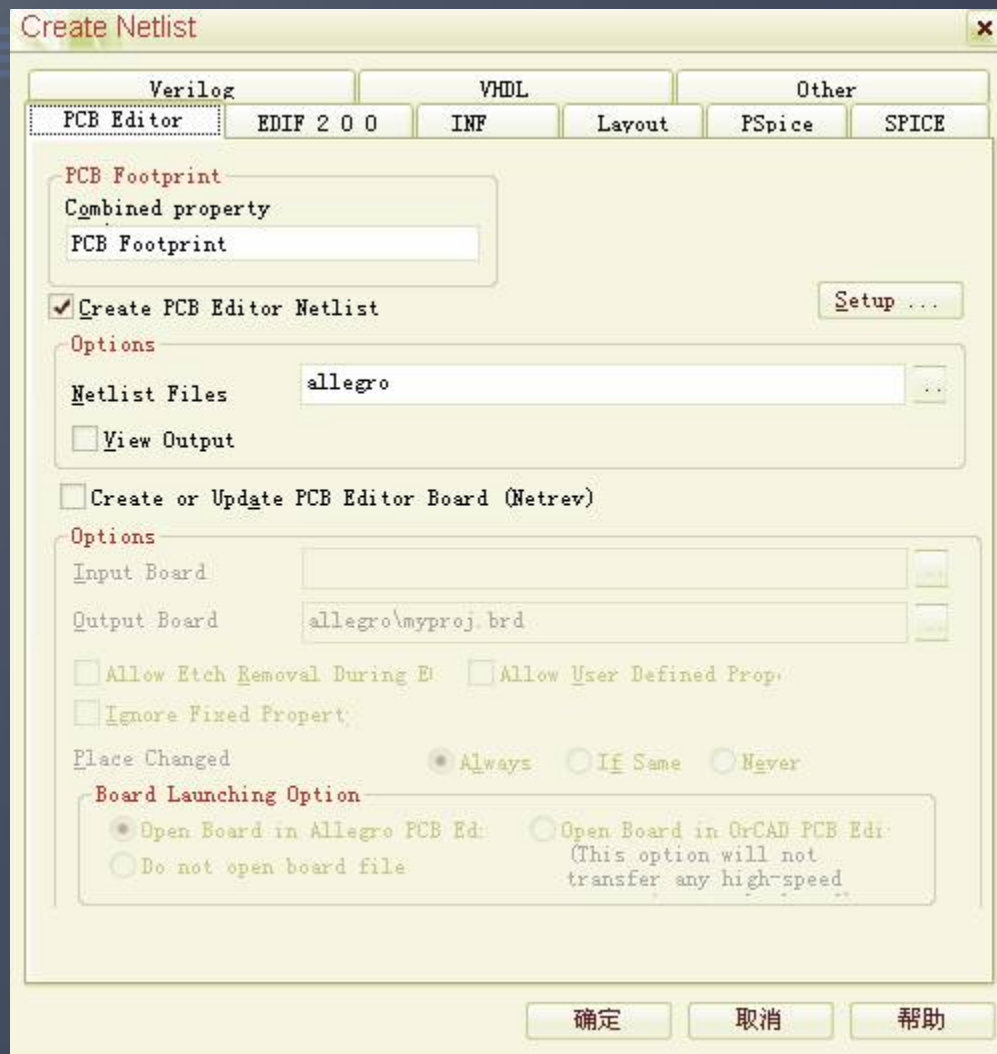
如果存在错误，返回修改，没有错误，继续下一步。

4 选.dsn文件，tool->Creat Netlist



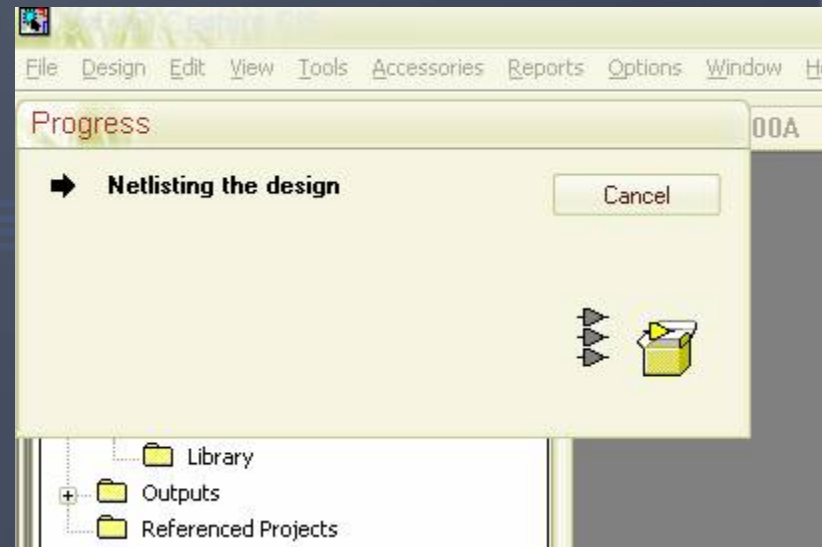
弹出 Creat netlist对话框，在这里选择要生成的网表格式，这里选PCB Editor的网表。

各选项如图所示

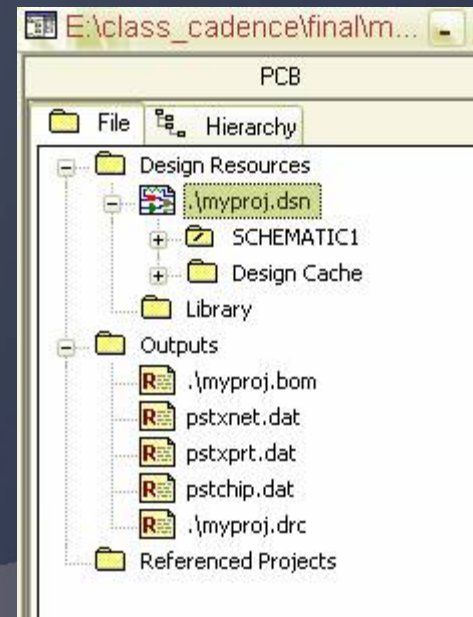




软件生成网表



结束后，在工程管理器中的output中显示网表文件

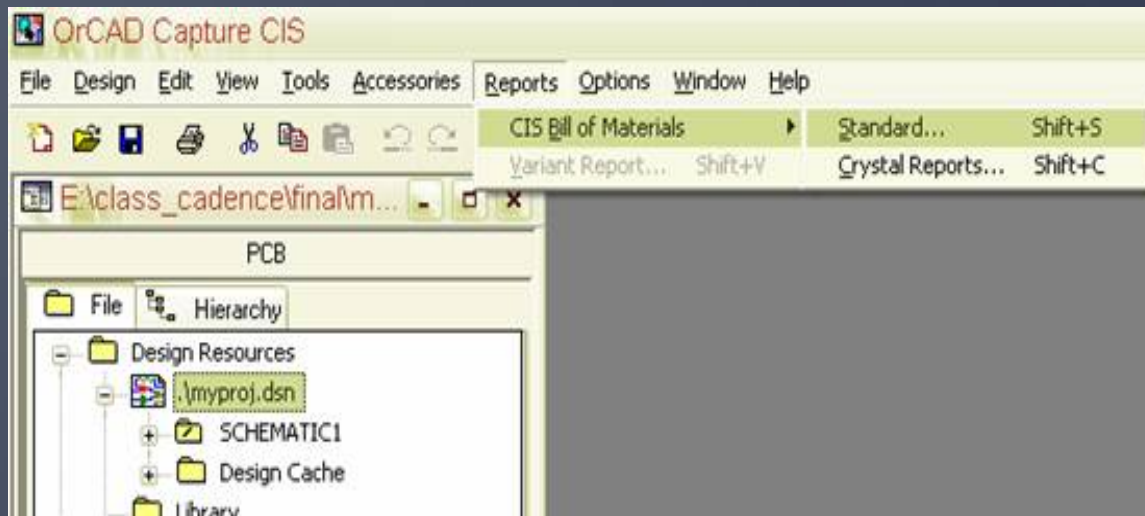


生成元件清单



选中.dsn文件

菜单report->bill of material->standard



弹出对话框

Standard Bill of Materials

Template Name
Eng Bill Of Materials ▼ Delete

Report Properties

Select Properties:

- ActivepartsID
- Availability
- Datasheet
- Description
- Distributor
- Distributor Part Number
- Doc

Add -> <- Remove

Output Format:

- ☒ Part Reference
- ☒ Value
- ☒ PCB Footprint
- ☒ Allegro PCB Footprint
- * Item Number
- * Schematic Part Path

↑ ↓

☐ Keyed

☐ Allow Saving Title Block Properties

Part Reference Options:

☐ Standard

☐ Standard- separate line per part

☒ Compressed

List Separator: Space(" ") ▼

Exclude Prefixes:

☐ Export BOM report to Excel

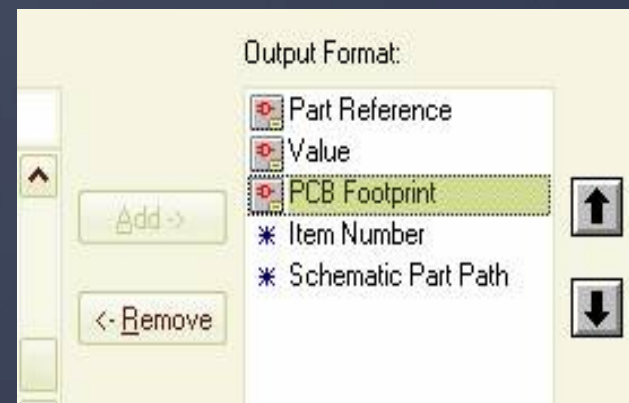
☒ Merge BOM Reports

Variants

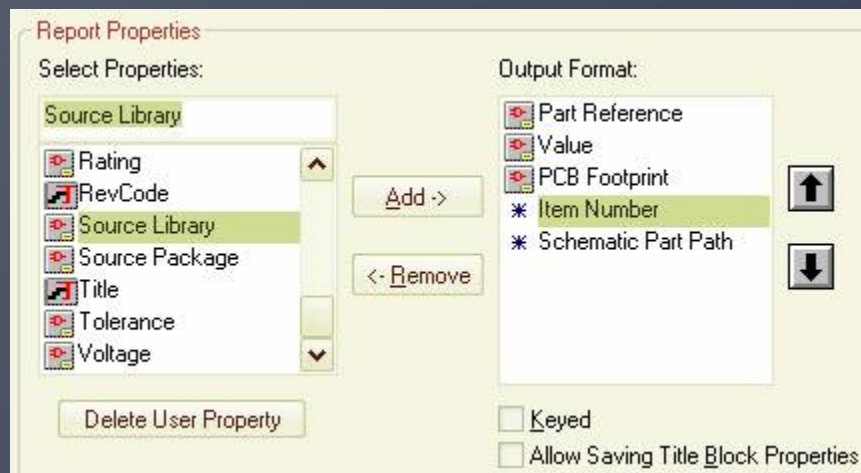
<Core Design>

OK Cancel Help

在output format中选中某一个选项，可用右边的上下箭头进行上下移动，调整顺序，也可以用左边的Remove，移除该选项，最后输出的报告栏目及顺序与output format中一致。



添加输出选项，选中左边Select Properties中想要输出的选项，单击Add添加到output format中



如果选中Export BOM report to Excel，则以Excel表格形式输出。否则以网页格式输出。



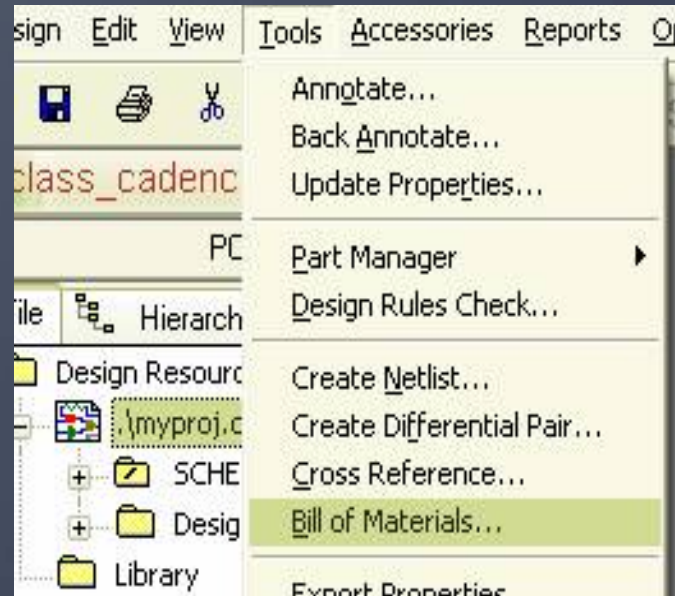


输出结果如下

MYPROJ_CORE_ENG BILL OF MATERIALS					
Capture CIS Standard Bill Of Materials - Compressed Report					
Report Created on 2009-4-27					
Part Reference	V...	PCB Footprint	Source Library	Item Number	Schematic Part Path
C1	0.1uF	CAP0603	C:\CADENCE\SPB_15...	1	DISCRETE\CAP NP
C2	1uF	CAP0805	C:\CADENCE\SPB_15...	2	DISCRETE\CAP NP
C3	0.1uF	CAP0603	C:\CADENCE\SPB_15...	3	DISCRETE\CAP NP
C4	1uF	CAP0805	C:\CADENCE\SPB_15...	4	DISCRETE\CAP NP
C5	20uF	TANCAP3528	C:\CADENCE\SPB_15...	5	DISCRETE\CAPACITOR
C6	1uF	CAP0805	C:\CADENCE\SPB_15...	6	DISCRETE\CAP NP
C7	20uF	TANCAP3528	C:\CADENCE\SPB_15...	7	DISCRETE\CAPACITOR
C8	0.1uF	CAP0603	C:\CADENCE\SPB_15...	8	DISCRETE\CAP NP
C9	1uF	CAP0805	C:\CADENCE\SPB_15...	9	DISCRETE\CAP NP
C10	0.1uF	CAP0603	C:\CADENCE\SPB_15...	10	DISCRETE\CAP NP
C11	1uF	CAP0805	C:\CADENCE\SPB_15...	11	DISCRETE\CAP NP
C12	0.1uF	CAP0603	C:\CADENCE\SPB_15...	12	DISCRETE\CAP NP
C13	1uF	CAP0805	C:\CADENCE\SPB_15...	13	DISCRETE\CAP NP
C14	20uF	TANCAP3528	C:\CADENCE\SPB_15...	14	DISCRETE\CAPACITOR
C15	0.1uF	CAP0603	C:\CADENCE\SPB_15...	15	DISCRETE\CAP NP
C16	20uF	TANCAP3528	C:\CADENCE\SPB_15...	16	DISCRETE\CAPACITOR
C17	10uF	TANCAP3528	C:\CADENCE\SPB_15...	17	DISCRETE\CAPACITOR
C18	1uF	CAP0805	C:\CADENCE\SPB_15...	18	DISCRETE\CAP NP
C19	1uF	CAP0805	C:\CADENCE\SPB_15...	19	DISCRETE\CAP NP
C20	0.1uF	CAP0603	C:\CADENCE\SPB_15...	20	DISCRETE\CAP NP
C21	0.1uF	CAP0603	C:\CADENCE\SPB_15...	21	DISCRETE\CAP NP
C22	0.01uF	CAP0603	C:\CADENCE\SPB_15...	22	DISCRETE\CAP NP
C23	0.01uF	CAP0603	C:\CADENCE\SPB_15...	23	DISCRETE\CAP NP
C24	47uF	TANCAP3528	C:\CADENCE\SPB_15...	24	DISCRETE\CAPACITOR
C25	47uF	TANCAP3528	C:\CADENCE\SPB_15...	25	DISCRETE\CAPACITOR



- 另外一个输出形式：
选中.dsn文件
菜单tools->bill of material





弹出bill of material对话框，选项设置如图所示，默认即可。

The screenshot shows the 'Bill of Materials' dialog box with the following settings:

- Scope:** ☒ Process entire design, ☐ Process selection
- Mode:** ☒ Use instances (Preferred), ☐ Use occurrences
- Line Item Definition:**
 - Header: Item\tQuantity\tReference\tPart
 - Combined property string: {Item}\t{Quantity}\t{Reference}\t{Value}
 - ☐ Place each part entry on a separate line
 - ☐ Open in Excel
- Include File:**
 - ☐ Merge an include file with report
 - Combined property string: {Item}\t{Quantity}\t{Reference}\t{Value}
 - Include file: E:\CLASS_CADENCE\MYSCH\MYPROJ.INC
 - Browse...
- Report:**
 - Report File: ☒ View Output
 - E:\class_cadence\final\mysch\MYPROJ.BOM
 - Browse...

Buttons: OK, Cancel, Help

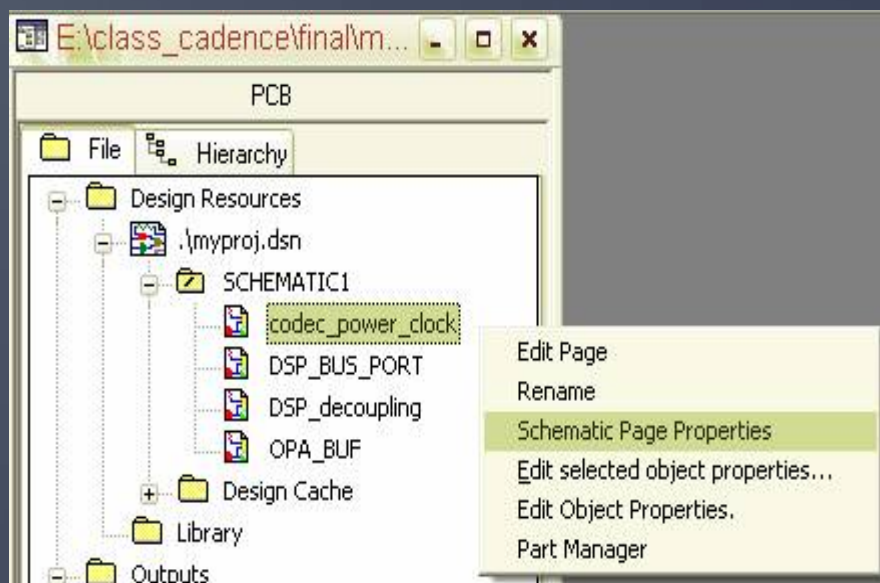


生成元件清单如图所示，具有相同值的元件分组列出。

MYPROJ.BOM - 写字板			
文件(E) 编辑(E) 查看(V) 插入(I) 格式(O) 帮助(H)			
1	31	C1, C3, C8, C10, C12, C15, C20, C21, C30, C31, C32, C33, C34, C35, C36, C37, C38, C41, C42, C103, C105, C115, C117, C129, C131, C133, C135, C148, C150, C153, C155	0.1uF
2	13	C2, C4, C6, C9, C11, C13, C18, C19, C39, C109, C123, C139, C140	1uF
3	4	C5, C7, C14, C16	20uF
4	14	C17, C40, C104, C106, C116, C118, C130, C132, C134, C136, C145, C149, C154, C156	10uF
5	4	C22, C23, C146, C151	0.01uF
6	6	C24, C25, C26, C27, C28, C29	47uF
7	8	C43, C44, C45, C46, C75, C76, C77, C78	2.2uF
8	4	C47, C48, C49, C50	220nF
9	8	C51, C52, C53, C54, C55, C56, C57, C58	22nF
10	16	C59, C60, C61, C62, C63, C64, C65, C66, C67, C68, C69, C70, C71, C72, C73, C74	2.2nF
11	4	C79, C80, C81, C82	100nF
12	6	C83, C84, C85, C86, C87, C88	10nF
13	12	C89, C90, C91, C92, C93, C94, C95, C96, C97, C98, C99, C100	1nF
14	6	C101, C102, C114, C119, C120, C128	220pF

打印原理图

工程那个管理窗口中选中页面
右键->Schematic Page Properties





弹出Schematic Page Properties对话框，
选Grid reference标签。如图





在这里选择下面的输出方式：

`<!--[if !supportLists]-->1.`
边框是否打印

`<!--[endif]-->`

`<!--[if !supportLists]-->2.`
>Title block是否打印

`<!--[endif]--`

`<!--[if !supportLists]-->3.`
页边的大栅格是否打印

`<!--[endif]-->`

选好后，确定。其他页面都用同样的方法设置好。

选中.dsn文件，然后file->print
Setup设置打印选项



Scale中选scale to paper size即可。如



Print

打印机：系统打印机(Adobe PDF)

Scale

☒ Scale to paper size

☐ Scale to page size

☐ Scaling: 1.00021

Page size

☐ A4 ☐ A2 ☐ A0

☒ A3 ☐ A1

☐ Custom
420 x 297

Print offsets

X 0 mm ☐ Center horizontally

Y 0 mm ☐ Center vertically

Print Option

☐ Inst. Mode

☒ Occ. Mode

Print quality: 1200 dpi Copies: 1

☐ Print to file ☐ Print all colors in black

☐ Collate copies

☐ Include pages outside hierarchy

☐ Include referenced pages in other libraries or designs

Print statistics

	Total	Horizontal	Vertical
Printed pages per document page:	1	1	x 1
Maximum page size for selected printer:	420.01	x	296.99
Size from schematic page properties:	419.862		296.926
Size of actual printout:	419.952		296.989

OK

Cancel

Setup...

Help

Capture CIS中两个重要概念



- Capture CIS中两个重要概念：instance 和 occurrences

用OrCAD设计原理图必须理解两个概念
instance 和 occurrences。对于元件放置、替
换、修改属性等很多操作都和这两个概念有关。

抛开抽象的说明，我们用实例说明他们的区别。

假如你在自己的元件库中已经建立了一个元件AD8056（AD公司的运放）。在原理图page1中需要放入两个AD8056构成双路模拟信号输入的运放，那么在放入第一个AD8056时，在工程管理框的design cache中会出现这个元件以及所在的元件库地址，原理图的page1上出现AD8056原理图符号。这时就产生了一个instance 和一个occurrences，你可以把design cache中的AD8056看成instance，而原理图中的AD8056看成是一个occurrences。当你放第二个AD8056时，原理图的page1上出现第二个AD8056原理图符号，产生了另一个occurrences。也就是说，在原理图上放多少个AD8056就有多少个occurrences，但因为这些元件都是同一个元件库中取出来的，其各方面的属性都相，都是同一种元件，所以instance只有一个。因此可以把instance理解为元件种类，occurrences理解为个体实例。这里的种类指包括图形，属性等都相同的元件类型。如果图形相同，但属性不同，那么就不是同种元件，对应不同的instance。



- 理解这个概念最好的方法就是在原理图中修改 **instance**。选中原理图中一个 **AD8056** **occurrences**，右键->**edit part**就可以修改该 **occurrences**对应得**instance**，比如我们修改了某个管脚的输入输出属性，选择 **update current**，你会发现在**design cache**中多出了一个名叫**AD8056**的 **instance**，看看后面的来源地址，不是元件库地址，而是本设计的数据库。这样在你的设计中有两个 **instance**，虽然都是**AD8056**，但是属性不同，可以认为不是同一种元件。如果再放置第三个**AD8056**，你就可以选这两个**instance**中的任何一个。



- OrCAD Capture CIS 提供了灵活的 **instance** 和 **occurrences** 属性编辑功能，使设计更方便，但同时也更繁琐，只要理解了这两个概念，使用时注意，可以使原理图设计更灵活方便。



ORCAD Capture CIS 快捷键

应用环境	快捷键	说明
CIS Explore	Ctrl+Tab	切换到原理图页面而不关闭CIS
Explore		
CIS Explore	Ctrl+Shift+Tab	切换到原理图页面而不关闭CIS
Explore		
原理图页面编辑	CTRL+A	全选所有
原理图页面编辑	B	放置总线BUS
原理图页面编辑	E	放置总线BUS的分支Entry
原理图页面编辑	F	放置电源符号
原理图页面编辑	G	放置GND符号
原理图页面编辑	J	放置连接点
原理图页面编辑	N	放置网络别名
原理图页面编辑	P	放置元件(从元件库)
原理图页面编辑	T	放置文本Text
原理图页面编辑	W	放置电气连线
原理图页面编辑	Y	放置图形连线

应用环境

快捷键

说明



原理图页面编辑	X	放置无连接符号
原理图页面编辑	F7	记录宏操作
原理图页面编辑	F8	回放宏操作
原理图页面编辑	F9	配置宏操作
元件库编辑(绘图)	CTRL+B	跳转至前一个part
元件库编辑(绘图)	CTRL+N	跳转至后一个part
原理图页面及元件库编辑	CTRL+E	编辑属性
原理图页面及元件库编辑	CTRL+F	查找
原理图页面及元件库编辑	CTRL+T	吸附格点设置
原理图页面及元件库编辑	CTRL+Y	重做(恢复)
原理图页面及元件库编辑	CTRL+Z	撤销
原理图页面及元件库编辑	F4	重复操作
原理图页面及元件库编辑	C	以鼠标指针为中心
原理图页面及元件库编辑	H	水平镜像
原理图页面及元件库编辑	I	放大
原理图页面及元件库编辑	O	缩小
原理图页面及元件库编辑	R	旋转
原理图页面及元件库编辑	V	垂直镜像
原理图页面及元件库编辑	E	结束连线、BUS、图形连线



- 本幻灯片内容参考了于博士信号完整性研究网而设计整理制作，以为大家学习 OrCAD 软件提供有力的帮助为唯一的出发目的，特此说明！
- 最后衷心的祝愿大家能够在最短的时间内快速的掌握该软件！

谢谢大家