实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内8个课时，课外8个课时。

5．实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分“计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间后提醒10秒。

**使用Logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：**

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

（1）具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5.1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到0即可，递增的时候可以循环；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码；
7. 封装后做出测试电路，测试电路要外接16进制显示器，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 1.1 调整计数值的60进制计数器

（2）具有校准计数值的十二进制计数器或者二十四进制的计数器电路

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或者二十四进制的计数器，并进行封装，该计数器封装图如图 5.2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 1.2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或者24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，输出状态为12小时计时；当Set=1时，输出状态为24小时计时；
7. 计数器的输出为两位8421码；
8. 封装后做出测试电路，测试电路要接16进制显示器，CPU、CPD接按钮。

（3）显示“上午”、“下午”的电路

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3所示。封装图如图 5.4所示，测试电路如图 5.5所示。

** **

图 1.3 led点阵显示器

图 1.4 led点阵封装图 图 1.5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

（4）电子钟整点报时电路

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

（5）秒计时脉冲产生电路

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5.6所示，它成为秒计数器的计数脉冲信号。

图 1.6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

（6）闹钟（选做）

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用16进制数字显示器显示；注意，这里应该通过控制信号，使用**Adj0**和**Adj1**实现闹钟的设置，使用输出时间显示屏作为闹钟设置的时间显示。
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

（7）多功能数字钟电路

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5-7所示，测试图如图 5.8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6个8421码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号；
2. “**Set**”为“小时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；十二进制和二十四进制转换时时间需对应；
3. “**CPU、CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟，在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号，同时对小时、分、秒清零；
7. “**8hz**信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，需要增加相关的输入和输出端口，至少需要闹钟的开关控制（输入）和闹钟的输出，其它端口可以自行按照要求设计；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，**CPU、CPD**接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。



图 1.7电子钟的“输入、输出检查要求”



图 1.8电子钟的测试电路

6. 实验方案设计

（1） 具有校准计数值的六十进制计数器电路：

1. 个位： cpu=cpu·adj

cpd=Q·(0d·0b)·cpd·

clr=clr+0d·0b+1c·1b

D=

cp=

十位：clr=clr+1c·1b

cpu=0d·0c+0d·0c·0b·0a

cpd=cpd·adj·Q

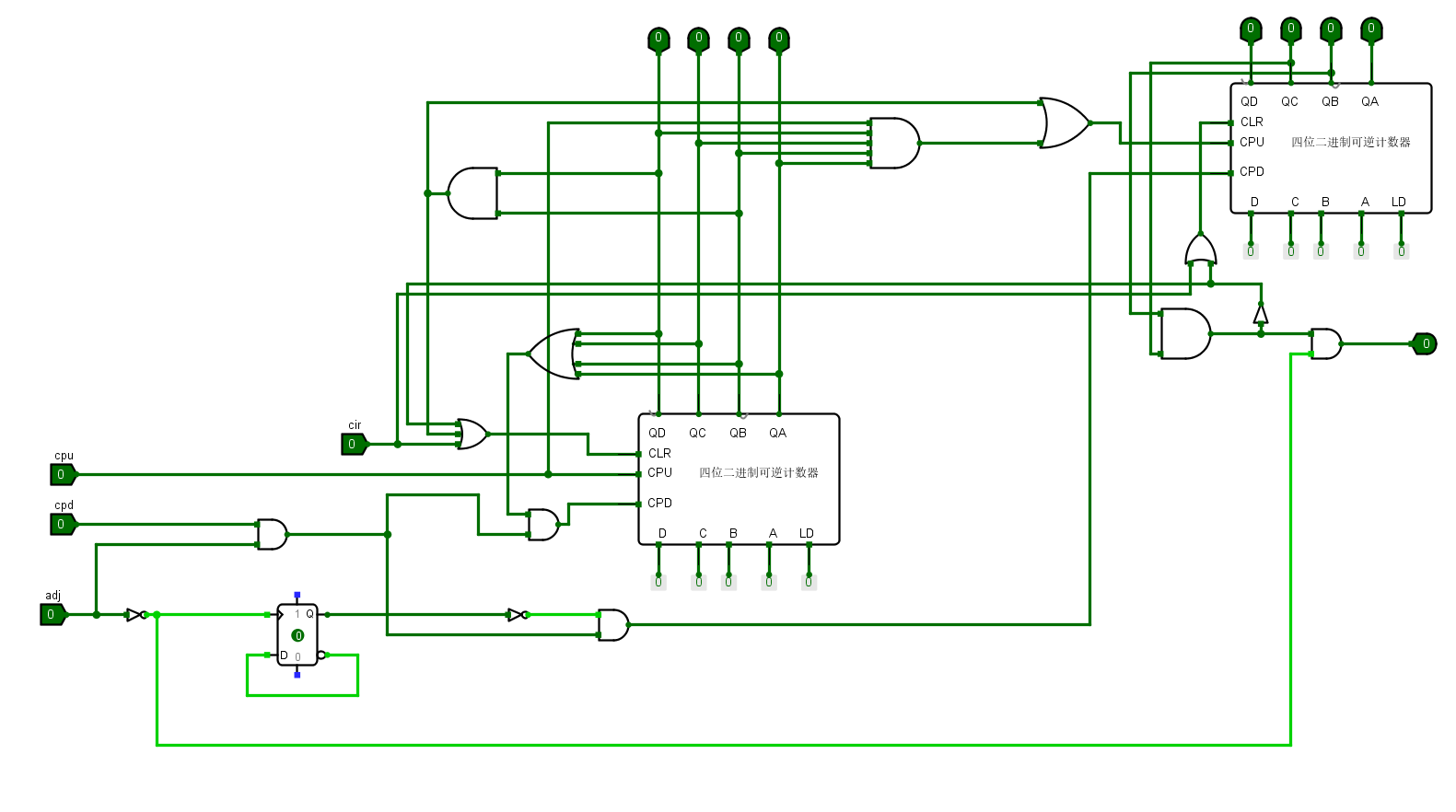


图 1.9具有校准计数值的六十进制计数器电路

1. 具有校准计数值的十二进制计数器或二十四进制的计数器电路：
2. 个位：clr=clr+0d·0b+set·1a·0b+set·1b·0c

cpu=cpu·adj

cpd=cpd··(0a+0b+0c+0d)·Q

十位：clr=·1a·0b+Mset·1b·0c+clr

cpu=0d·0b+0d·0c·0b·0a

cpd=(1d+1c+1b+1a)··cpd·

Qcc=·1a·0b+set·1b·0c



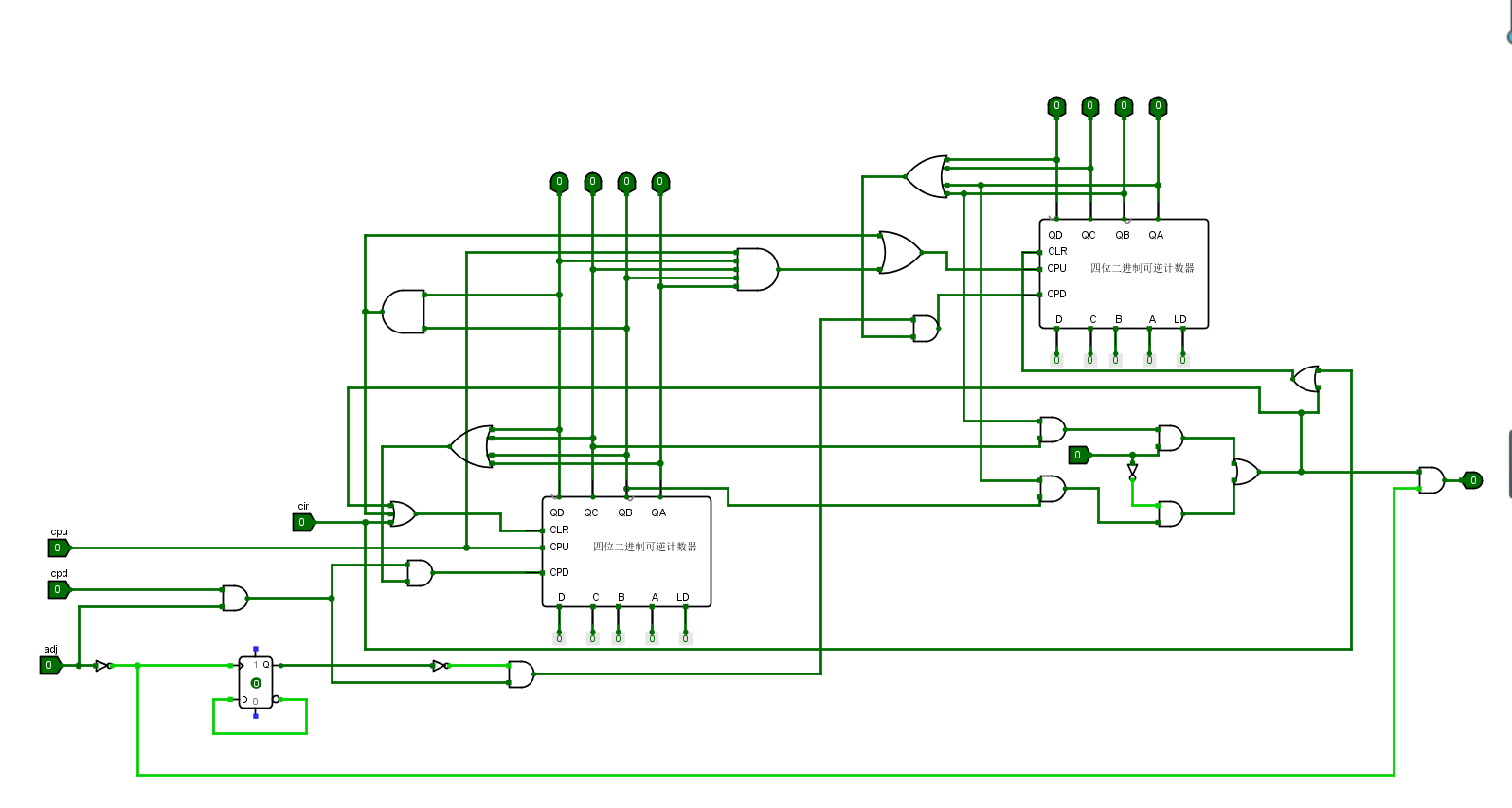


图 1.10具有校准计数值的十二进制计数器或二十四进制的计数器电路

1. 显示“上午”、“下午”的电路：

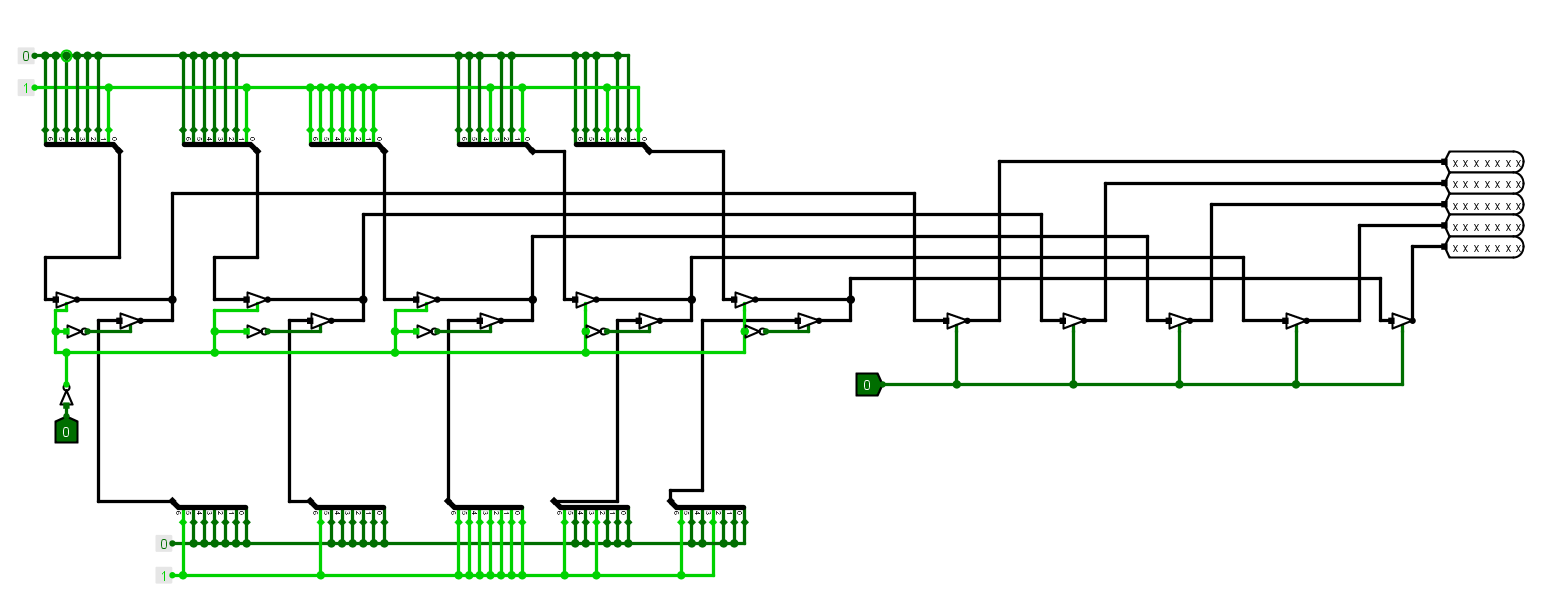


图 1.11 显示“上午”、“下午”的电路

1. 电子钟整点报时电路：

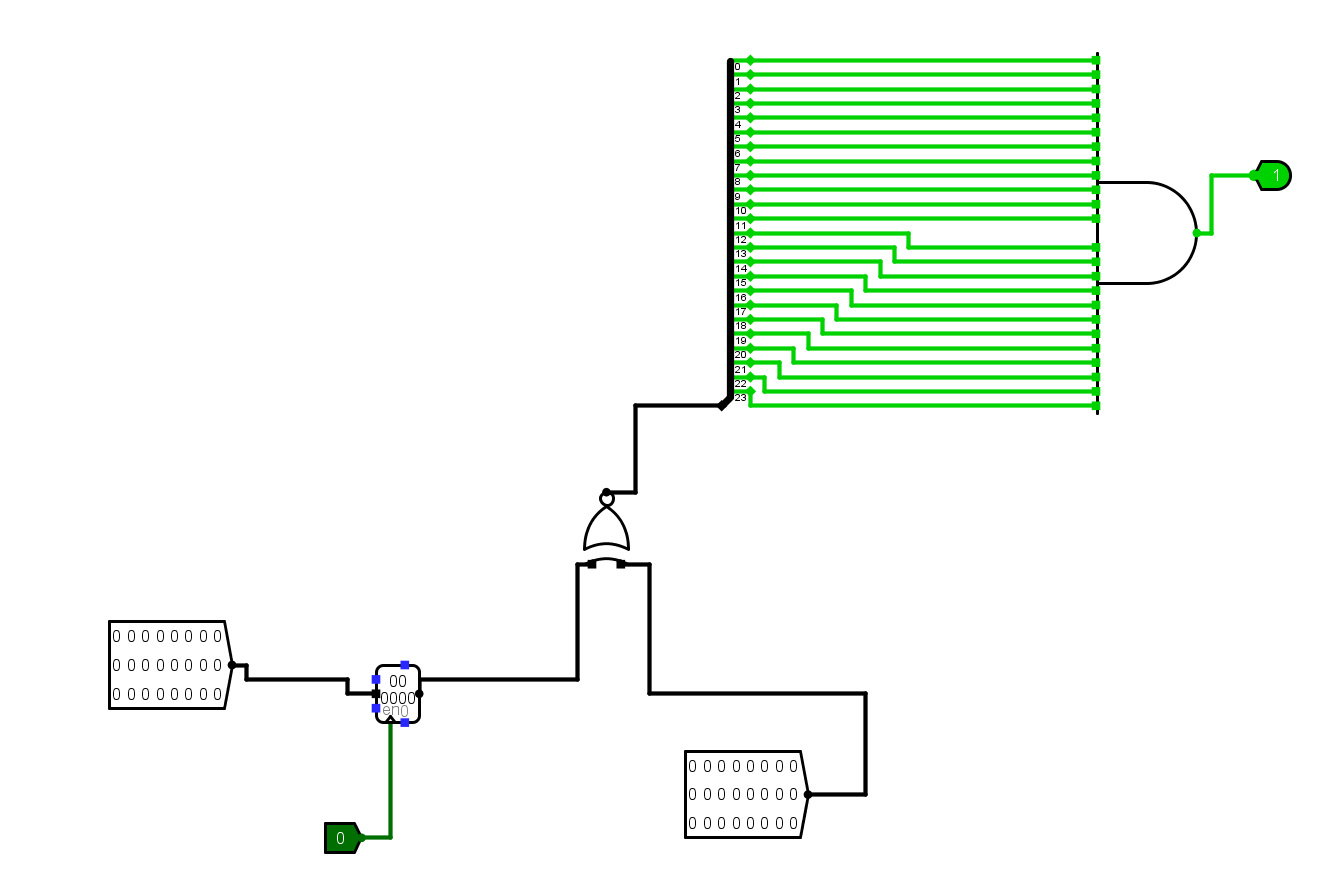
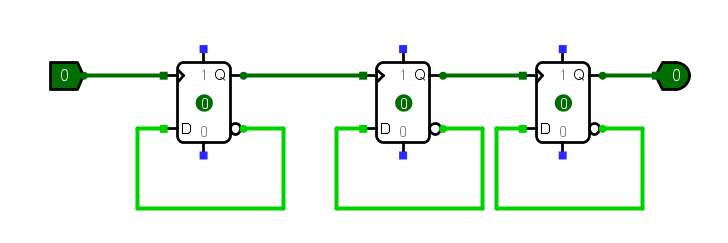


图 1.12 整点报时电路

1. 秒脉冲产生电路

  
图 1.13 秒脉冲产生电路

1. 闹钟（选做）：

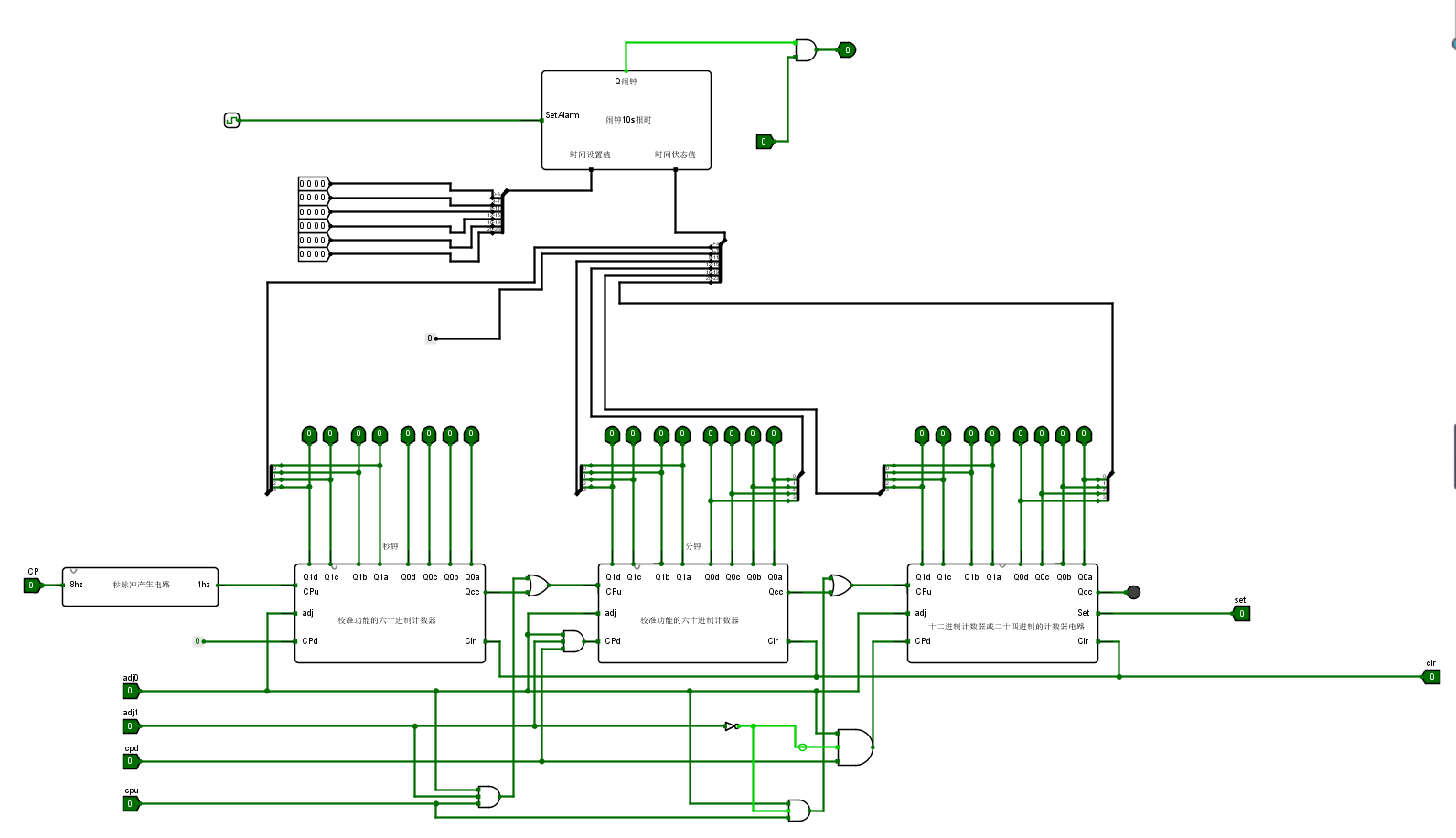


图 1.14 闹钟电路

1. 多功能电子钟电路：

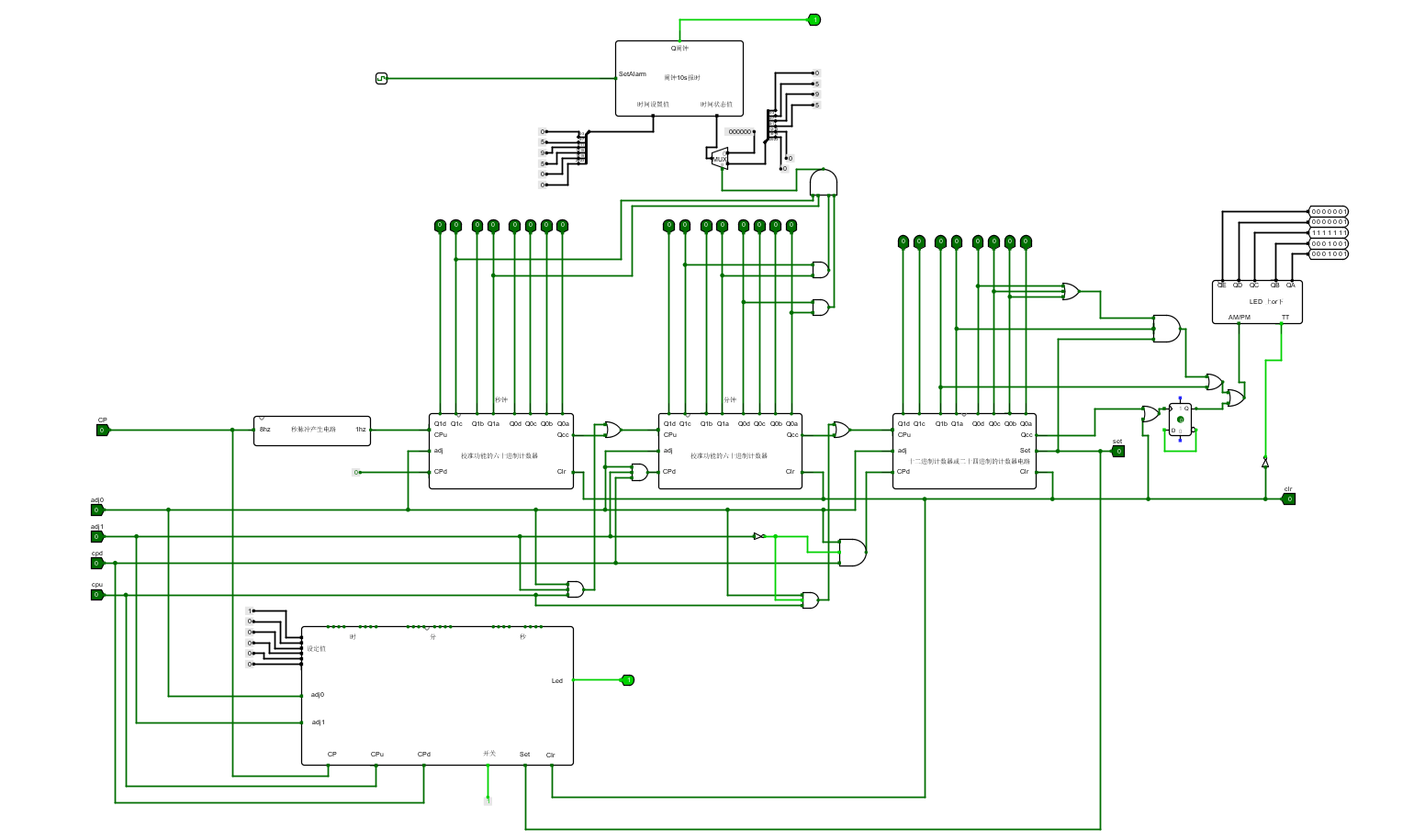


图 1.15 多功能电子钟电路

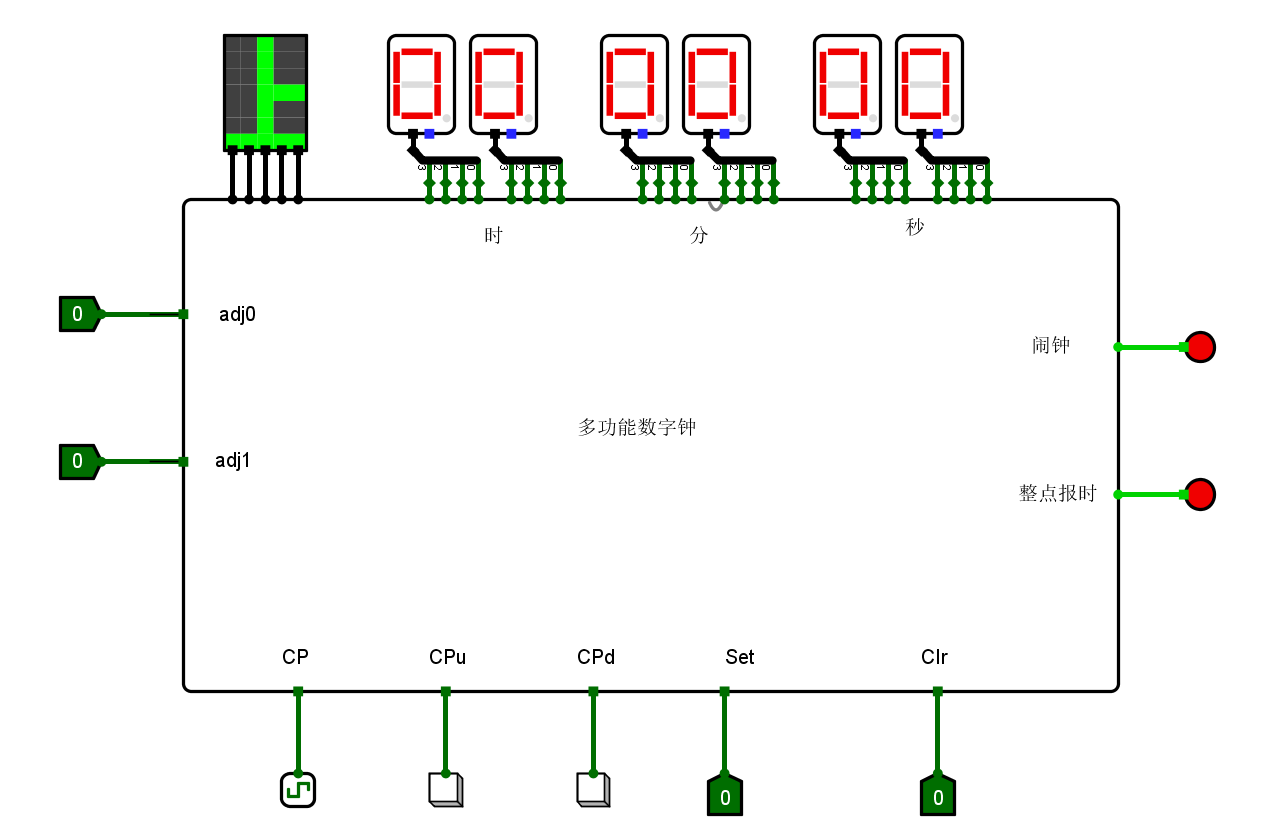


图 1.16 多功能电子钟电路封装

7. 实验结果记录

（1） “具有校准计数值的六十进制可逆计数器”“私有”元件的测试电路：

（采用16进制数字显示器显示计数值）

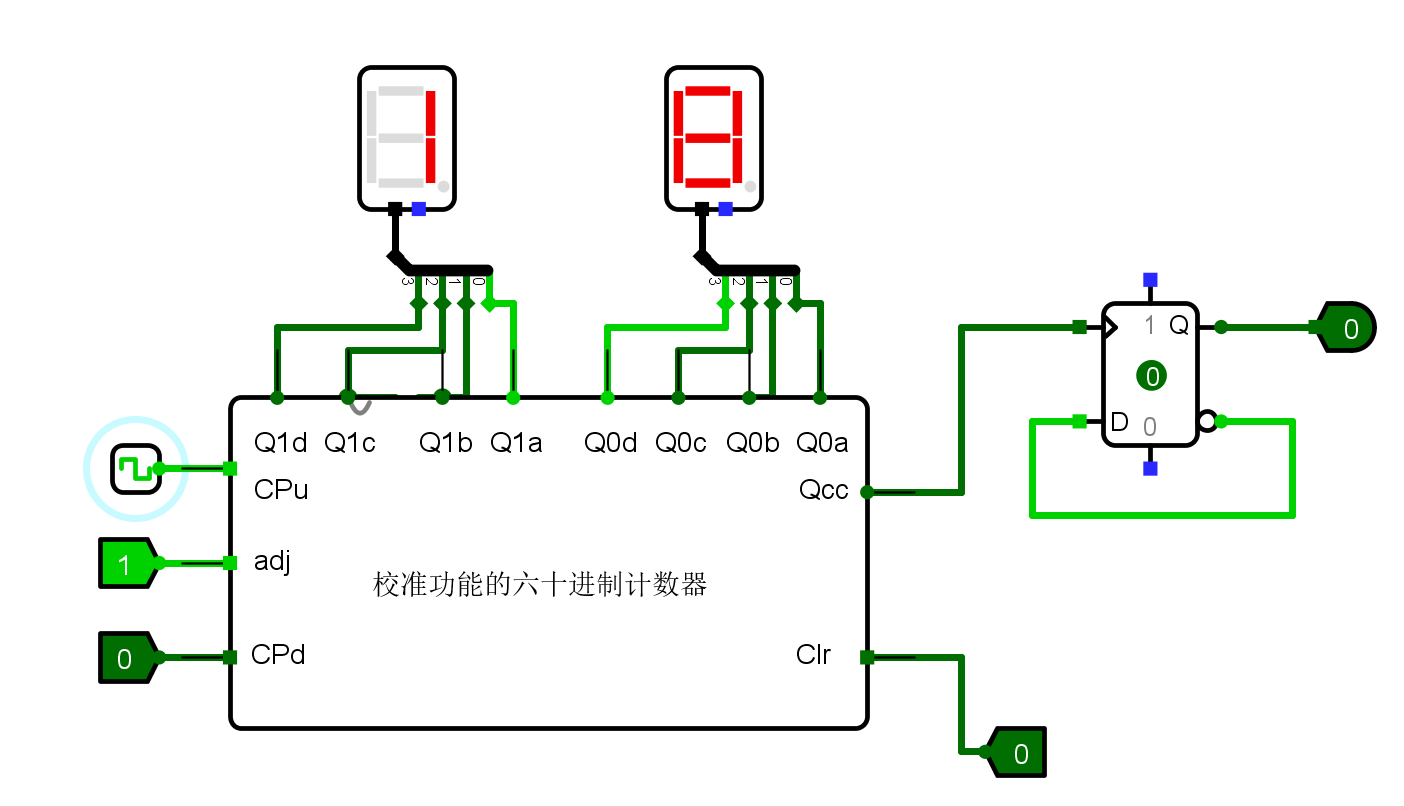


图 1.17 校准计数值的六十进制可逆计数器测试1.1

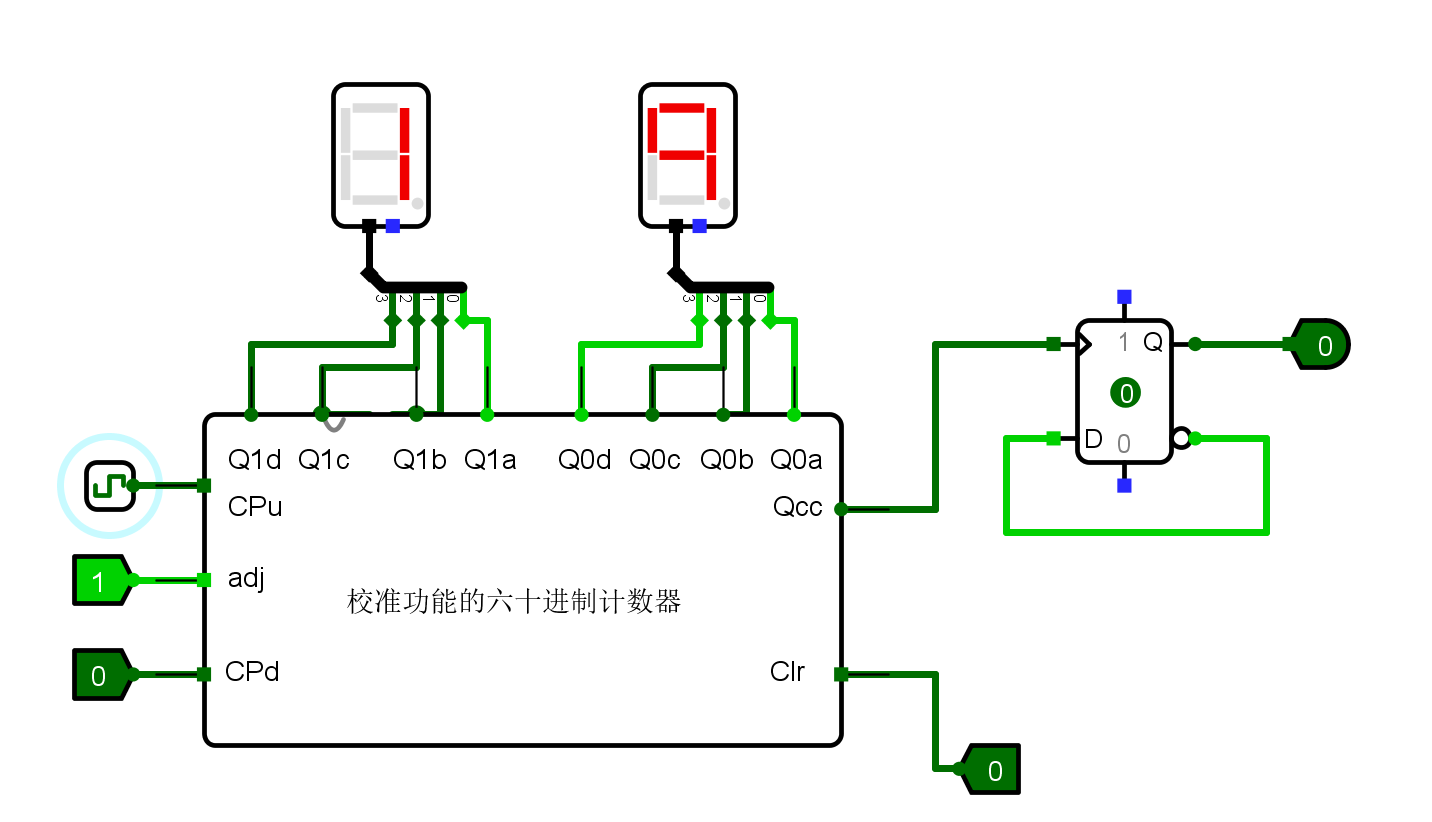


图 1.18 校准计数值的六十进制可逆计数器测试1.2

1. 当adj=1时，cpu脉冲加计数；

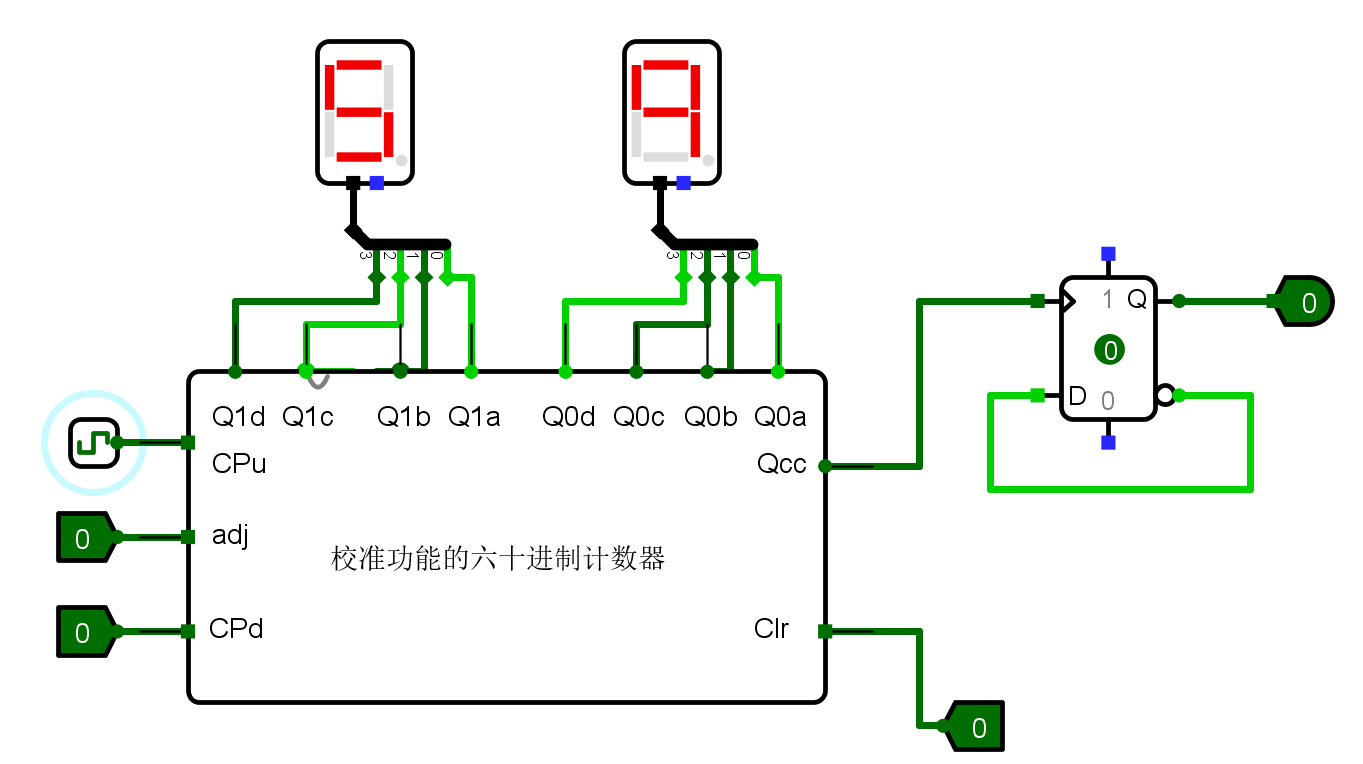


图 1.19 校准计数值的六十进制可逆计数器测试2.1

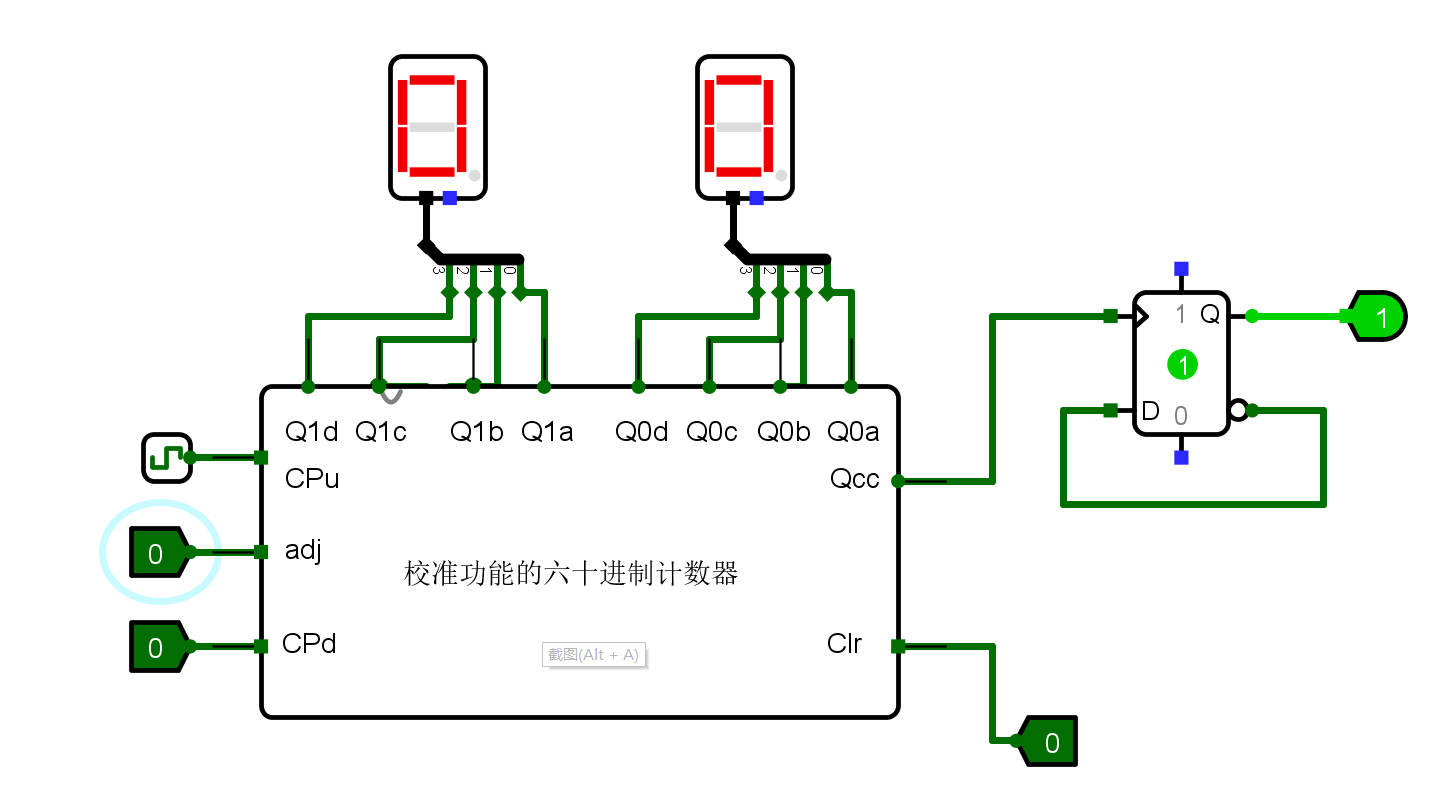


图 1.20 校准计数值的六十进制可逆计数器测试2.2

1. 当adj=0时，CPu可以进位，Qcc用D触发器储存进位信息；

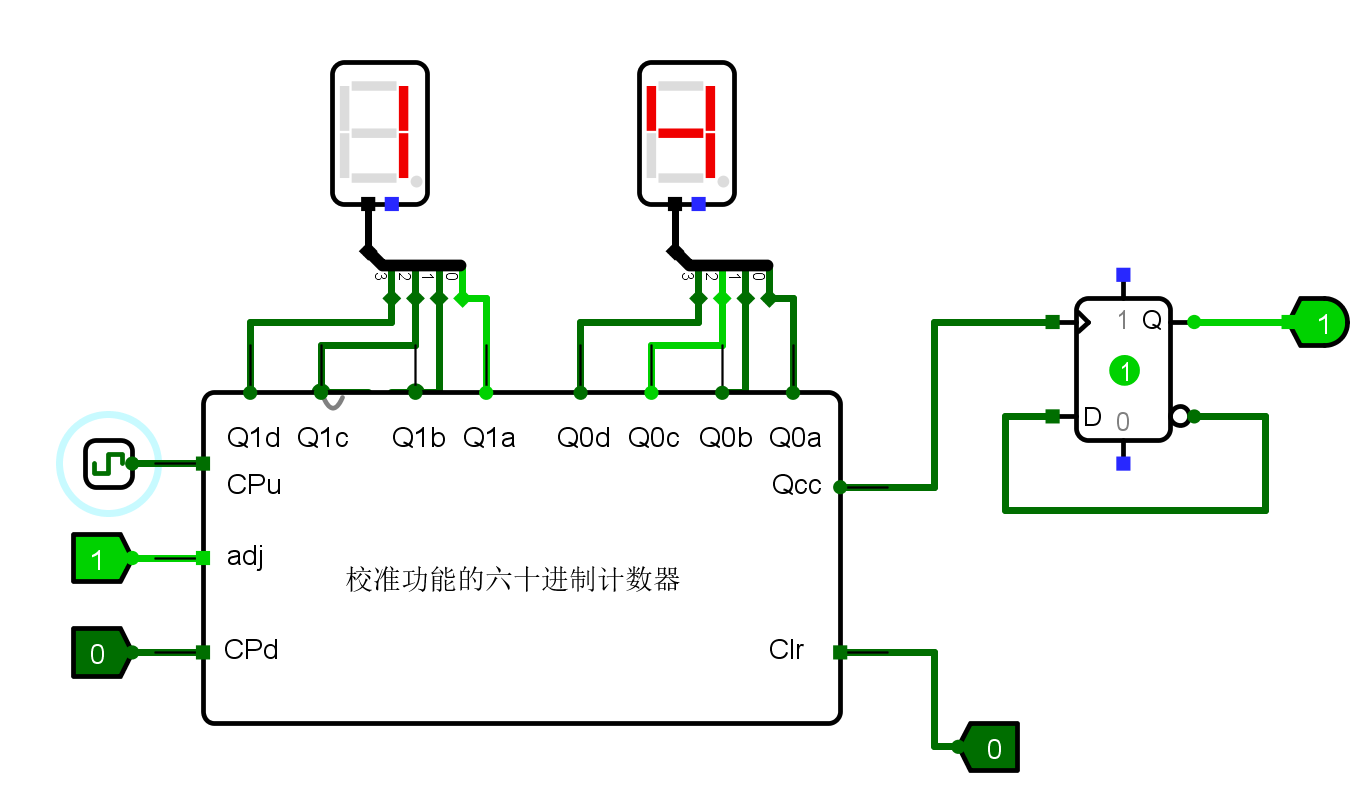
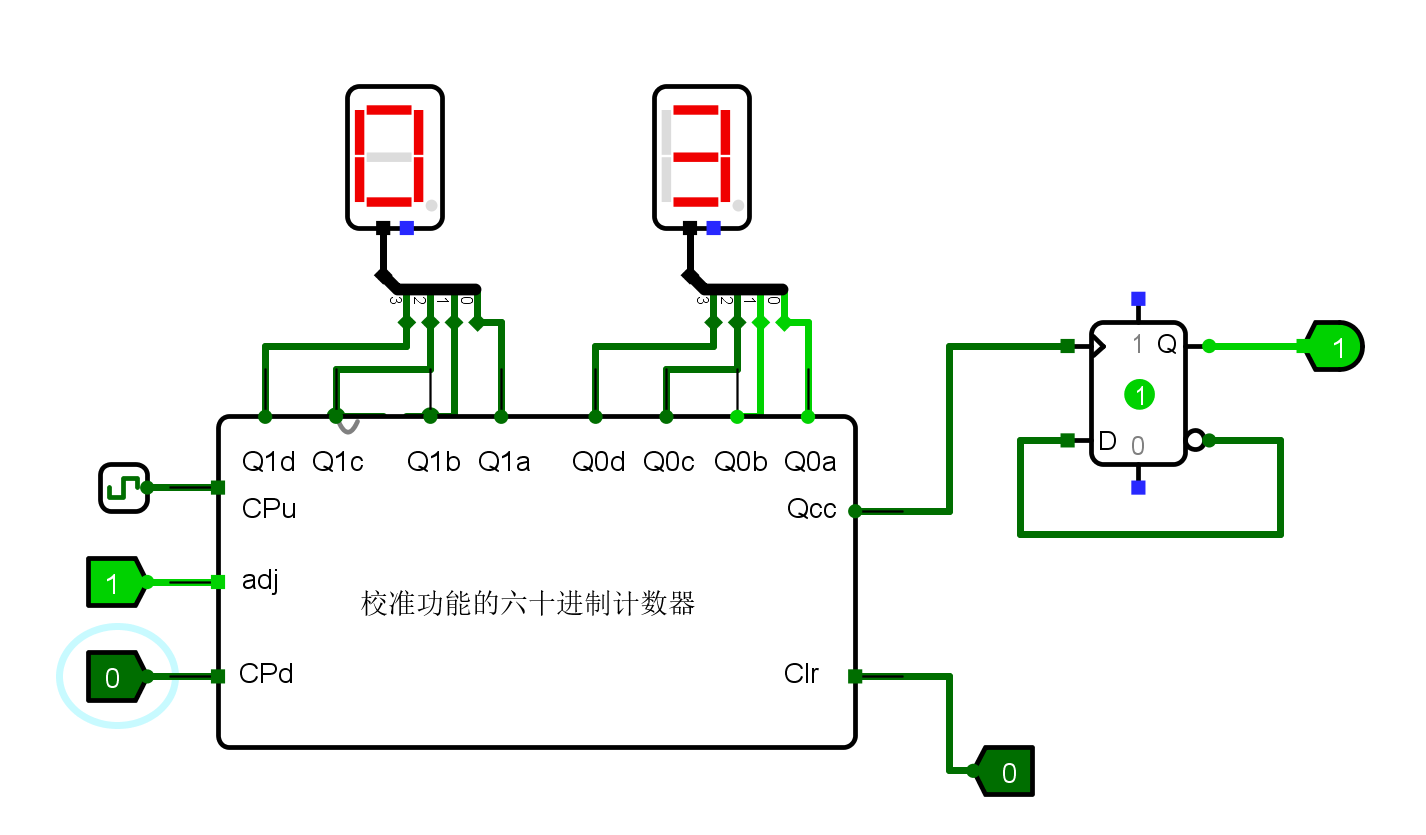


图 1.21 校准计数值的六十进制可逆计数器测试3.1

图 1.22 校准计数值的六十进制可逆计数器测试3.2

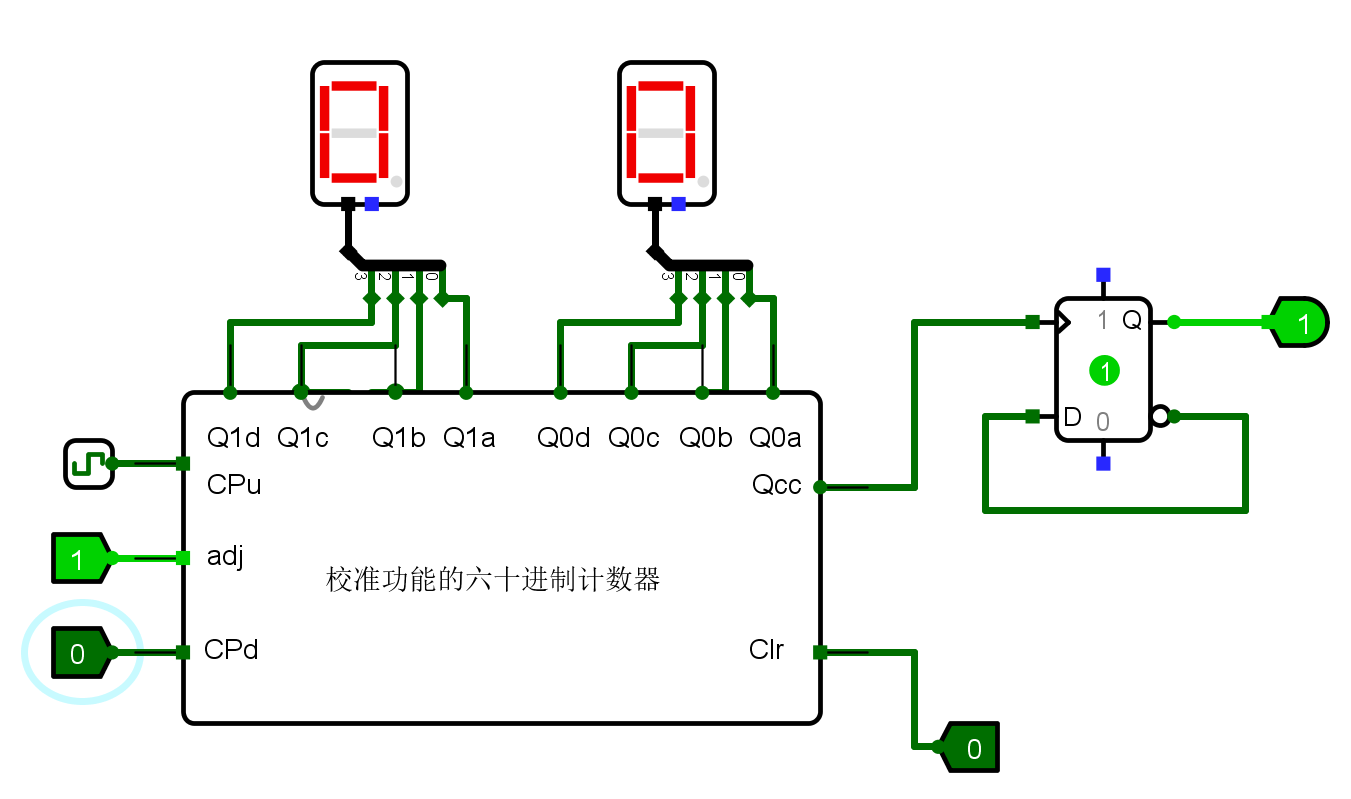


图 1.23 校准计数值的六十进制可逆计数器测试3.3

1. 当adj=1时，反复点击CPd可以递减（非循环）为0；

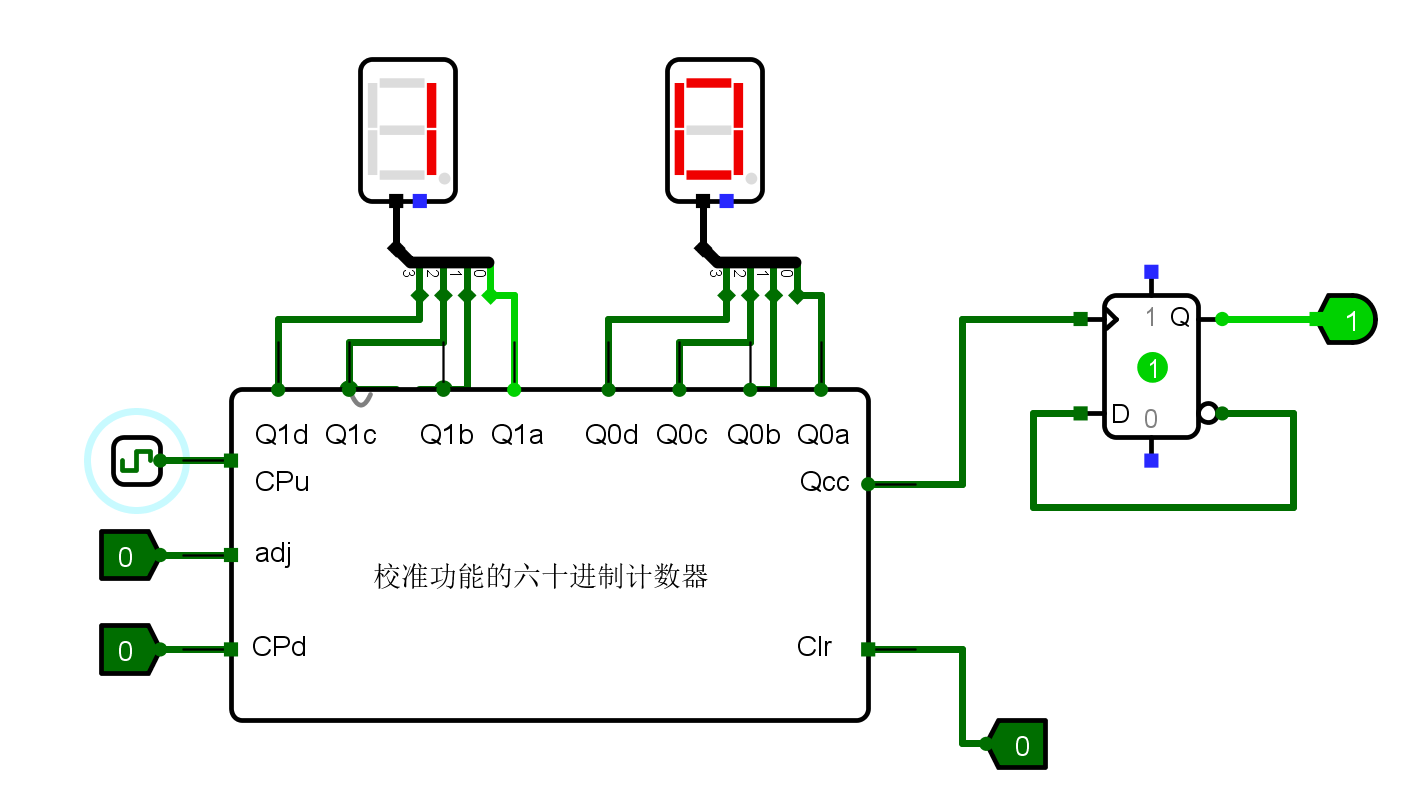


图 1.24 校准计数值的六十进制可逆计数器测试4.1

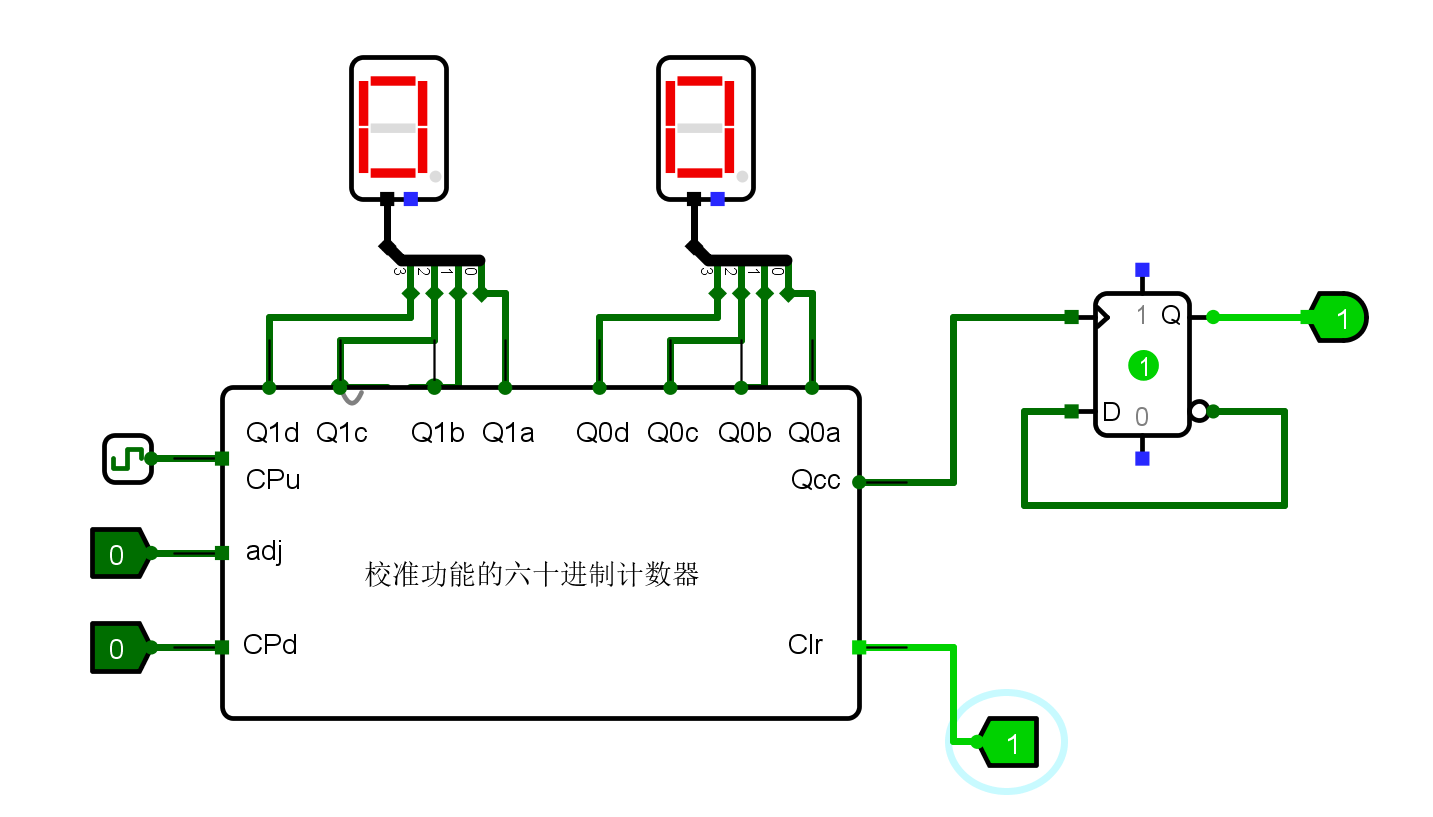


图 1.25 校准计数值的六十进制可逆计数器测试4.2

1. 当Clr=1时，可以清零。
2. “具有校准计数值的十二进制计数器或二十四进制的计数器电路”“私有”元件的测试电路（采用16进制数字显示器显示计数值）：

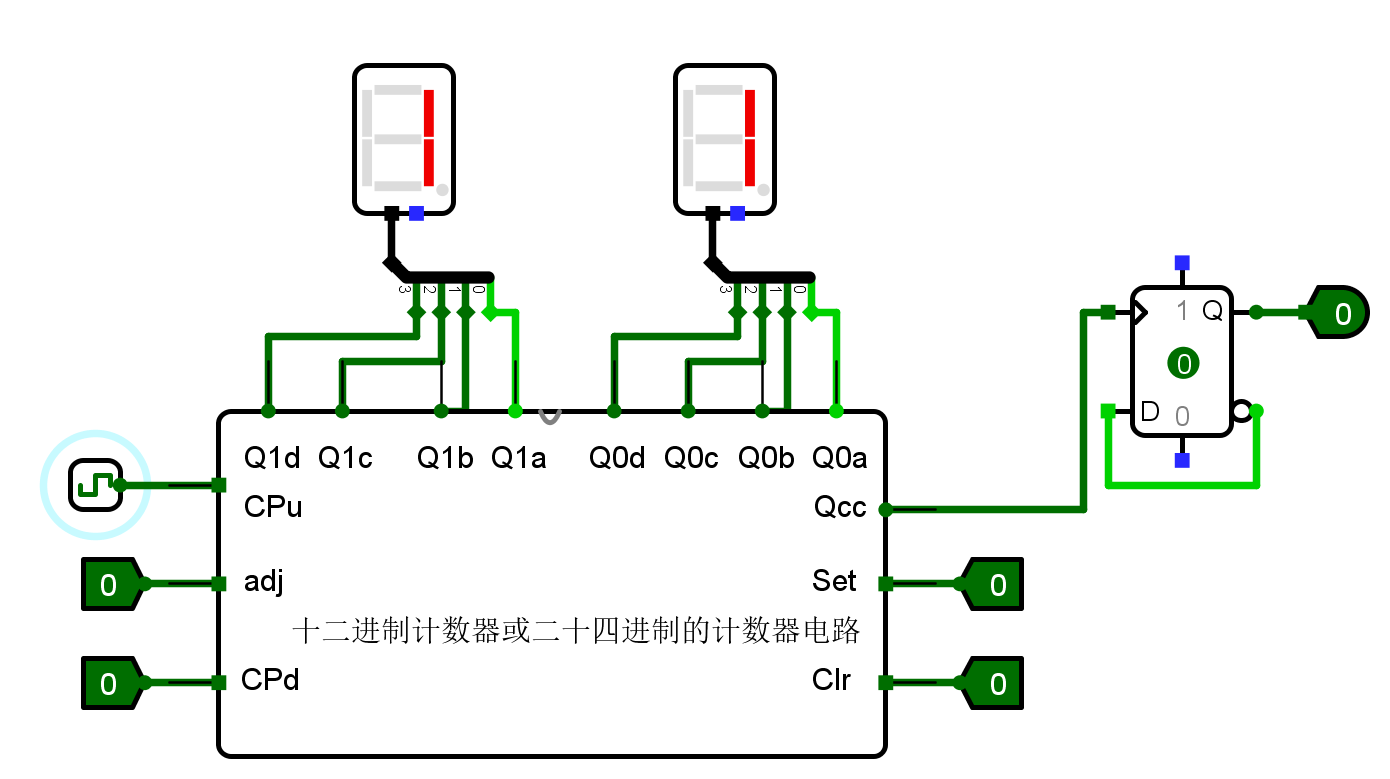


图 1.26 校准计数值的十二进制计数器或二十四进制的计数器电路测试1.1

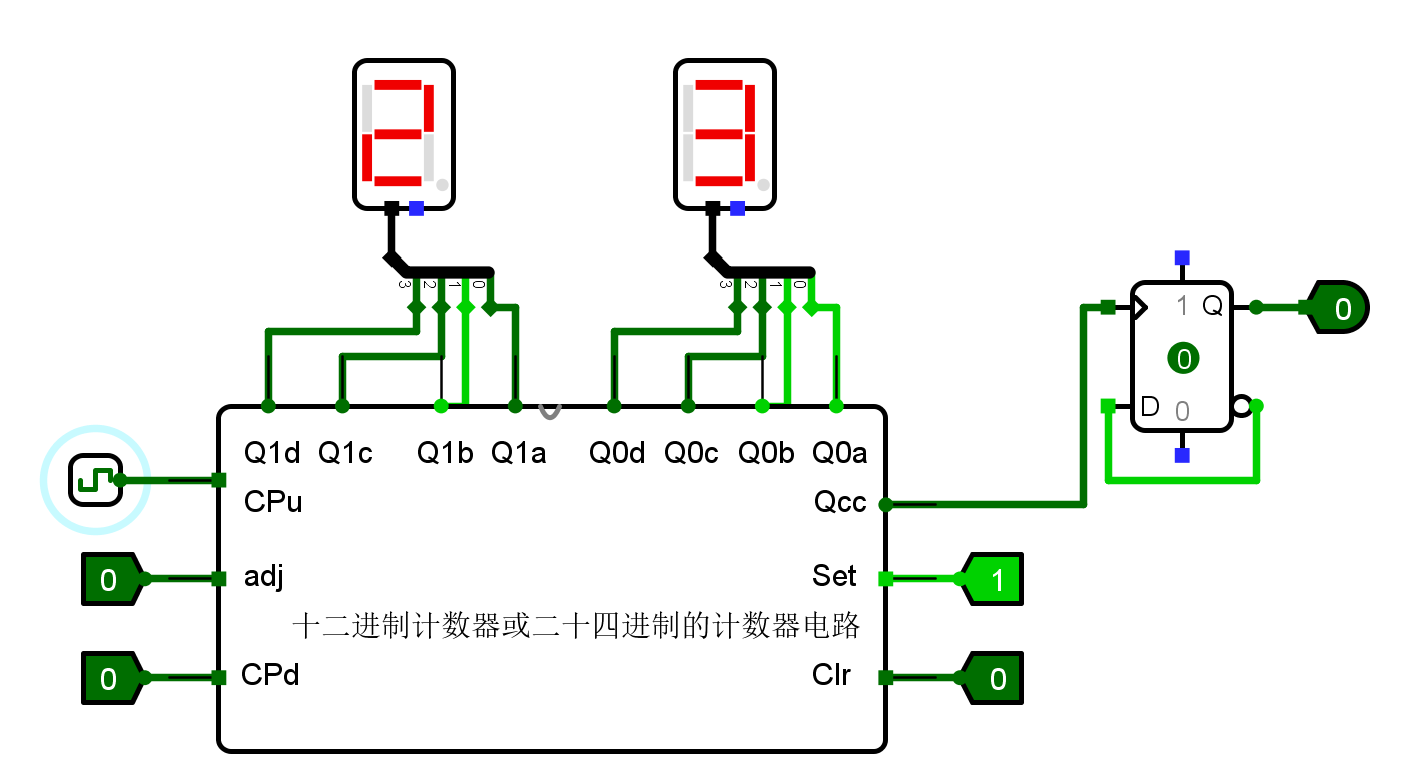


图 1.27 校准计数值的十二进制计数器或二十四进制的计数器电路测试1.2

1. 当set=1时，是二十四进制计数器；当set=0时，是十二进制计数器；

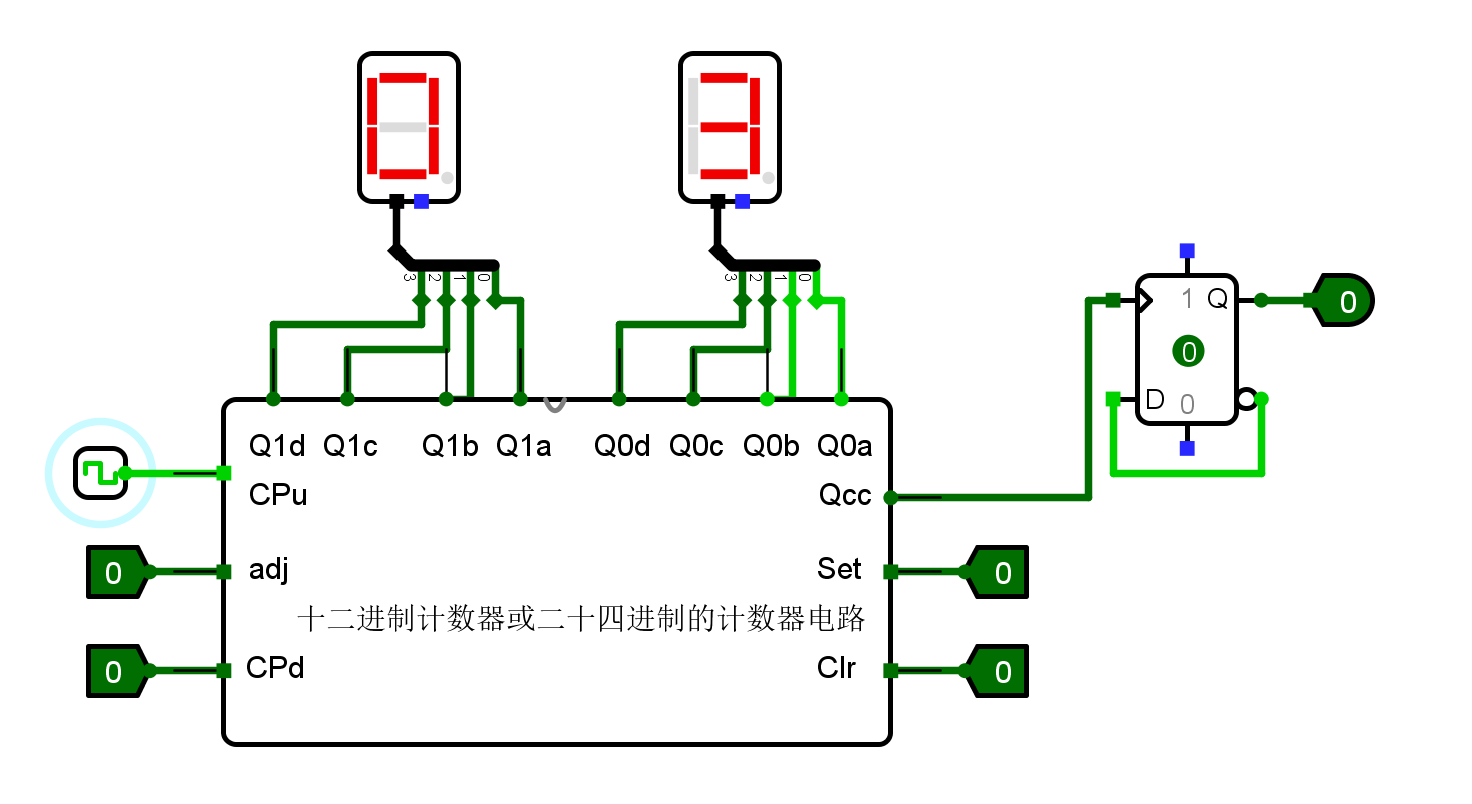


图 1.28 校准计数值的十二进制计数器或二十四进制的计数器电路测试2.1

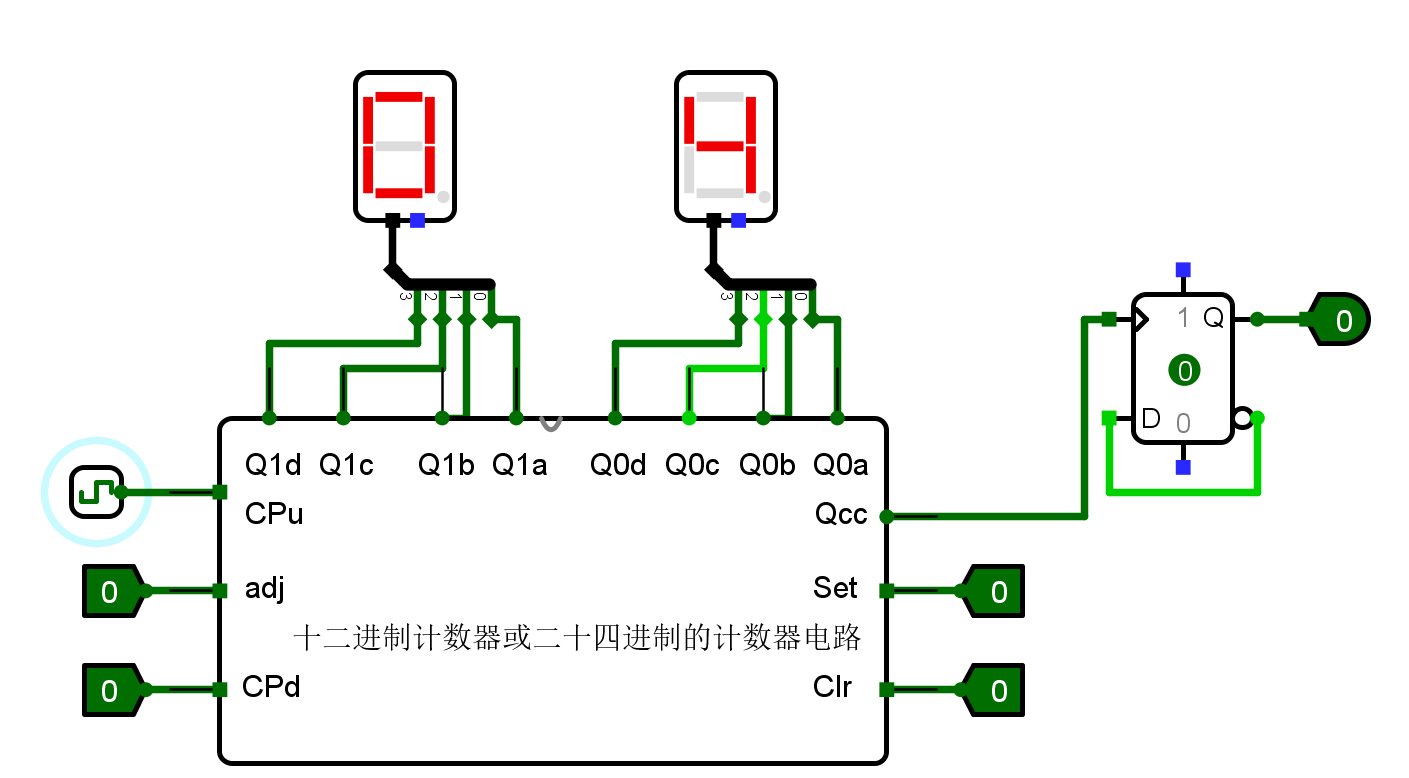


图 1.29 校准计数值的十二进制计数器或二十四进制的计数器电路测试2.2

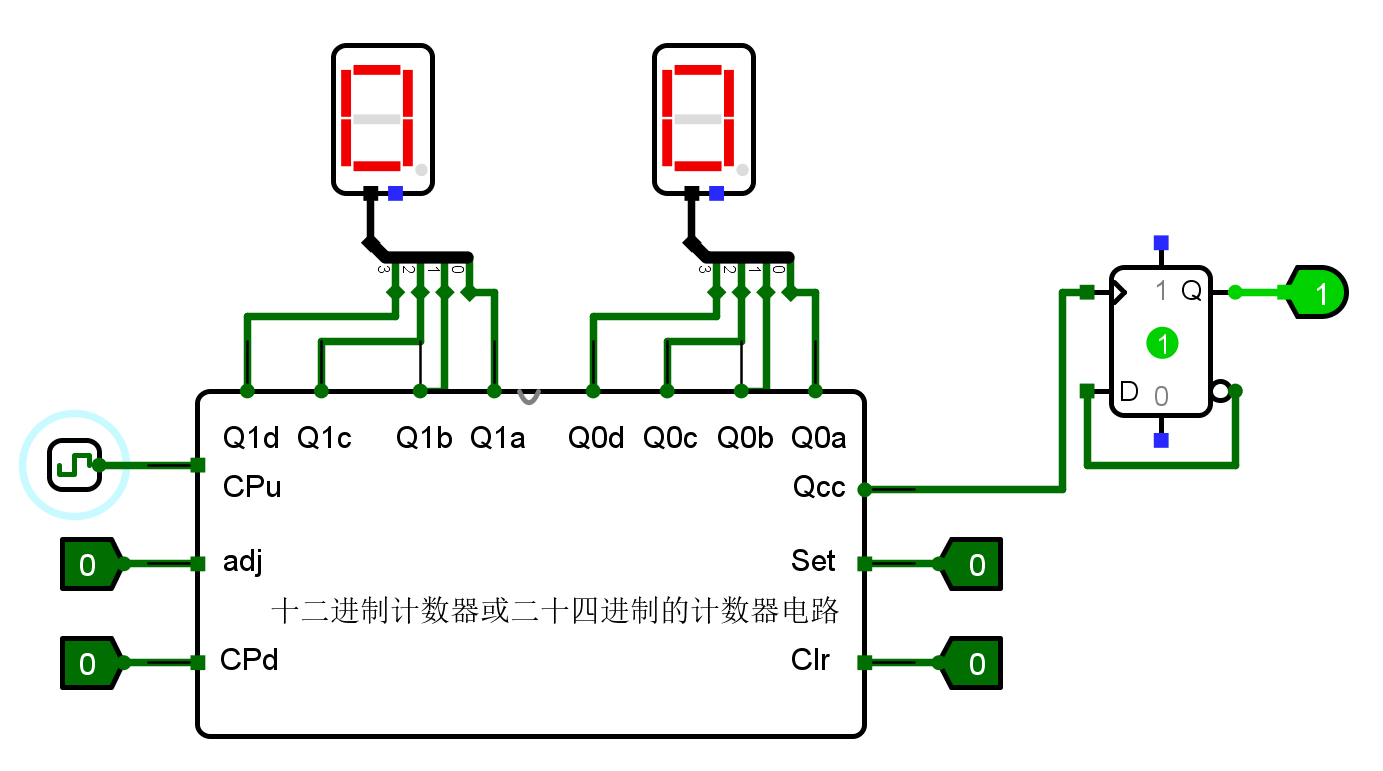


图 1.30 校准计数值的十二进制计数器或二十四进制的计数器电路测试2.3

1. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或者24（根据计数制）产生一个进位输出信号；

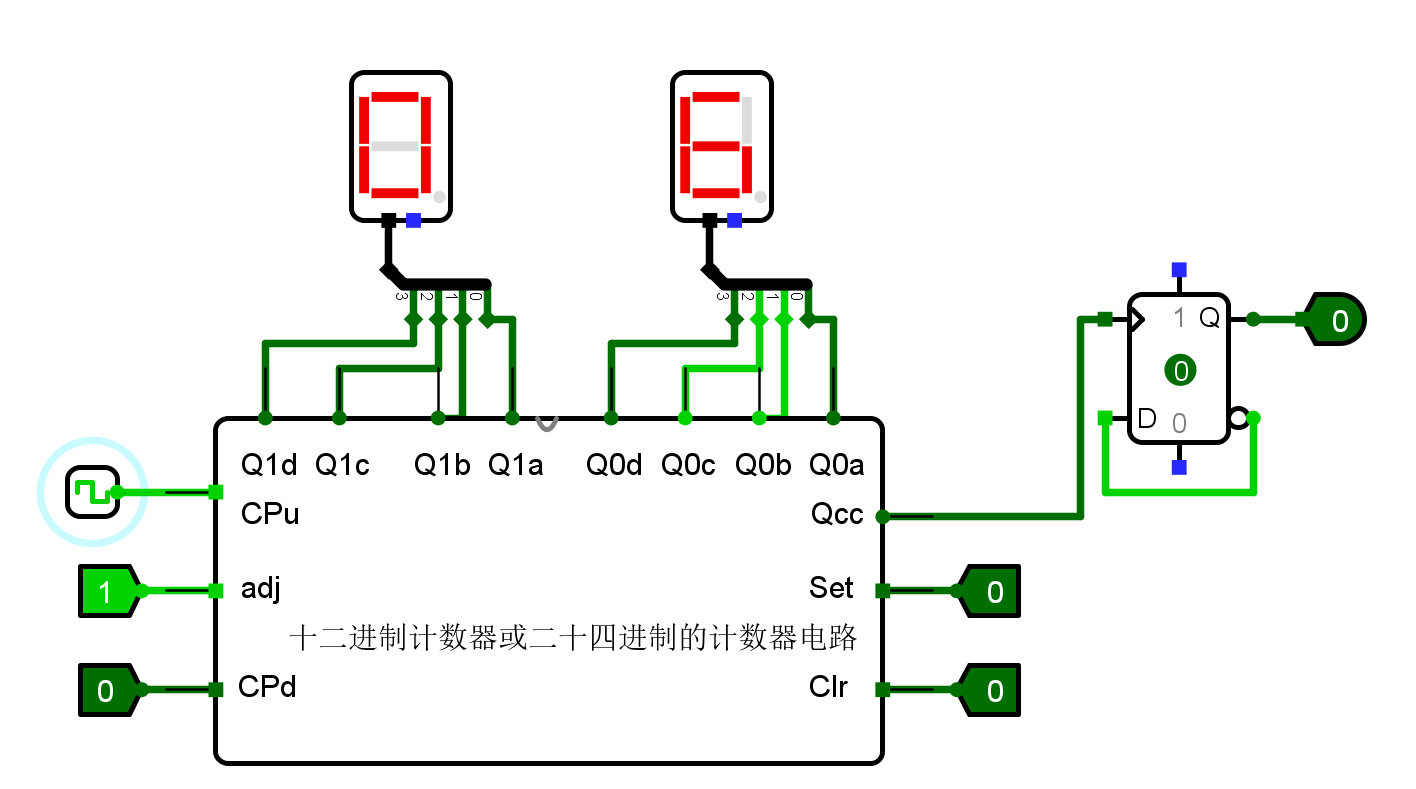


图 1.31 校准计数值的十二进制计数器或二十四进制的计数器电路测试3.1

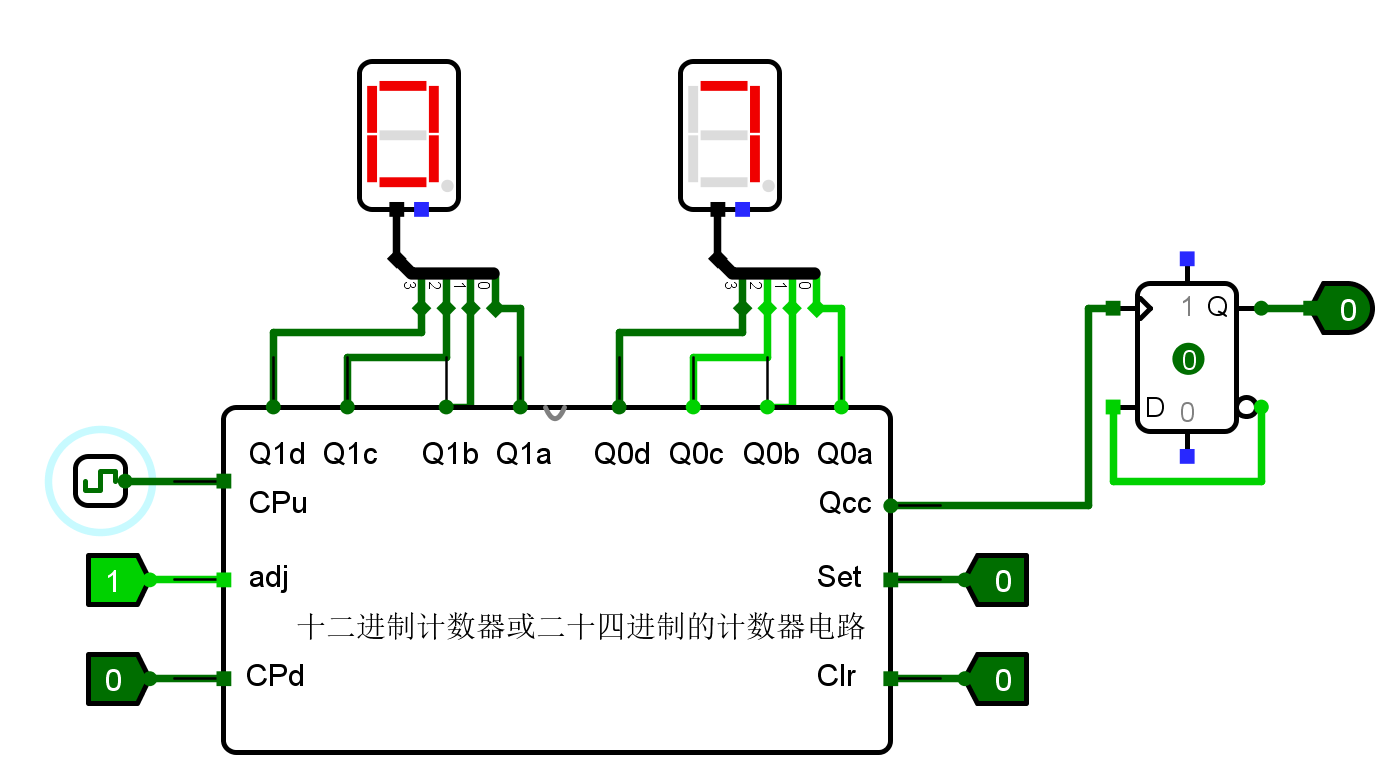


图 1.32 校准计数值的十二进制计数器或二十四进制的计数器电路测试3.2

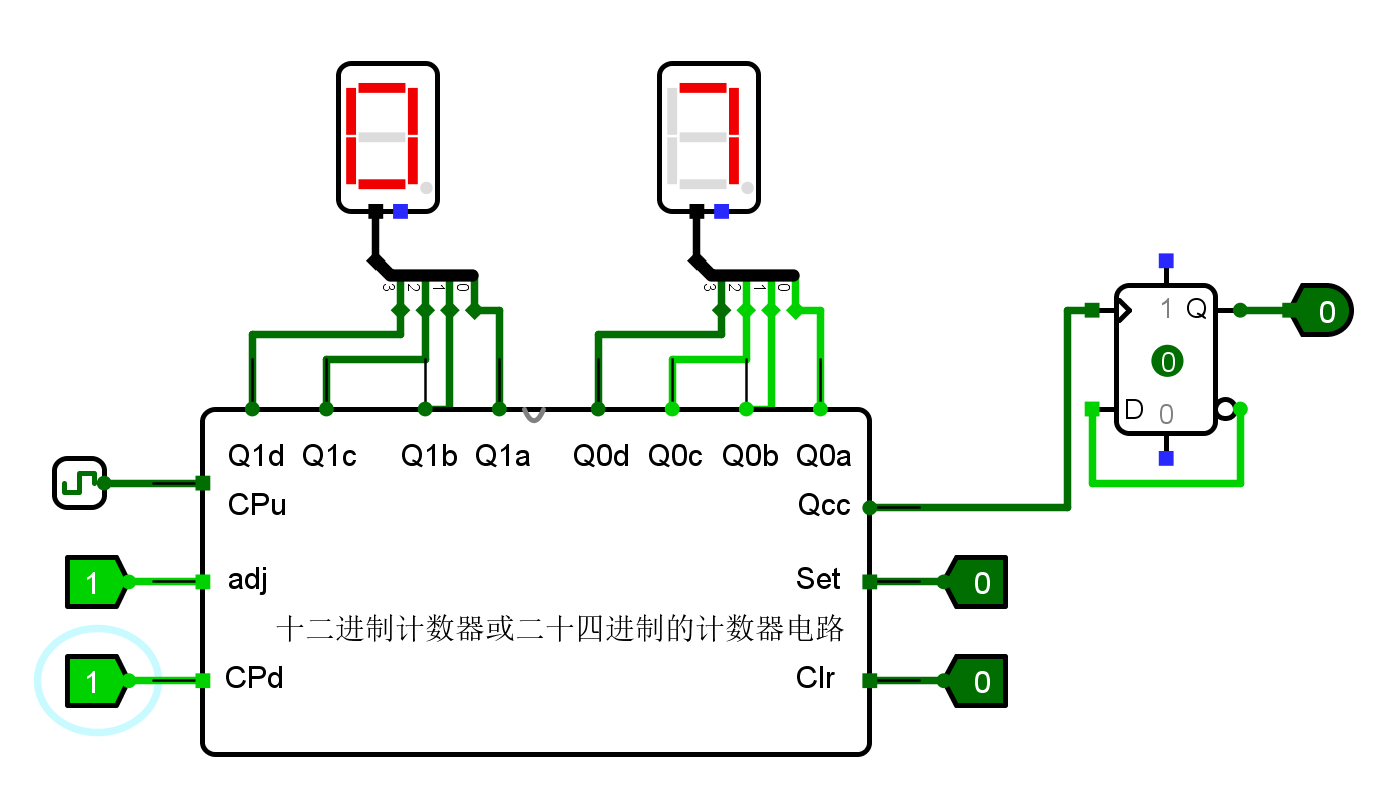
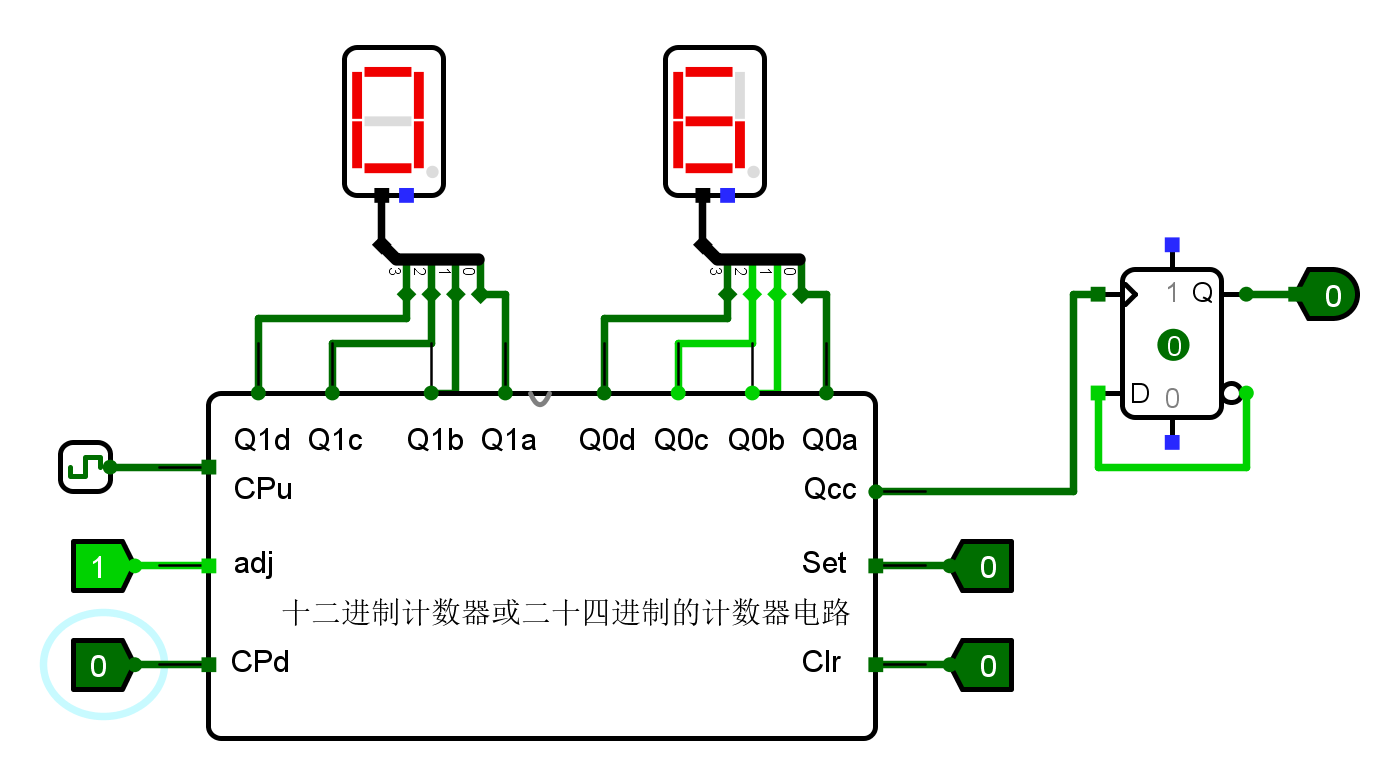


图 1.33 校准计数值的十二进制计数器或二十四进制的计数器电路测试3.3

图 1.34 校准计数值的十二进制计数器或二十四进制的计数器电路测试3.4

1. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；

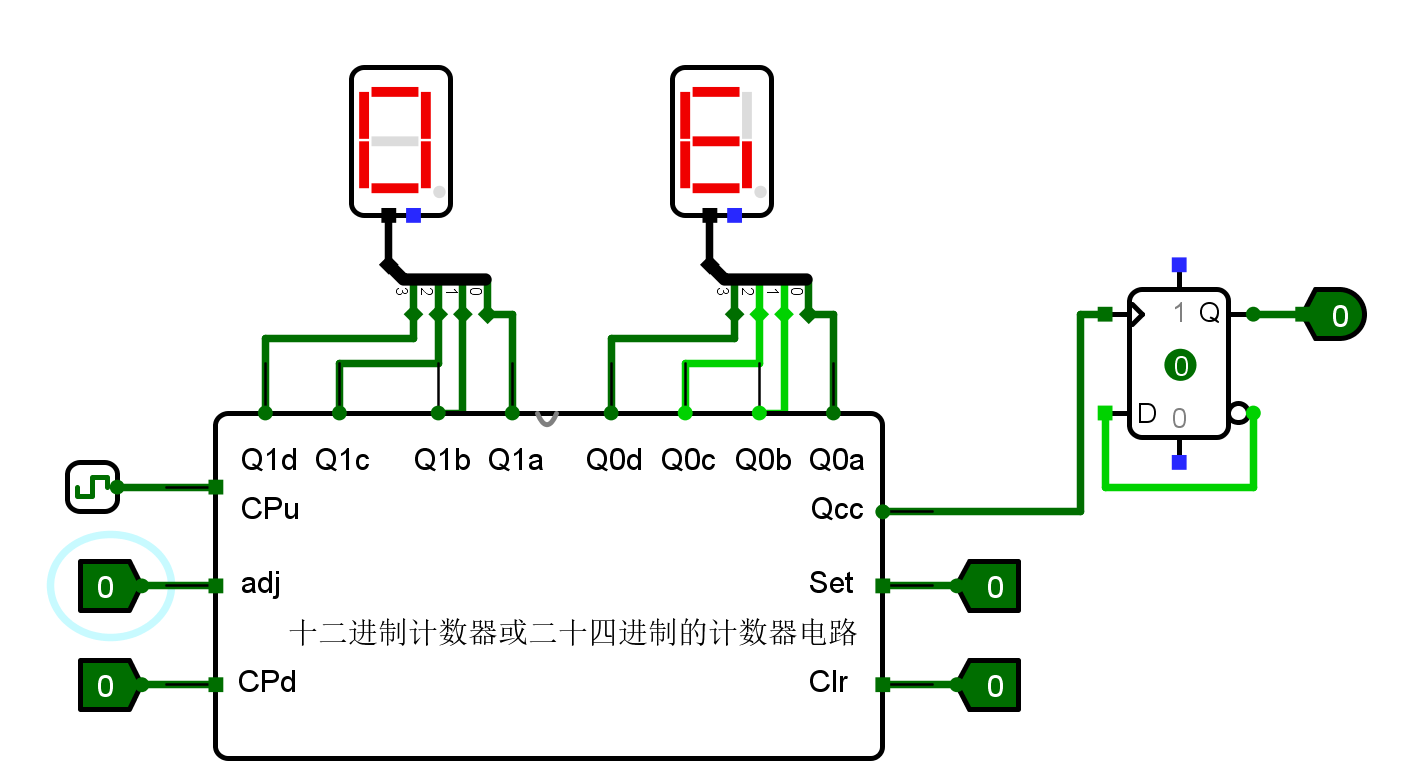


图 1.35 校准计数值的十二进制计数器或二十四进制的计数器电路测试4.1

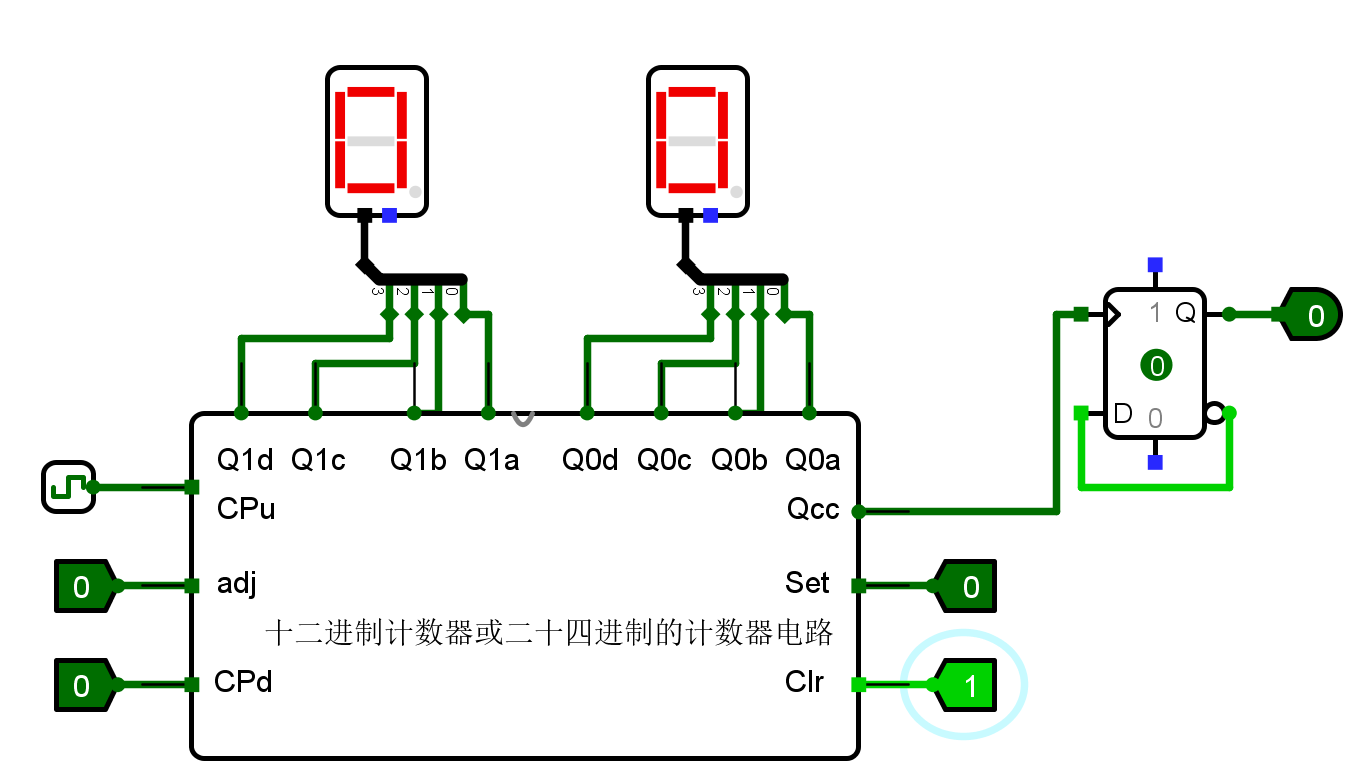


图 1.36 校准计数值的十二进制计数器或二十四进制的计数器电路测试4.2

1. Clr为1时，计数器清零；
2. 显示“上午”、“下午”“私有”元件的测试电路（采用4\*5Led显示器上、下）：

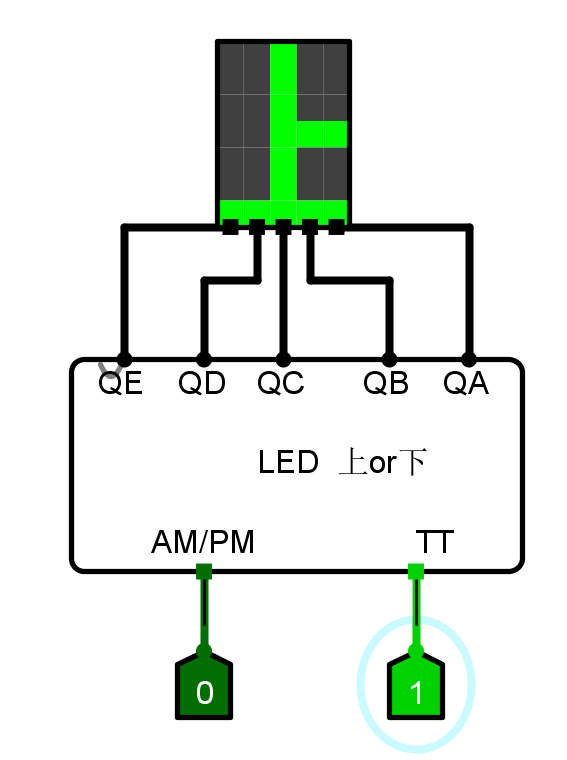
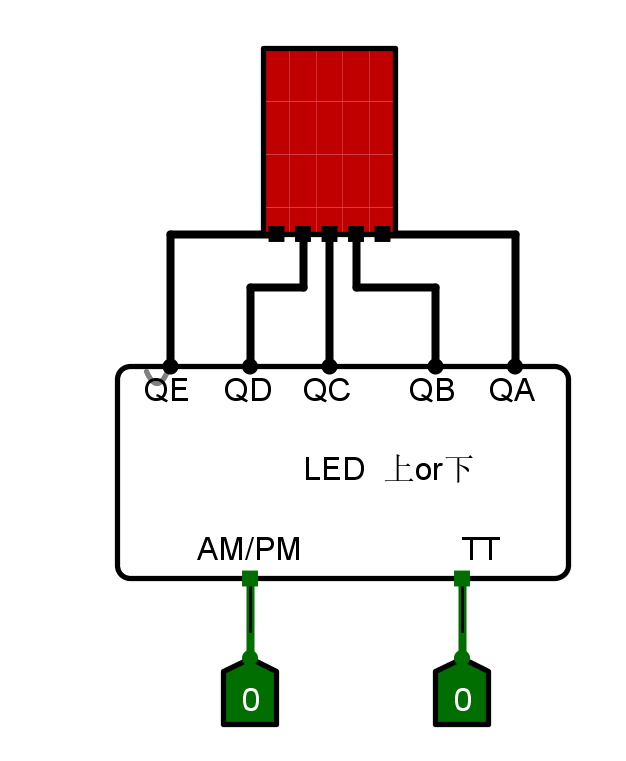


图 1.37，图1.38 显示“上午”、“下午”“私有”元件的测试电路1.1，1.2

1. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”（默认“上”）；

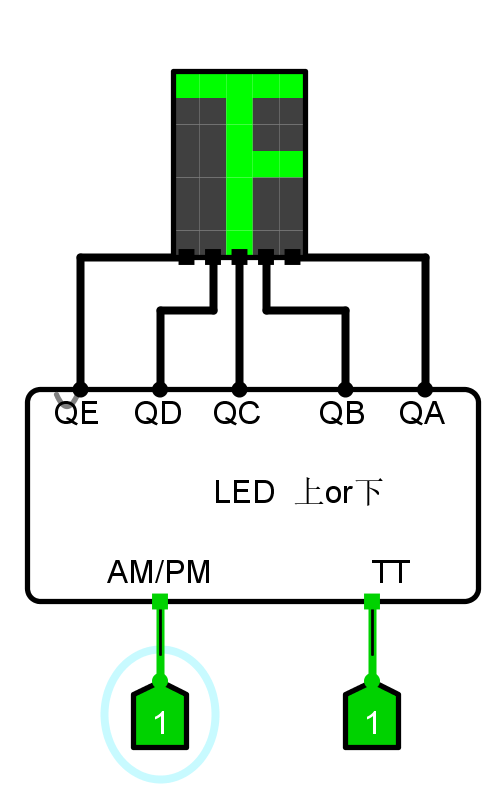
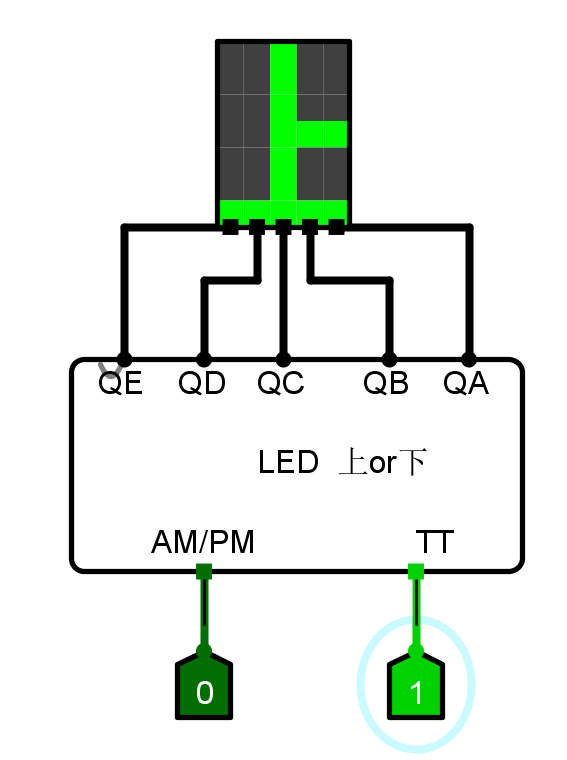


图 1.39，图1.40 显示“上午”、“下午”“私有”元件的测试电路2.1，2.2

1. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
2. 电子钟整点报时电路：

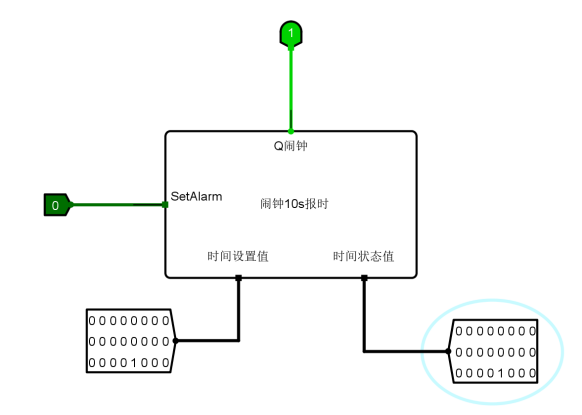
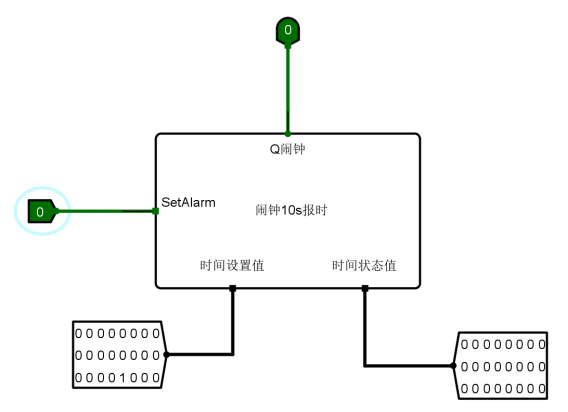


图 1.41，图1.42 电子钟整点报时的测试电路1.1，1.2

1. 通过时间设置值设定时间，然后SetAlarm确定后，当时间状态值和设置值相同时，就会有报时电路。
2. 秒计时脉冲产生“私有”元件的测试电路（采用LED闪烁）：

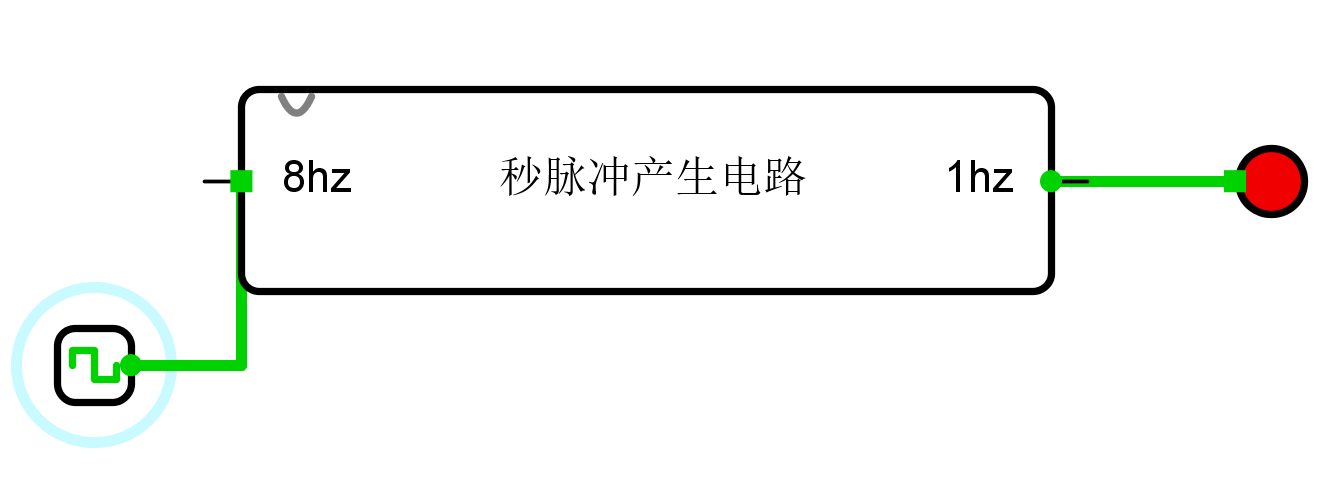


图 1.43 秒计时脉冲产生的测试电路

1. 闹钟（选做）

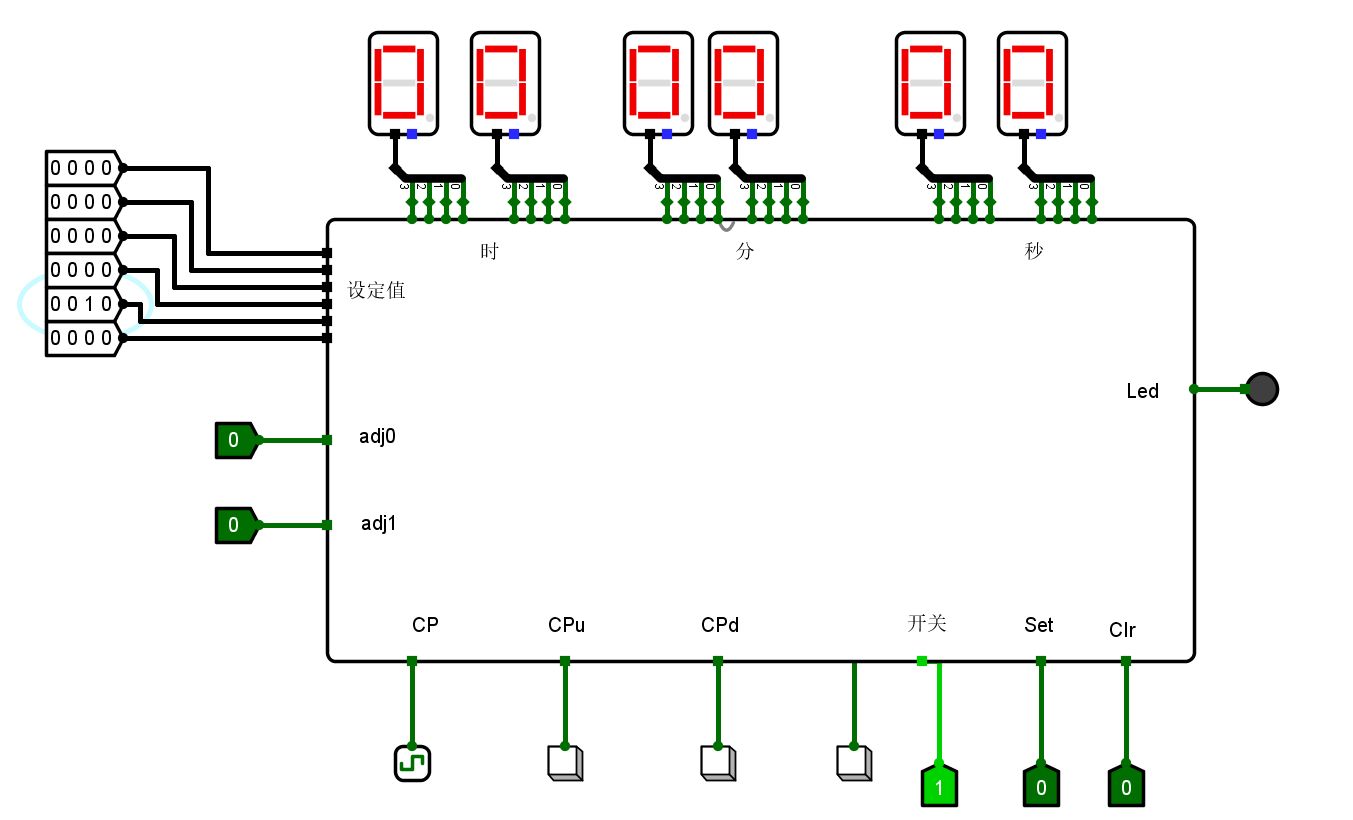


图 1.44 闹钟电路的测试电路1

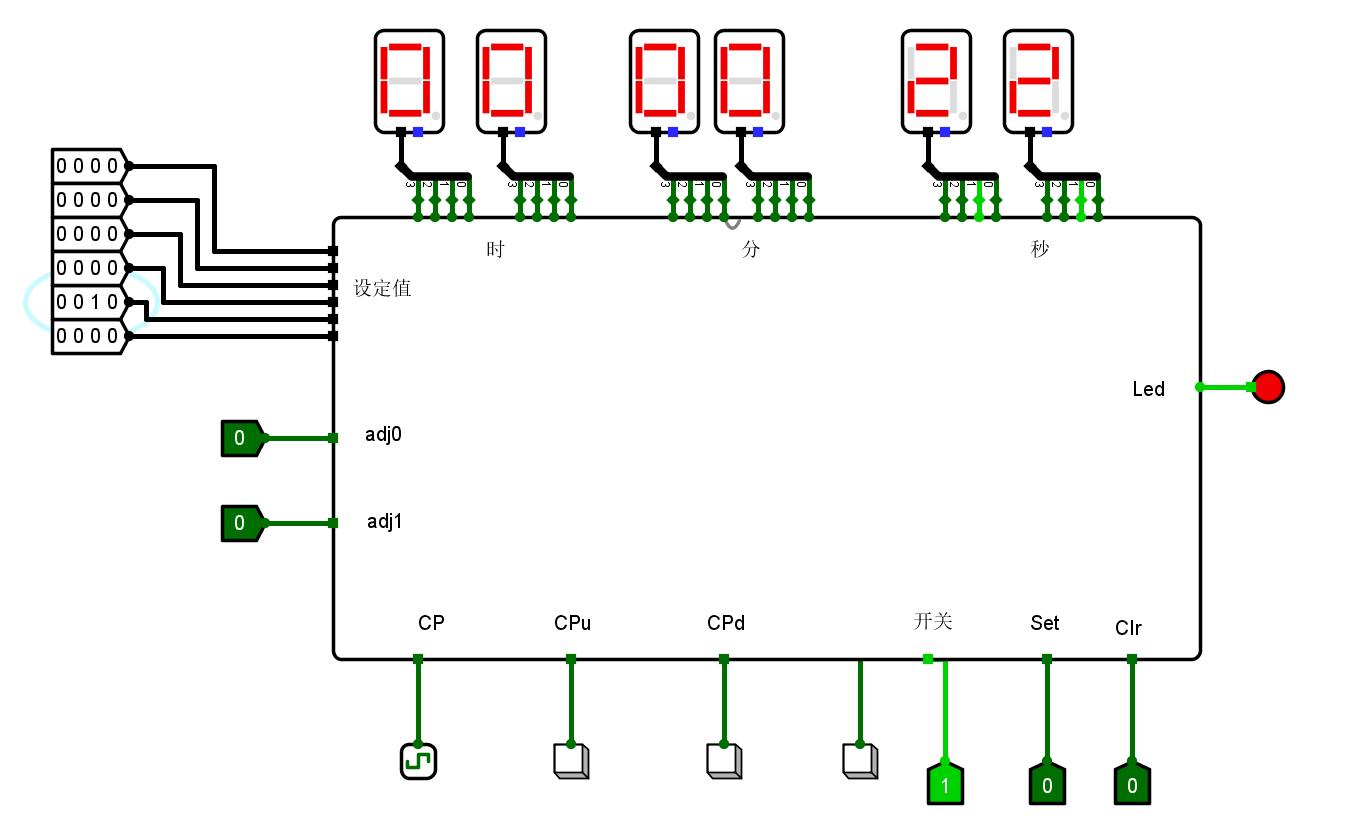


图 1.45 闹钟电路的测试电路2

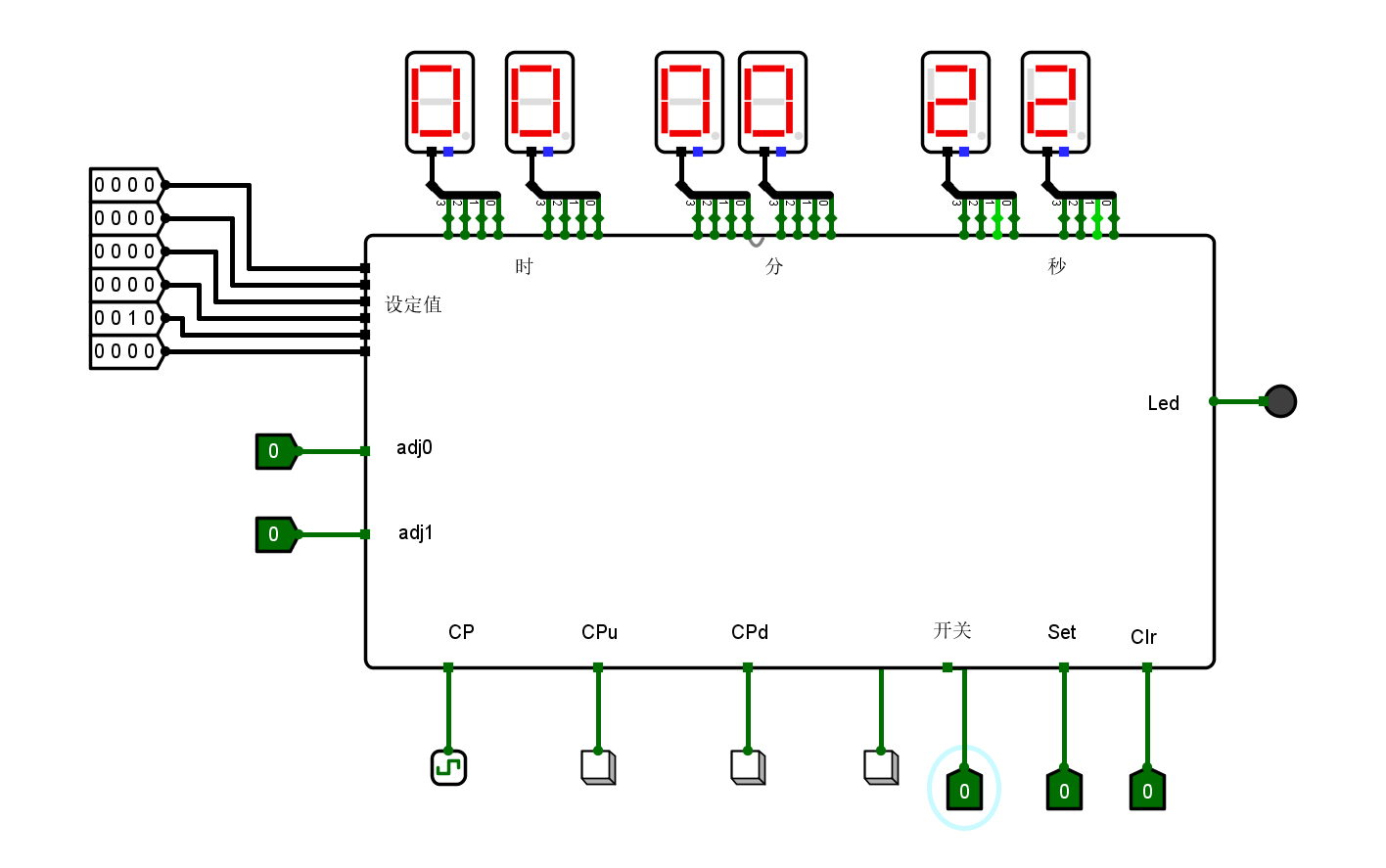


图 1.46 闹钟电路的测试电路3

开关置为1，然后将设定值设置为20s时闹钟响，闹钟将响10s；

将开关置为0，闹钟将不响。

1. 按多功能数字钟电路系统输入、输出信号要求，给出多功能数字电路的测试电路：

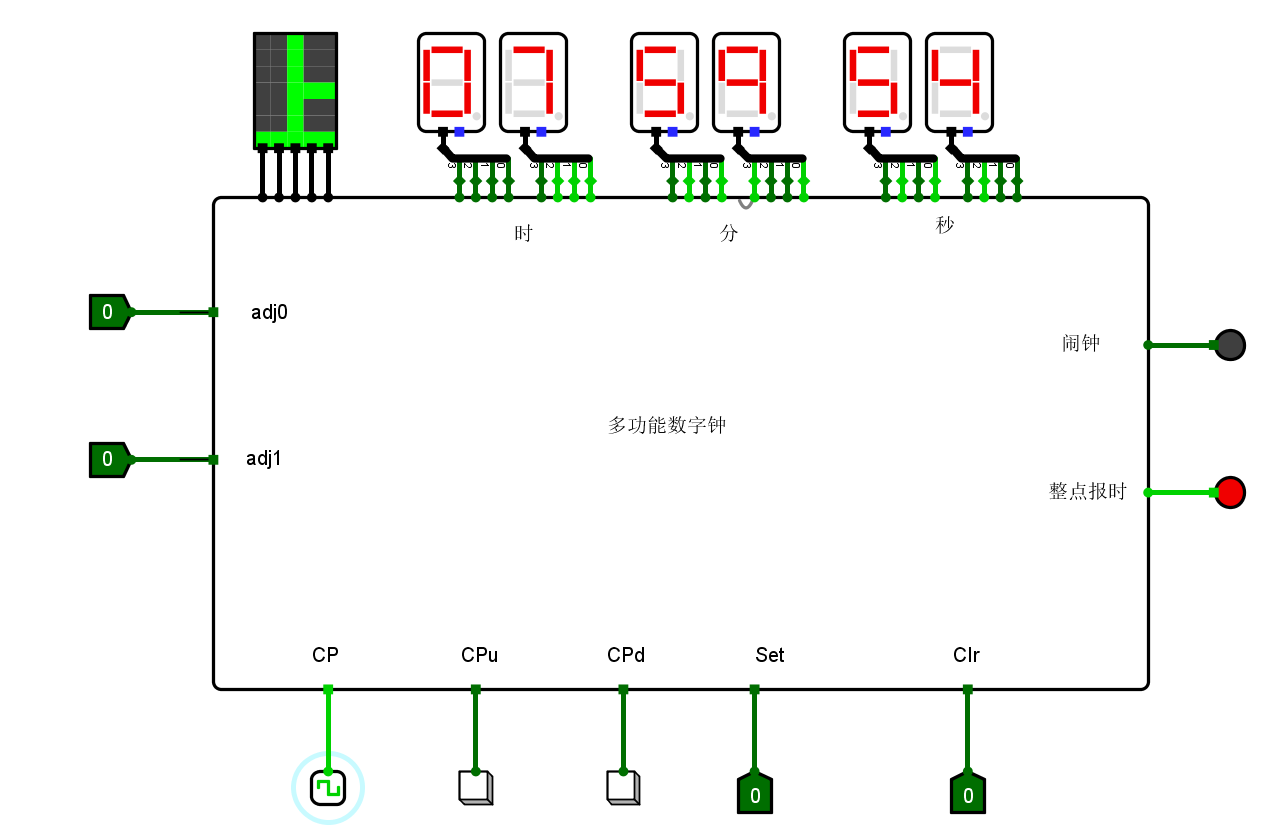


图 1.44 多功能数字钟电路的测试电路

8. 实验后的思考

（1） 主要在于可校准的六十/十二/二十四进制的计数器的可校准功能，以及10s闹钟的设计，以及最后多功能数字钟的组件。

（2） 对于个位和十位要用公式推导，并且每个细节都不能放过；

10s闹钟关键点在到达设置秒数要处理10s的延迟；

多功能数字钟的组件要理解前面所有的元件的作用，输入和输出，再经过反复的耐心地调试才能成功。

数电：一般指通过数字逻辑和计算去分析、处理信号，数字逻辑电路的构成以及运用。由于数电可大规模集成，可进行复杂的数学运算，对温度、干扰、老化等参数不敏感，因此是今后的发展方向。学好了数电对我们今后的发展有很大的作用！

学好了数电对我们今后的发展有很大的作用!我们学的这本教材总结了近几年来的教学实践经验，加强了基础理论，如加强了半导体的物理基础和电路的基本分析方法；同时也注意吸取国内外的先进技术，如加强了线性集成电路和数字集成电路(包括中、大规模集成电路)的原理和应用，新增了电子电路的计算机辅助分析等内容）。在内容的安排上，注意贯彻从实际出发，由深入浅、由特殊到一般、从感性上升到理性等原则。