



UNIVERSITAT POLITÈCNICA DE CATALUNYA  
BARCELONATECH  
Escola Tècnica Superior d'Enginyeria  
de Telecomunicació de Barcelona



# **Implementació en FPGA d'un control de camp orientat amb debilitament de camp per motors IPMSM**

**Treball Fi de Grau**

realitzat per

**Francisco Marí Prats**

En compliment parcial dels requisits per al  
Grau en Enginyeria Electrònica de Telecomunicació

Director: Domingo Biel Solé

# Índex

- 1.** Introducció
- 2.** Objectius
- 3.** Marc teòric del control motor
- 4.** Disseny i implementació
- 5.** Resultats
- 6.** Conclusions

# 1 | Introducció

# Introducció | Formula Student

## Objectiu: Promoure l'excel·lència en enginyeria

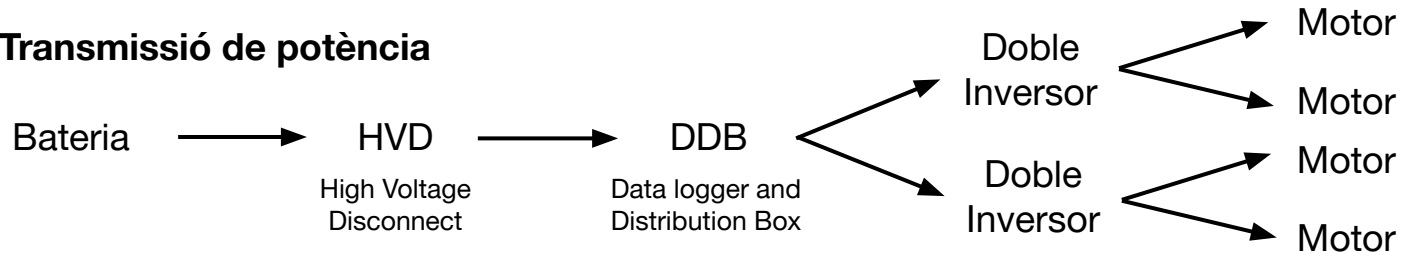


BCN eMotorsport CAT14x

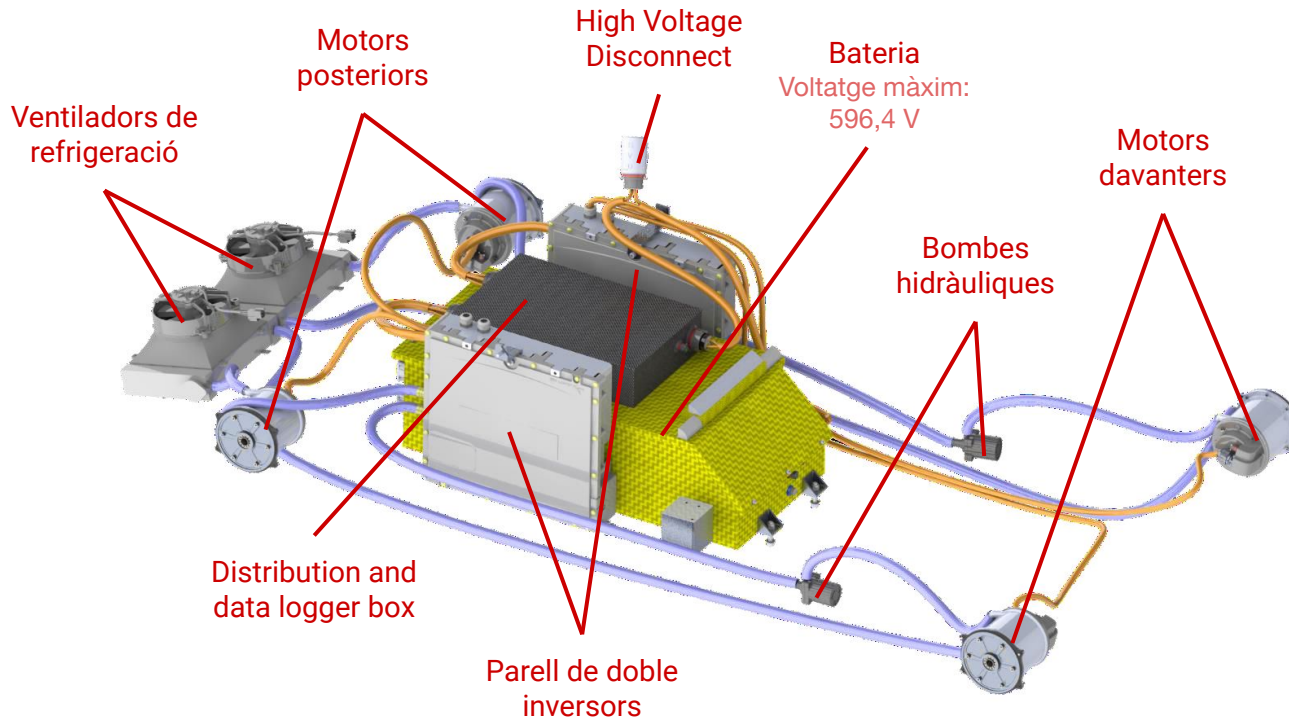


# Introducció | Tren de potència

## Transmissió de potència



## Tren de potència del CAT14x



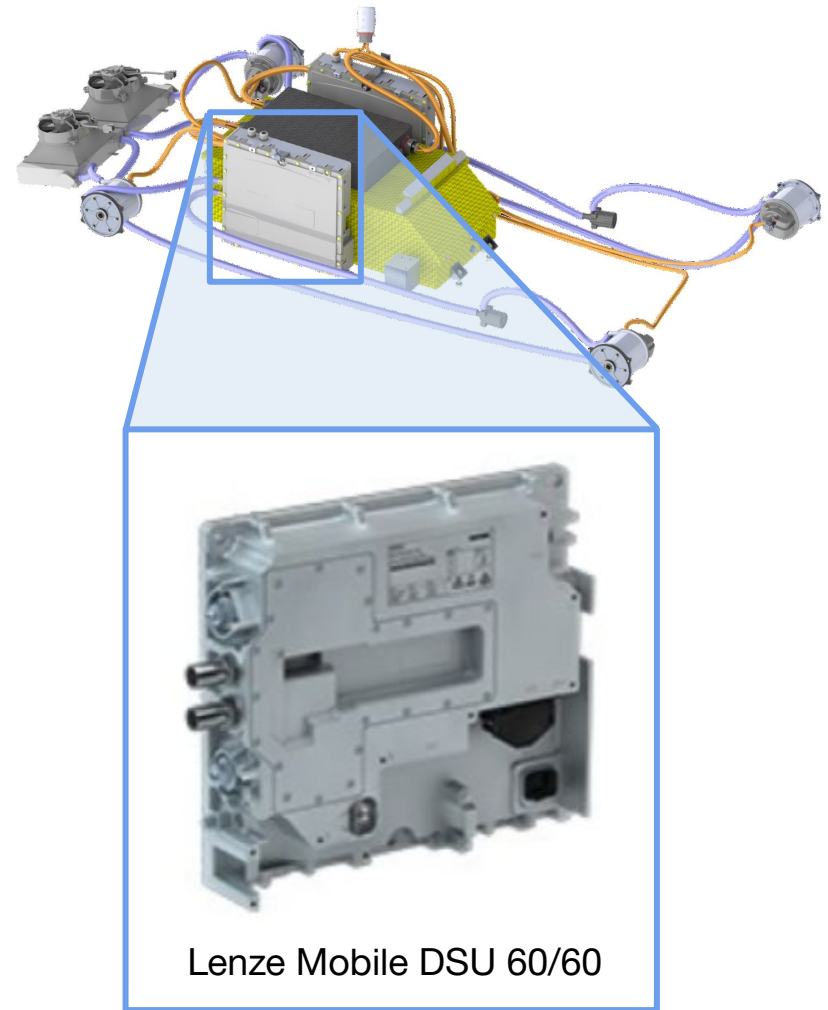
# Introducció | Inversor trifàsic

## Especificacions:

- Tecnologia MOSFET IGBT
- Potència màxima 36 kW
- Pes 7,4 kg
- Dimensions 31 cm × 35 cm × 7,5 cm
- Concebut per autobusos

## Projecte d'inversor propi:

- Funcionament intern conegut
- La comunicació no està limitada
- Pas a tecnologia *Silicon Carbide*:
  - Pèrdues per commutació més baixes
- Control per **FPGA**
- Nova carcassa amb un pes reduït



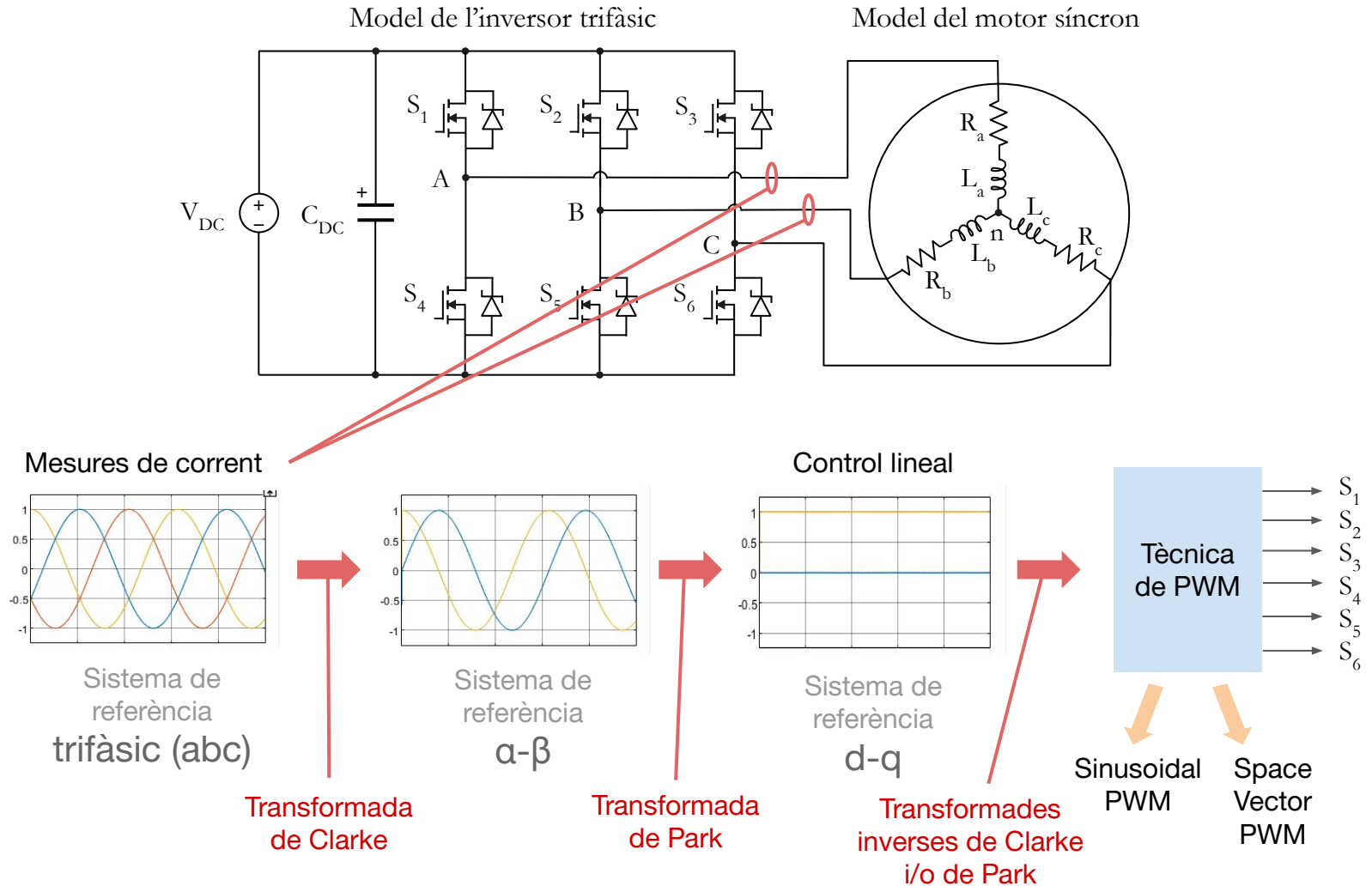
## 2 | Objectius

1. Elecció de la placa **FPGA**
2. Millora de l'algorisme de control
3. Implementació de l'algorisme de control en **lògica programable**
4. Validació de l'algorisme implementat
5. Implementació del **programari** per gestionar l'arrencada, la parada i la comunicació per bus CAN

## **3** | Marc teòric del control motor

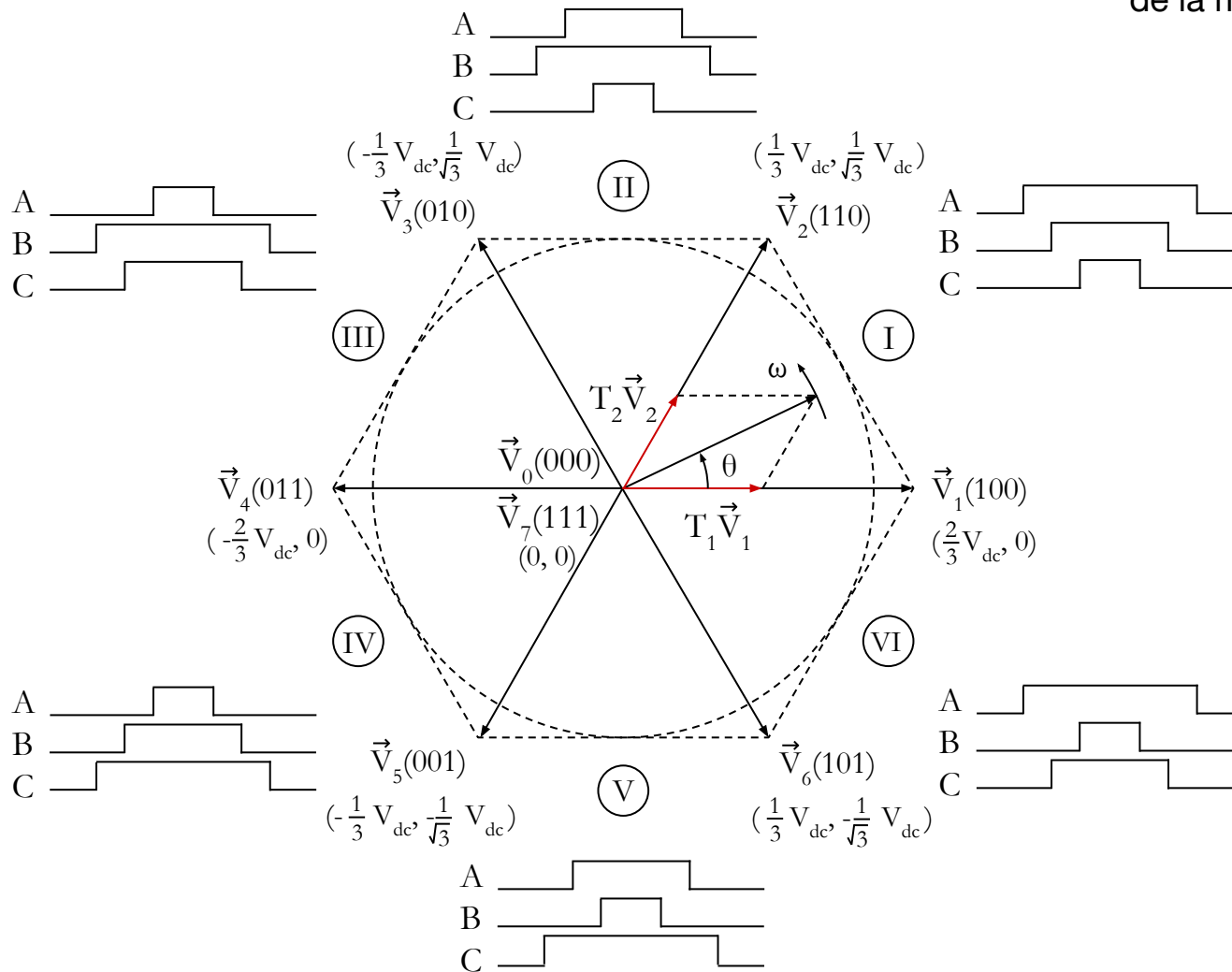


# Marc teòric | Control de camp orientat (FOC)

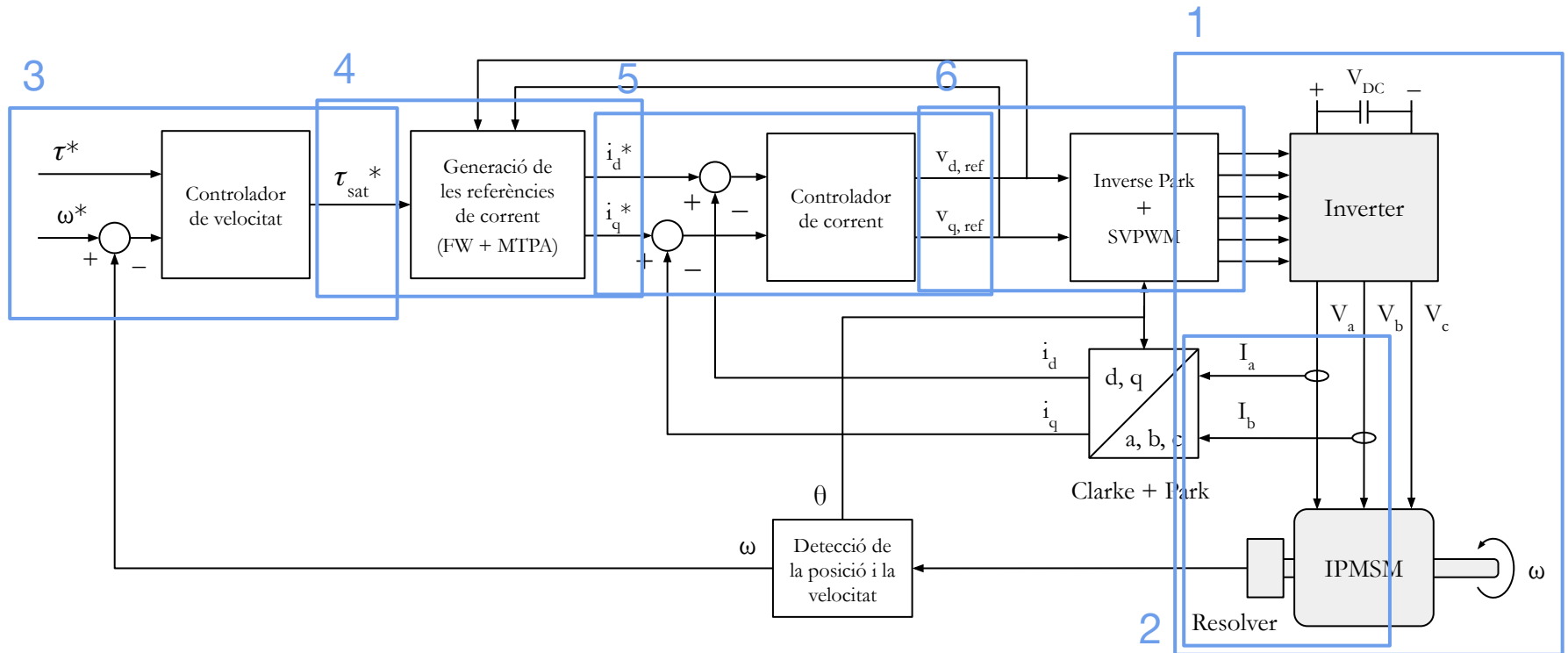


# Marc teòric | Space Vector PWM

L'algorisme de SVPWM emprat  
es detalla en les pàgines 32-37  
de la memòria.

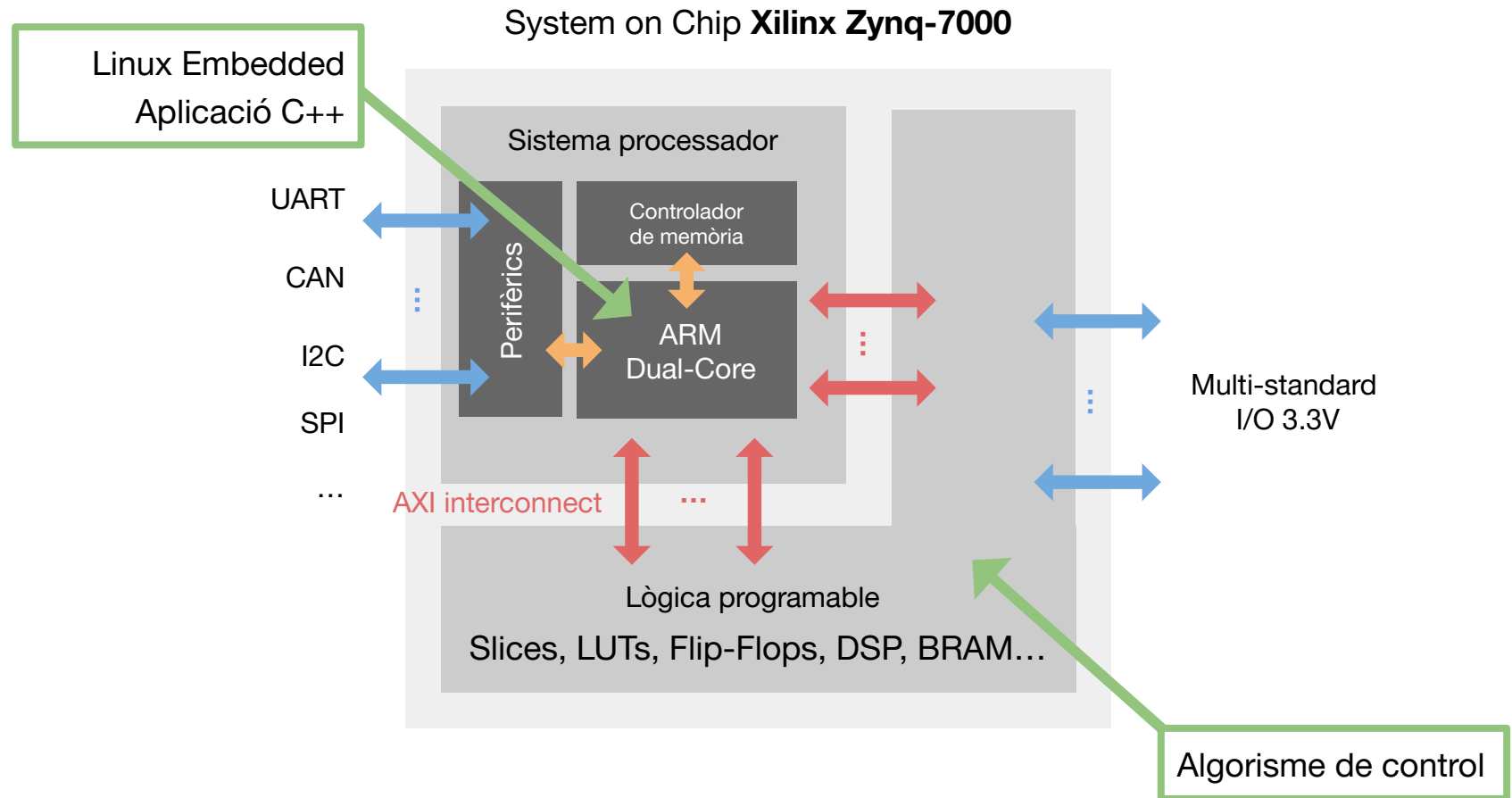


# Marc teòric | Diagrama de blocs del control



## 4 | Disseny i implementació

# Implementació | Disseny de l'arquitectura



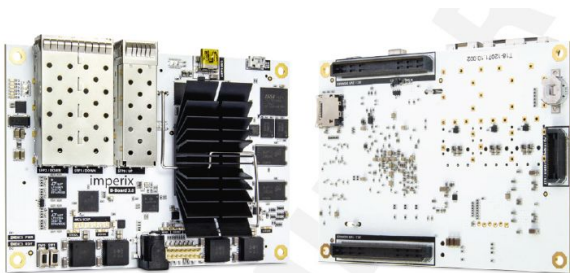
# Implementació | Selecció de la placa SoM



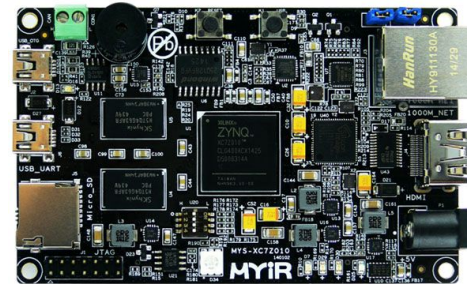
Digilent Cora Z7



Custom board



Control específic (ex: B-Board Pro)



MYIR Z-Turn board

**Xilinx** Zynq-7020 as SoC

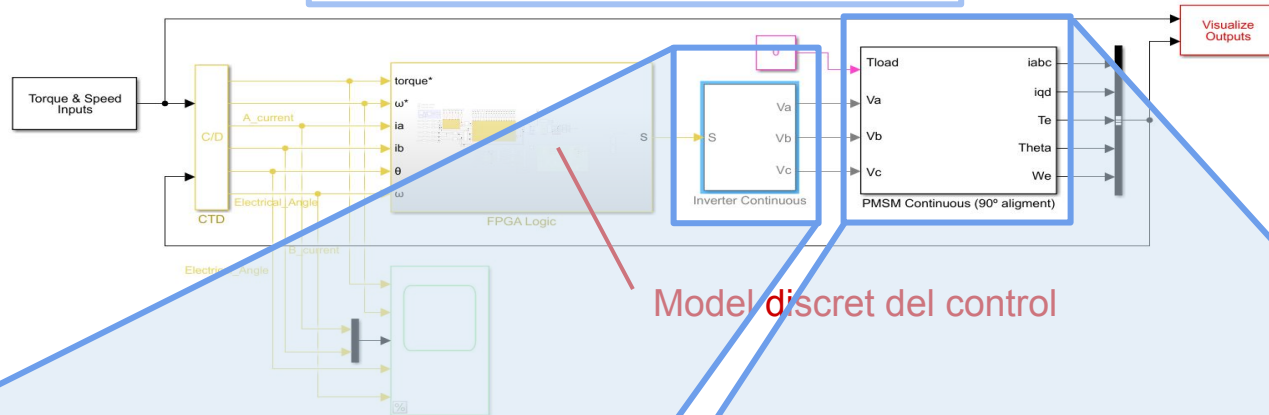
Ready-to-Run Linux Single Board Computer  
Supports Python Development



**AMD**  
**XILINX**

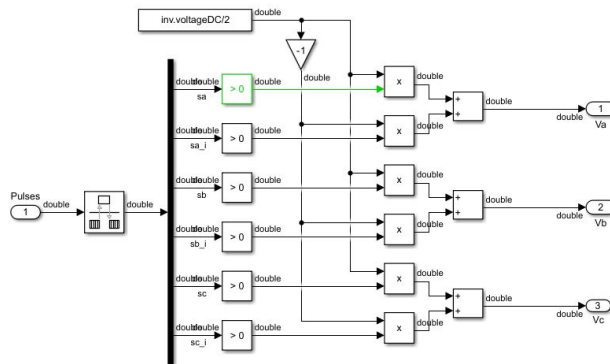
# Implementació | Model previ de Simulink

Vista general del model de Simulink

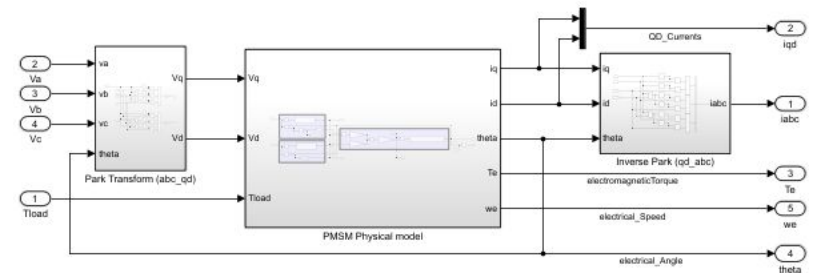


Model discret del control

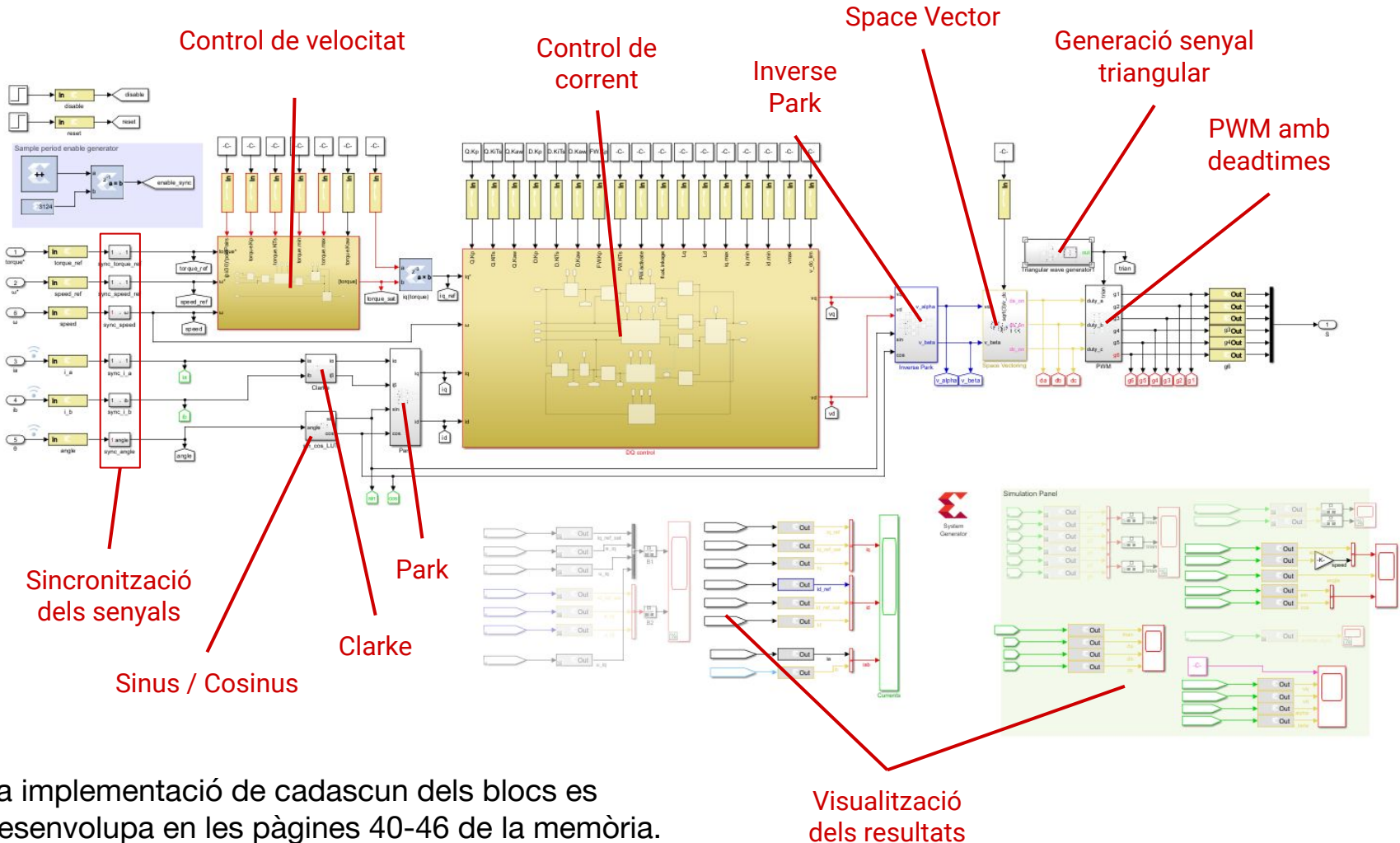
Model commutat de l'inversor



Model del motor en referència d-q



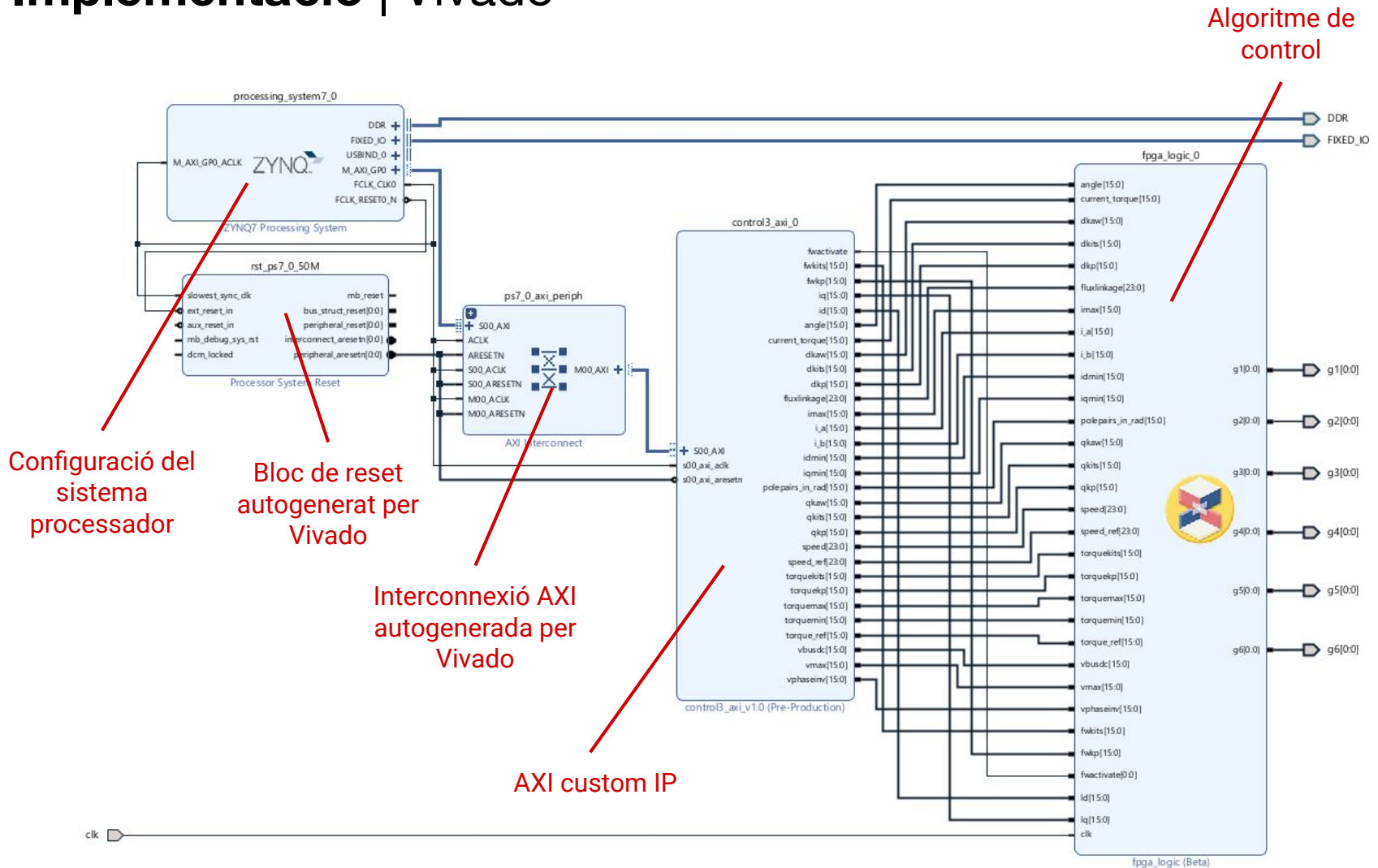
# Implementació | Vitis Model Composer



La implementació de cadascun dels blocs es desenvolupa en les pàgines 40-46 de la memòria.



# Implementació | Vivado



# Implementació | Disseny de l'aplicació en C++

params.txt

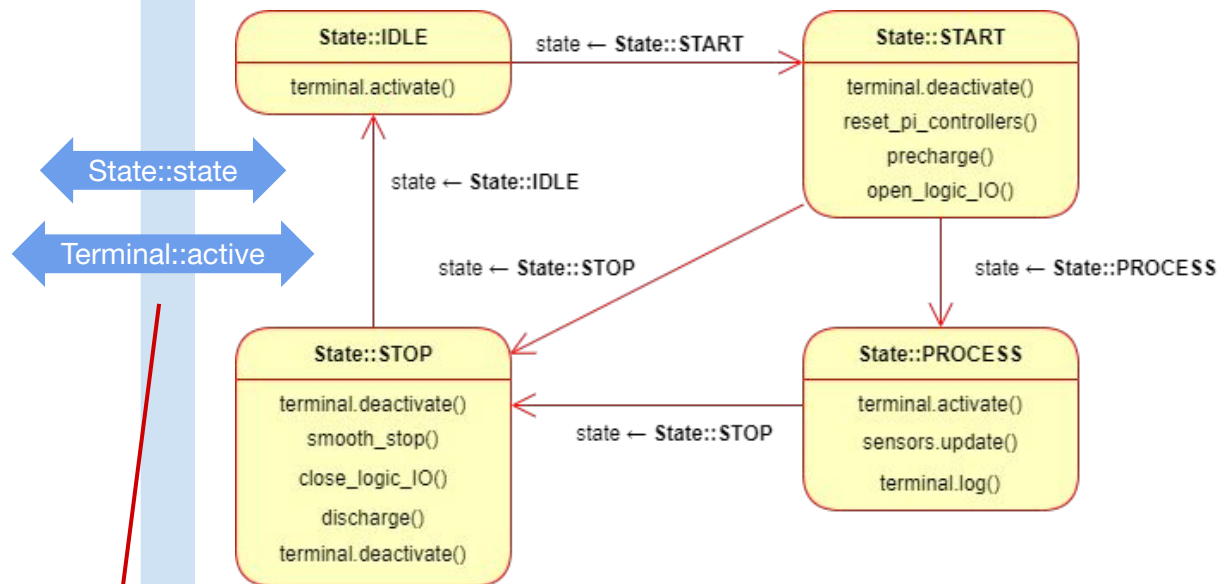
main

**Thread | Terminal loop**

Commands:

HELP  
EDIT  
START  
STOP  
START  
STOP  
SPEED  
TORQUE

**Thread | States machine loop**

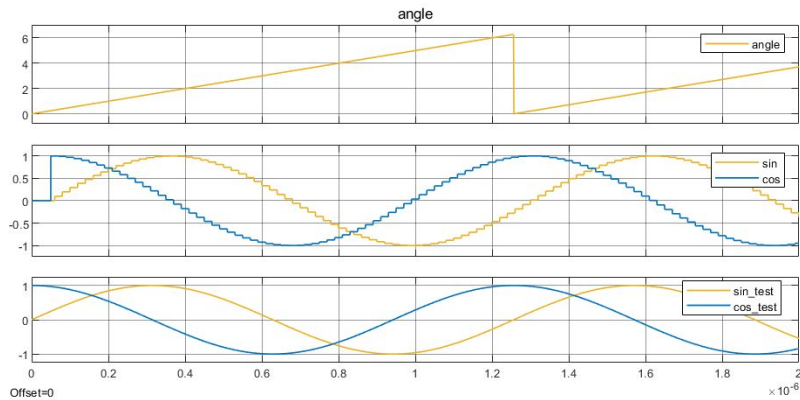


Memòria compartida

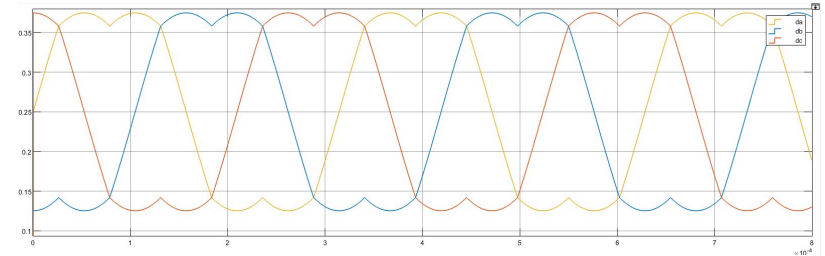
## 5 | Resultats

# Resultats | Tests unitaris

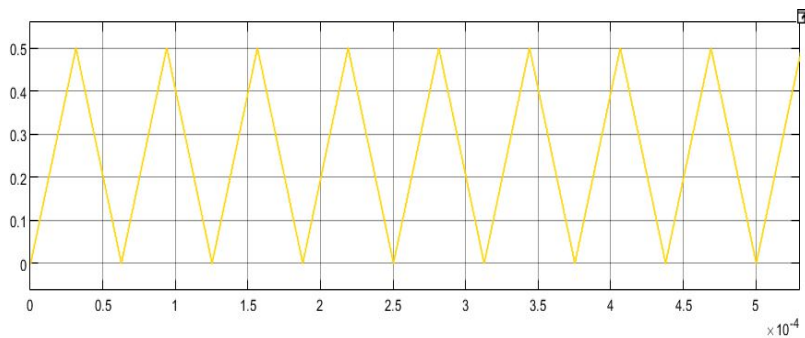
## Sinus / Cosinus



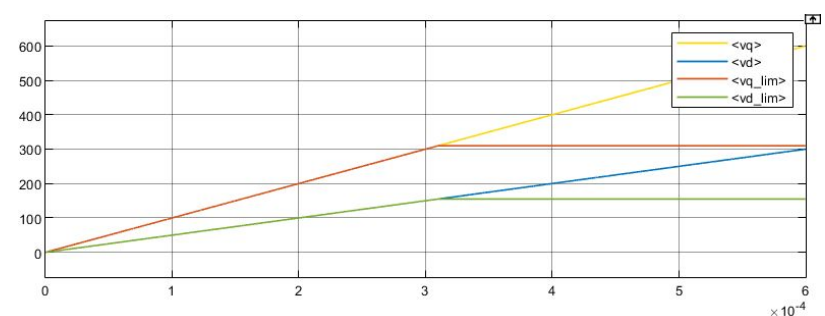
## Space Vector



## Senyal triangular

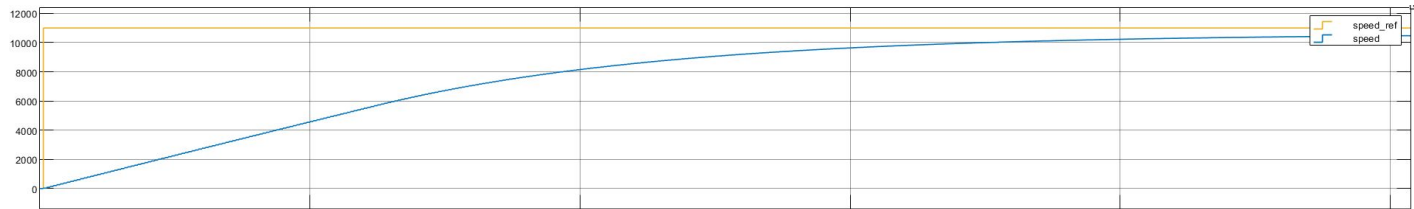


## Limitador de voltatge

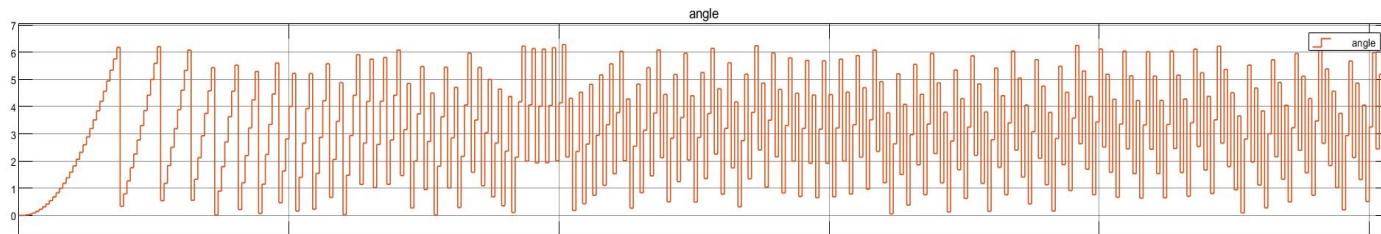


# Resultats | Simulació completa

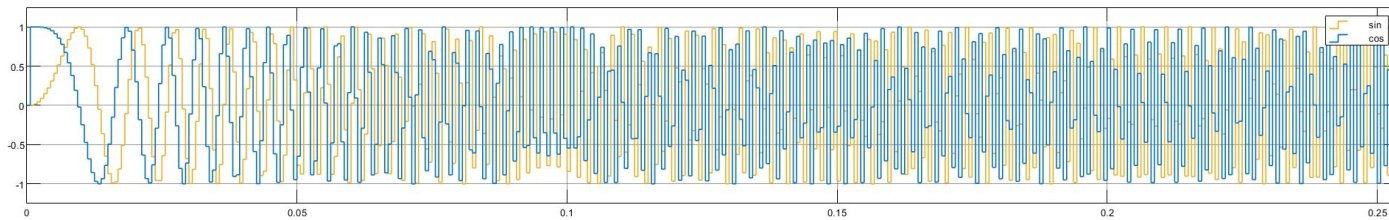
Consigna i valor de velocitat



Evolució de l'angle



Sinus / Cosinus

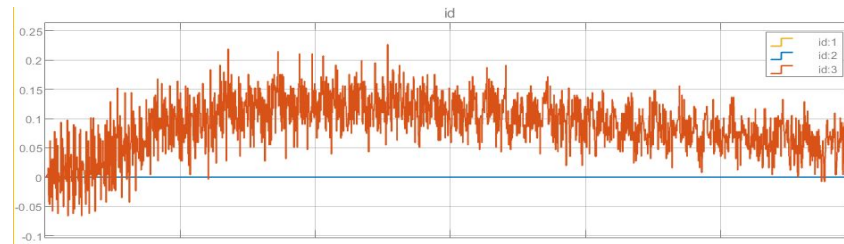


# Resultats | Simulació completa

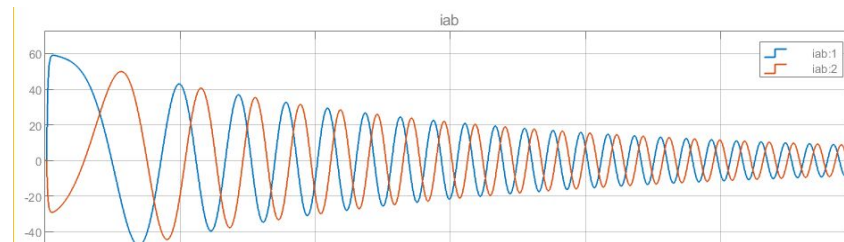
Corrent  $i_q$



Corrent  $i_d$

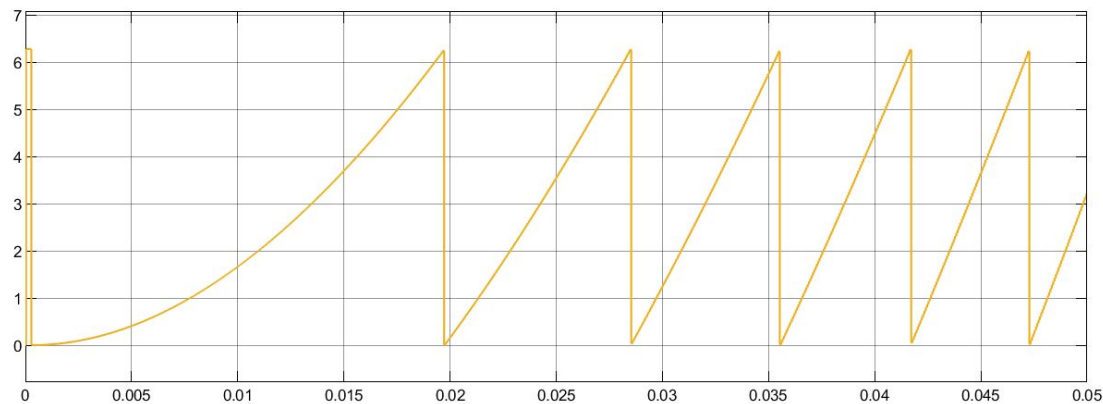


Corrents  $i_a$  i  $i_b$



## Resultats | Simulació completa

Evolució de l'angle



## 6 | Conclusions



# Conclusions | Encerts i dificultats

## Dificultats:

1. Dependència del hardware per a la validació
2. Problemes amb Simulink

## Encerts:

1. Ús de Simulink per testeig
2. Aposta per la flexibilitat en l'arquitectura
3. Disseny i realització de tests unitaris

## Conclusions | Treball futur

1. Validació de la **comunicació CAN** amb el circuit de precàrrega i la unitat de processament del vehicle
2. Implementació d'un **observador** per augmentar la robustesa del control
3. Implementació de la **detecció de l'angle i la velocitat angular** en FPGA en comptes d'un integrat dedicat
4. Valoració de la implementació d'un ***Hardware in the loop*** per validar la robustesa del control



# Introducció | Formula Student



Objectiu: Promoure l'excel·lència en enginyeria

1981

Primera competició de  
Formula Student

2010

Introducció de la  
categoria elèctrica

2016

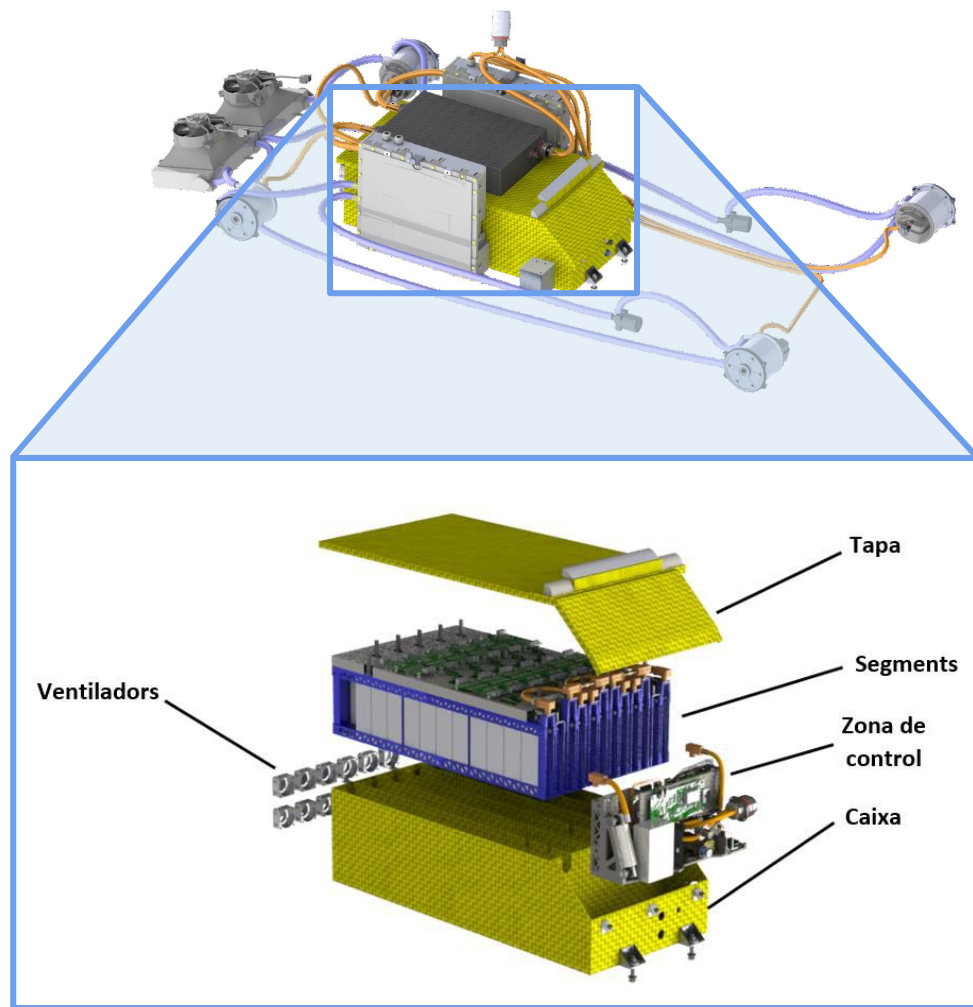
Introducció de la  
conducció autònoma

# Introducció | BCN eMotorsport



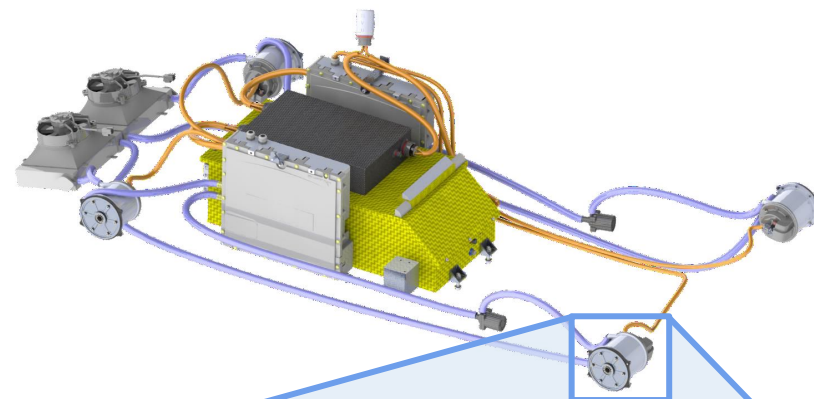
# Introducció | Bateria

Especificació	Valor nominal	Valor màxim
Voltatge total	525,4V	596,4 V
Energia total	7145,44 Wh	8111,04 Wh
Potència total	15,4 kW	35,366 kW
Disposició de cel·les	142s2p	
Capacitat total	13,6 Ah	
Pes	35,5 kg	

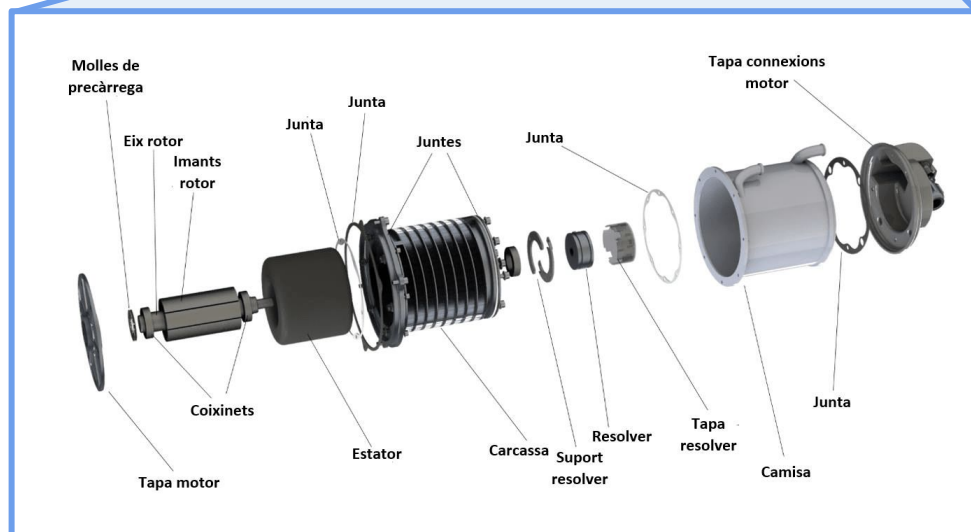




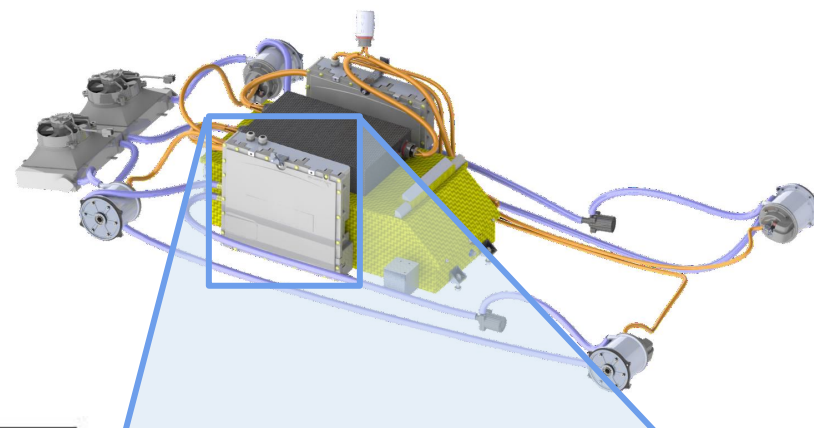
# Introducció | Motor



Especificació	Valor nominal	Valor màxim
Parell	11,1 Nm	29,1 Nm
Corrent eficaç	22,6 A <sub>rms</sub>	29,1 A <sub>rms</sub>
Velocitat angular	13250 rpm	20000 rpm
Potència	15,4 kW	35,366 kW
Voltatge bus DC	600 V	
Número de parells de pols	4	
Resistència	0,126 Ω	
Inductància	0,393 mH	
Tipus de connexió	Estrella	
Velocitat al parell màxim	11600 rpm	
Pes	4,5 kg	



# Introducció | Inversor trifàsic



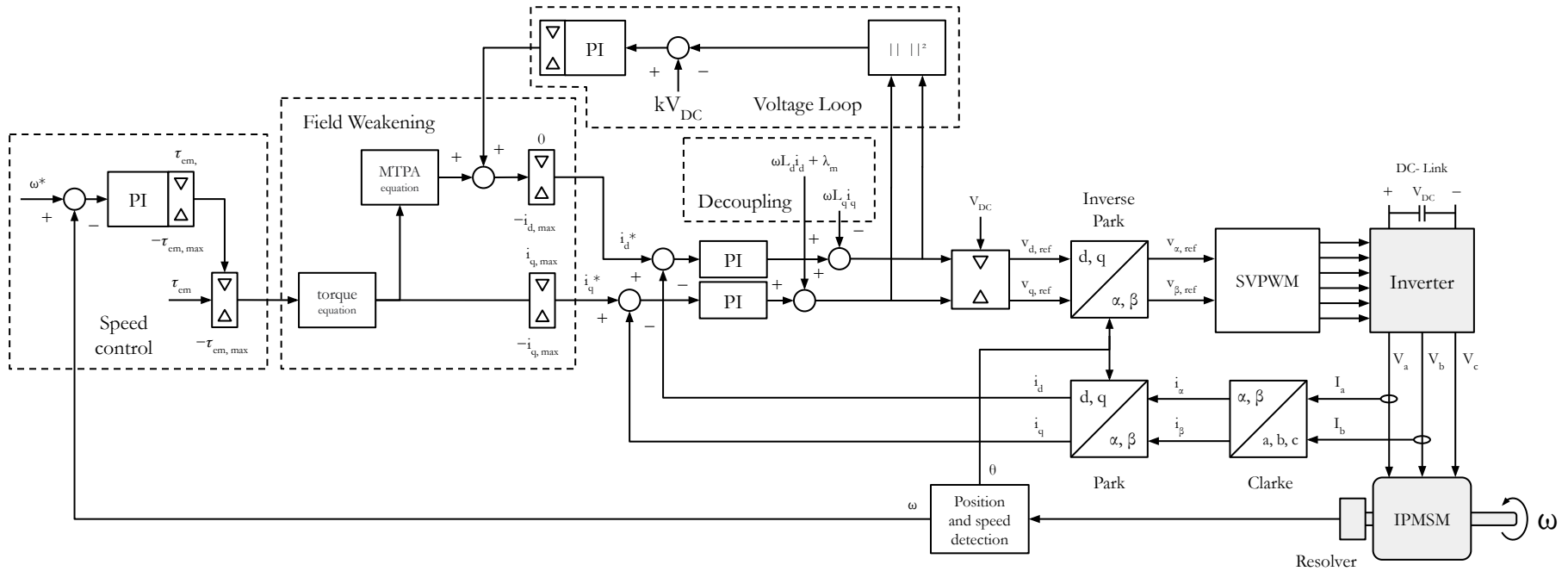
Especificació	Mínima	Nominal	Màxima
Voltatge bus DC	100 V	800 V	848 V
Tensió de sortida per fase	0 V	-	510 V
Freqüència de sortida	-599 Hz	-	599 Hz
Corrent de curtcircuit a l'apagada	-	96,2 A	-
Consum de corrent	-	39,2 A	70,5 A
Potència de sortida	-	20 kW	36 kW
Corrent de sortida (segons commutació)	16 A (16 kHz)	28,8 A (8 kHz)	51,2 A (2 kHz)
Pes	7,4 kg		
Dimensions	310,6mm × 354,5mm × 75mm		



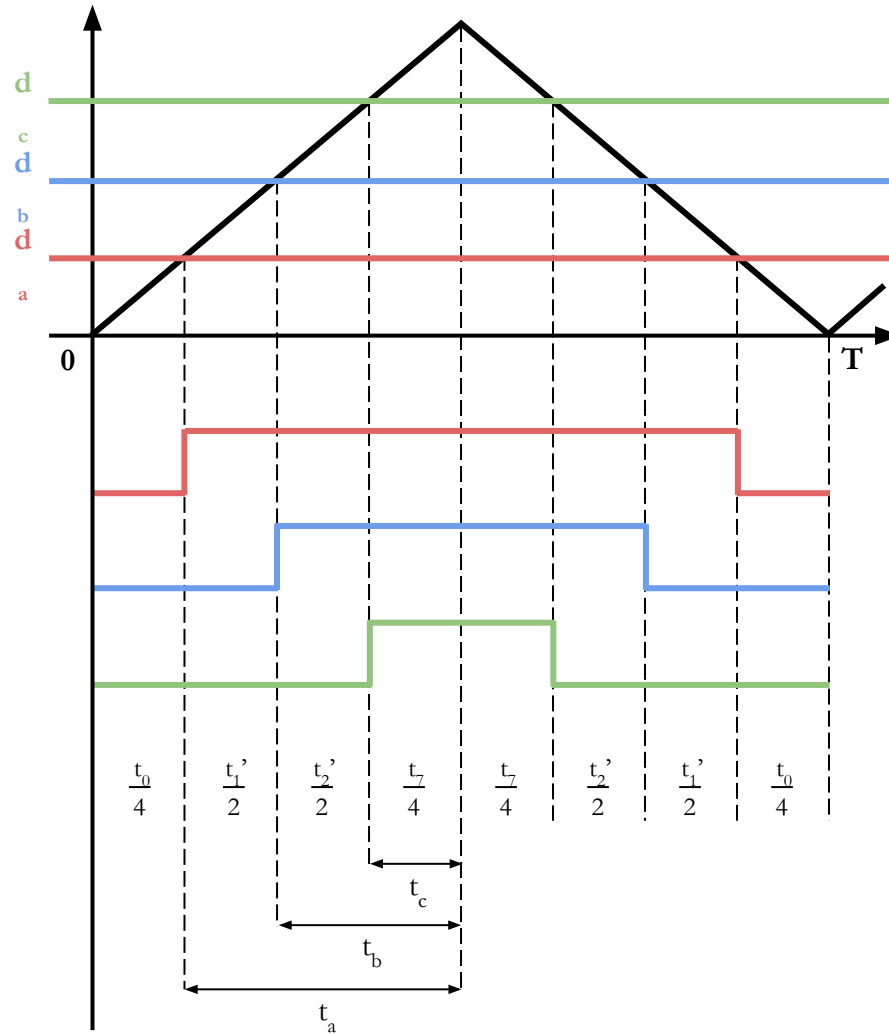
Lenze Mobile DSU 60/60



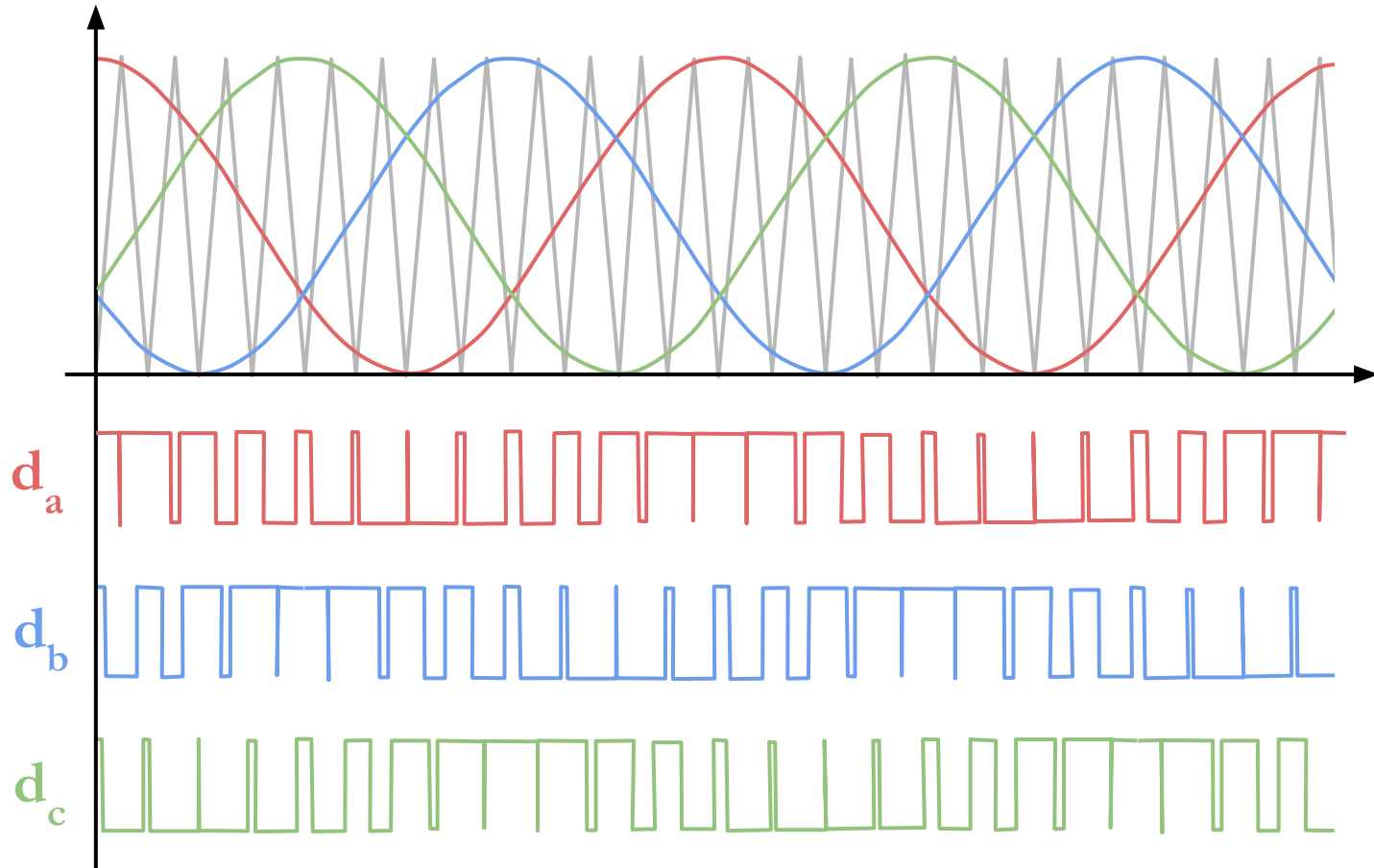
# Marc teòric | Diagrama de blocs del control



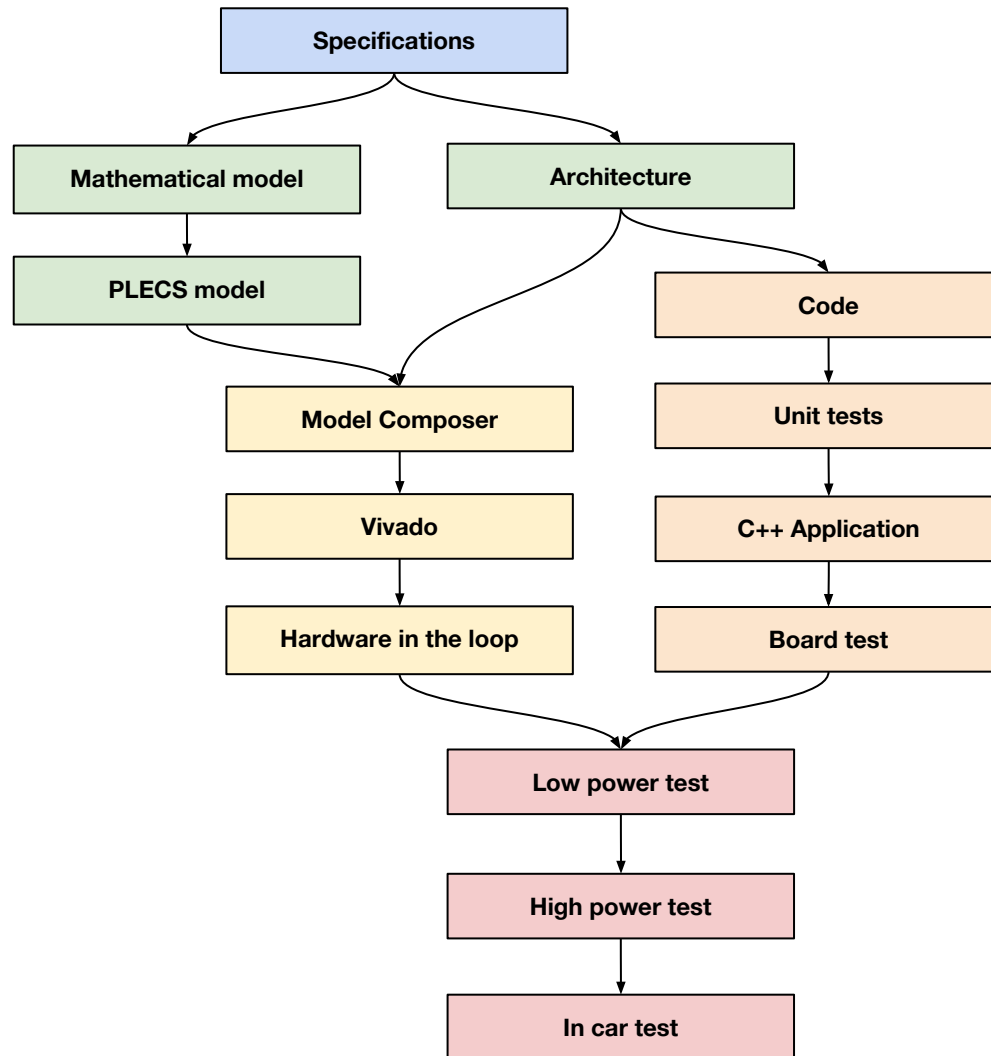
# Marc teòric | Cicles de treball



# Marc teòric | Pulse Width Modulation

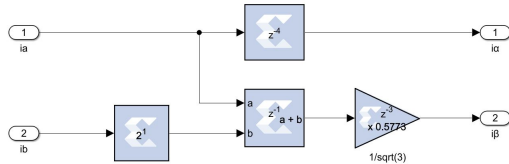


# Implementació | Flux de treball

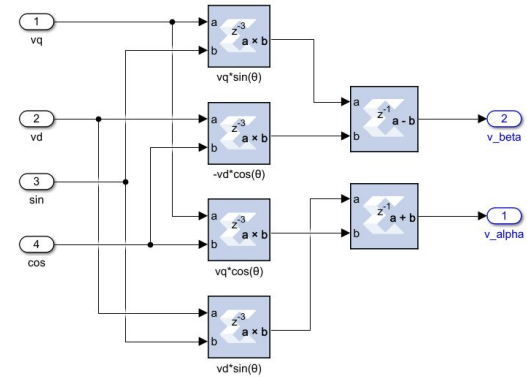


# Implementació | Blocs de model composer (II)

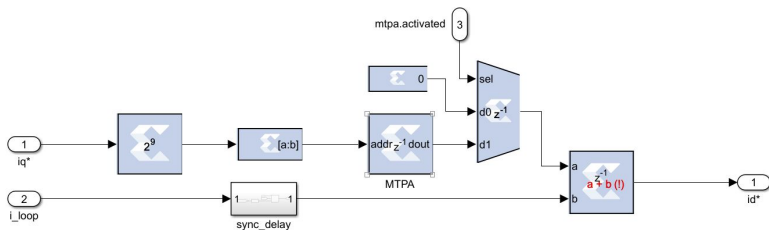
Clarke



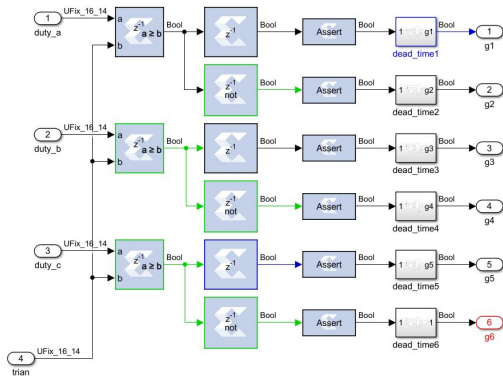
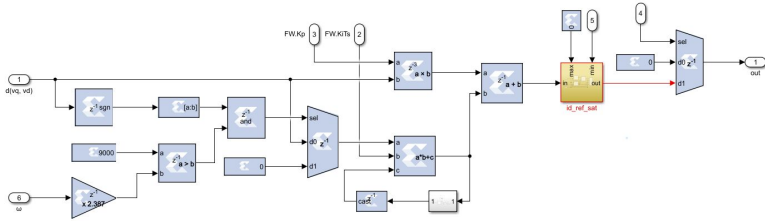
Park



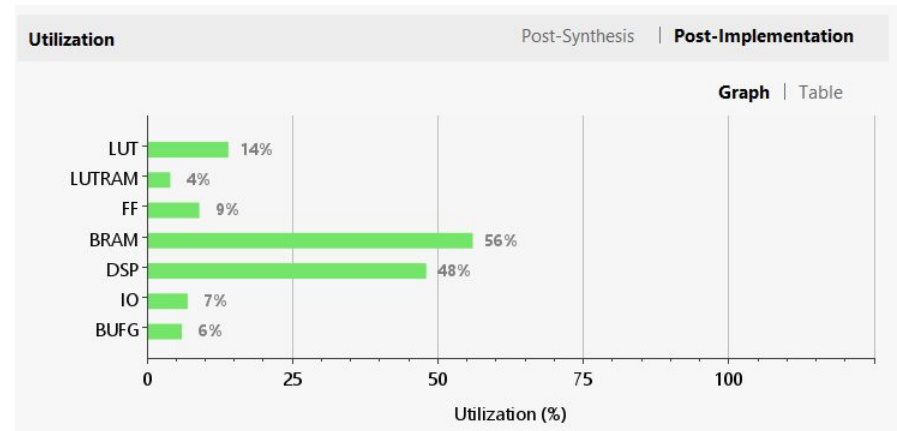
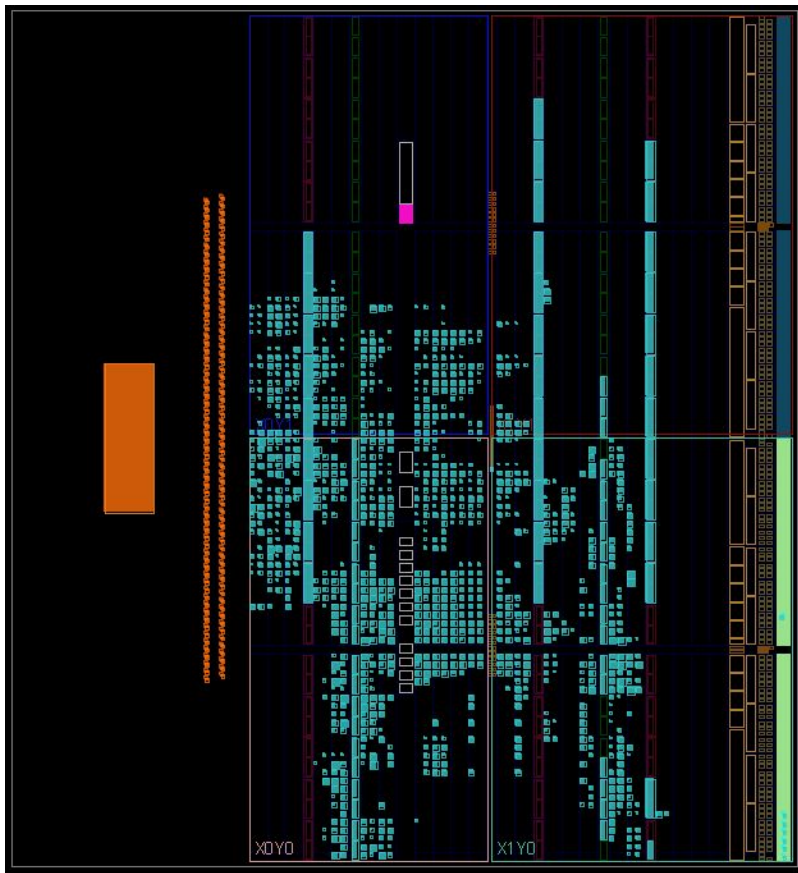
MTPA



# Implementació | Blocs de model composer (II)



# Implementació | Utilització de la lògica programable



# Implementació | Temporització i potència

## Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 2,176 ns	Worst Hold Slack (WHS): 0,020 ns	Worst Pulse Width Slack (WPWS): 4,020 ns
Total Negative Slack (TNS): 0,000 ns	Total Hold Slack (THS): 0,000 ns	Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 8445	Total Number of Endpoints: 8445	Total Number of Endpoints: 3591

All user specified timing constraints are met.

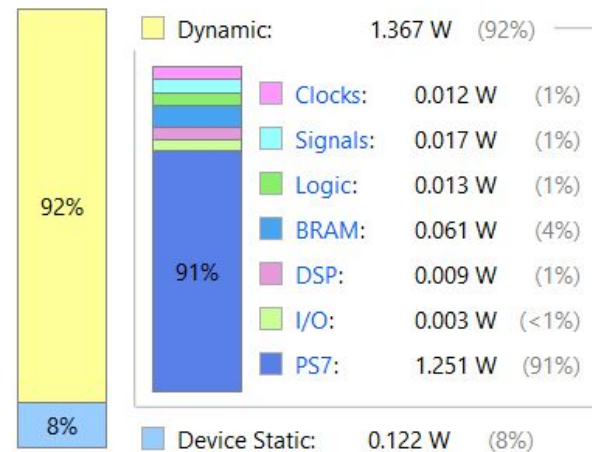
## Summary

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

<b>Total On-Chip Power:</b>	<b>1.488 W</b>
<b>Design Power Budget:</b>	<b>Not Specified</b>
<b>Power Budget Margin:</b>	<b>N/A</b>
<b>Junction Temperature:</b>	<b>42,2°C</b>
Thermal Margin:	42,8°C (3,6 W)
Effective $\theta_{JA}$ :	11,5°C/W
Power supplied to off-chip devices:	0 W
Confidence level:	Medium

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

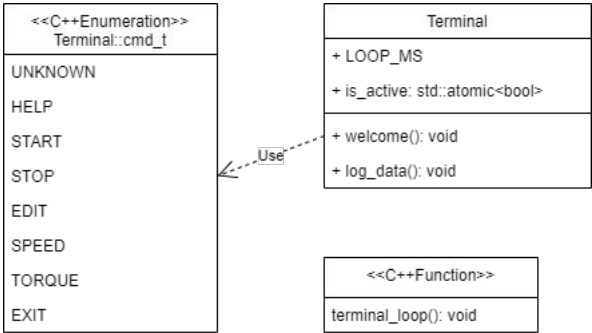
## On-Chip Power



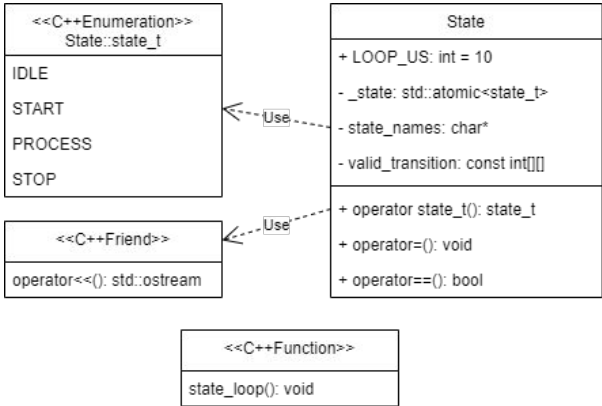


# Implementació | Arquitectura del programari

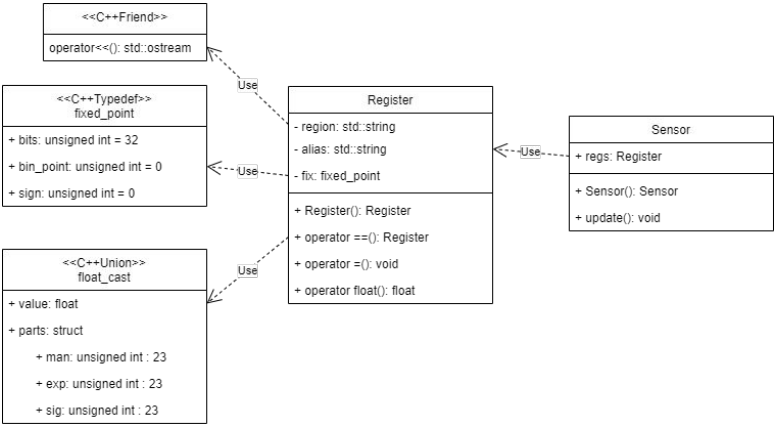
## Mòdul Terminal



## Mòdul State



## Mòdul Register



## Mòdul Log

