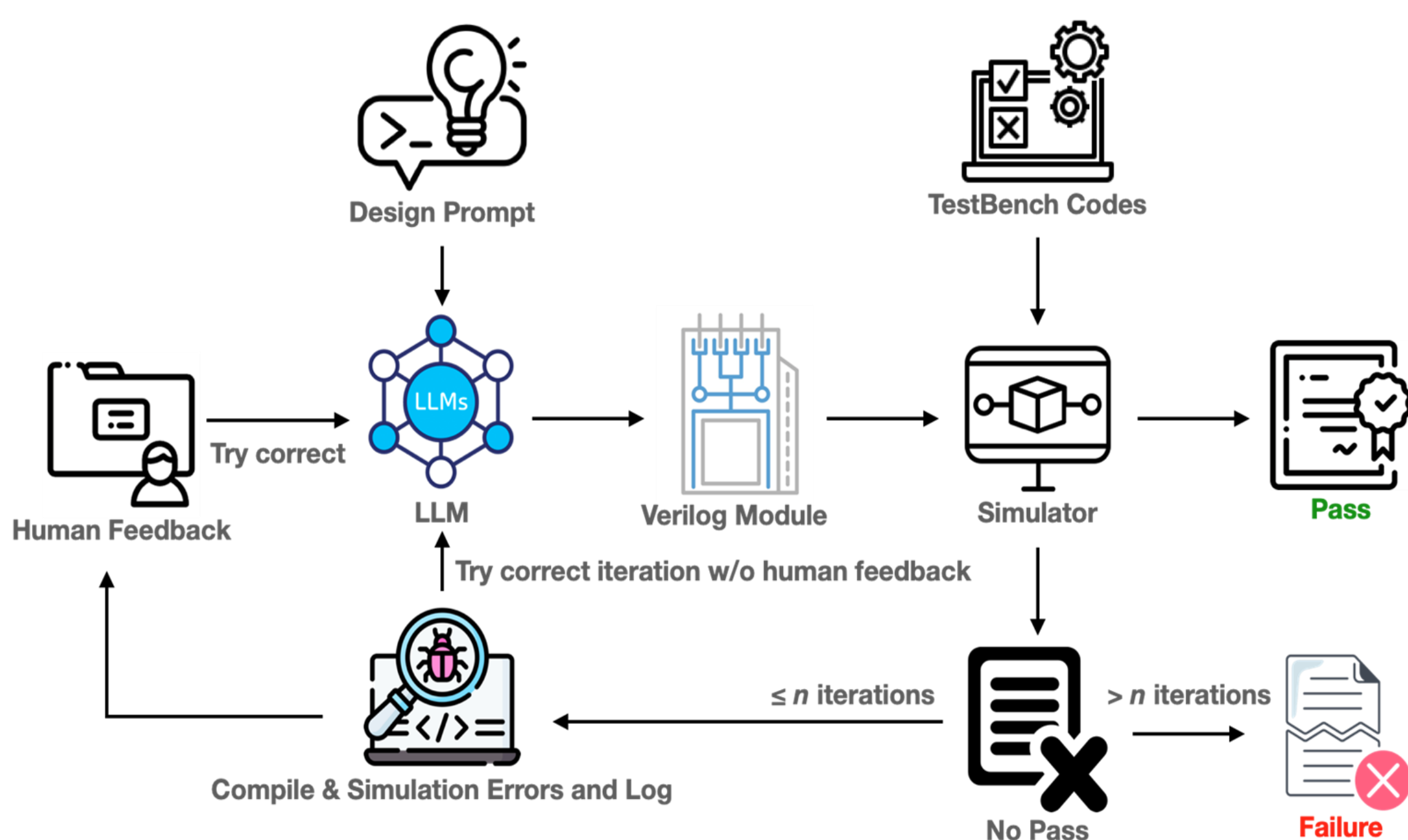


基於LLMs的Verilog代碼生成與迭代系統研究

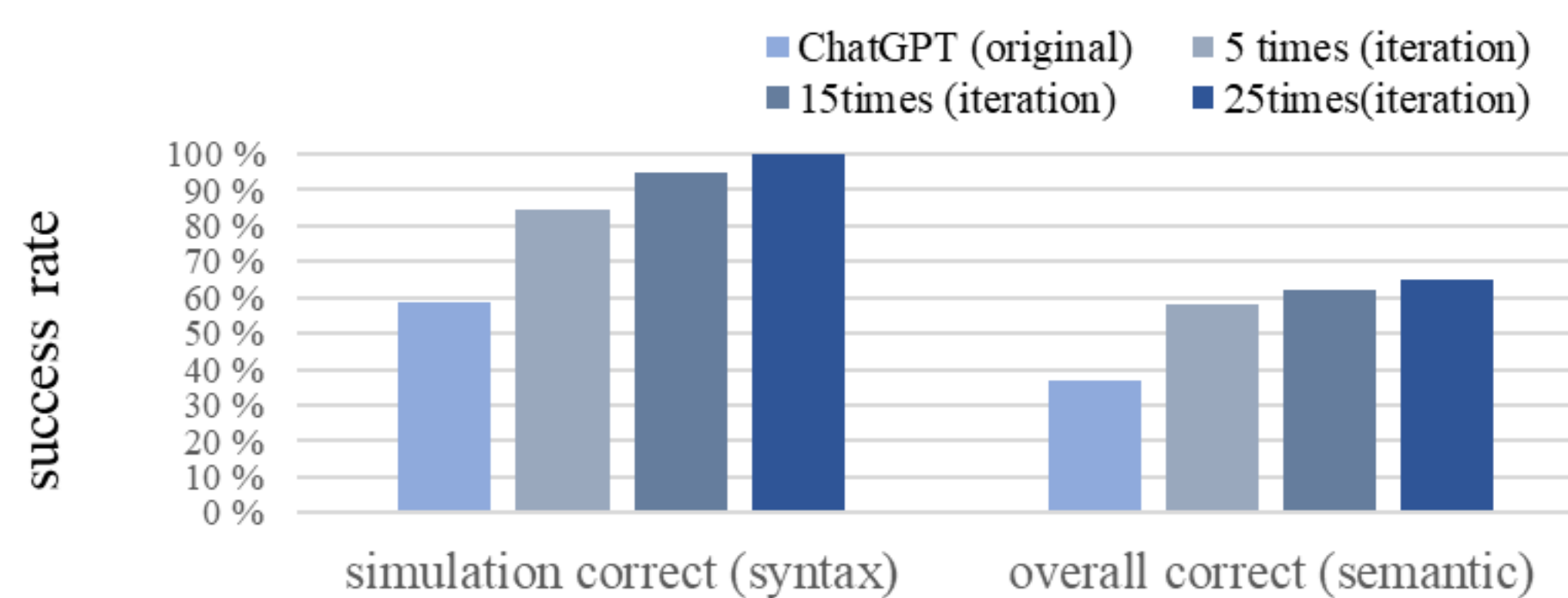
Introduction

在數位 IC 設計領域中，RTL的設計和驗證是重要的一環。撰寫硬體描述語言（HDL）代碼是一項複雜且耗時的工作，且需要高度的專業。我們旨在透過讓 LLMs自動迭代生成Verilog代碼，結合 EDA 工具進行測試，並且對高達 292 個 Verilog 問題進行分析。在 ChatGPT 4 的表現上，語意正確率提升了 1.9 倍並且語法完全正確。說明此方法不但可以自動修正代碼錯誤，並且將LLMs操作到最高效能與代碼正確率。

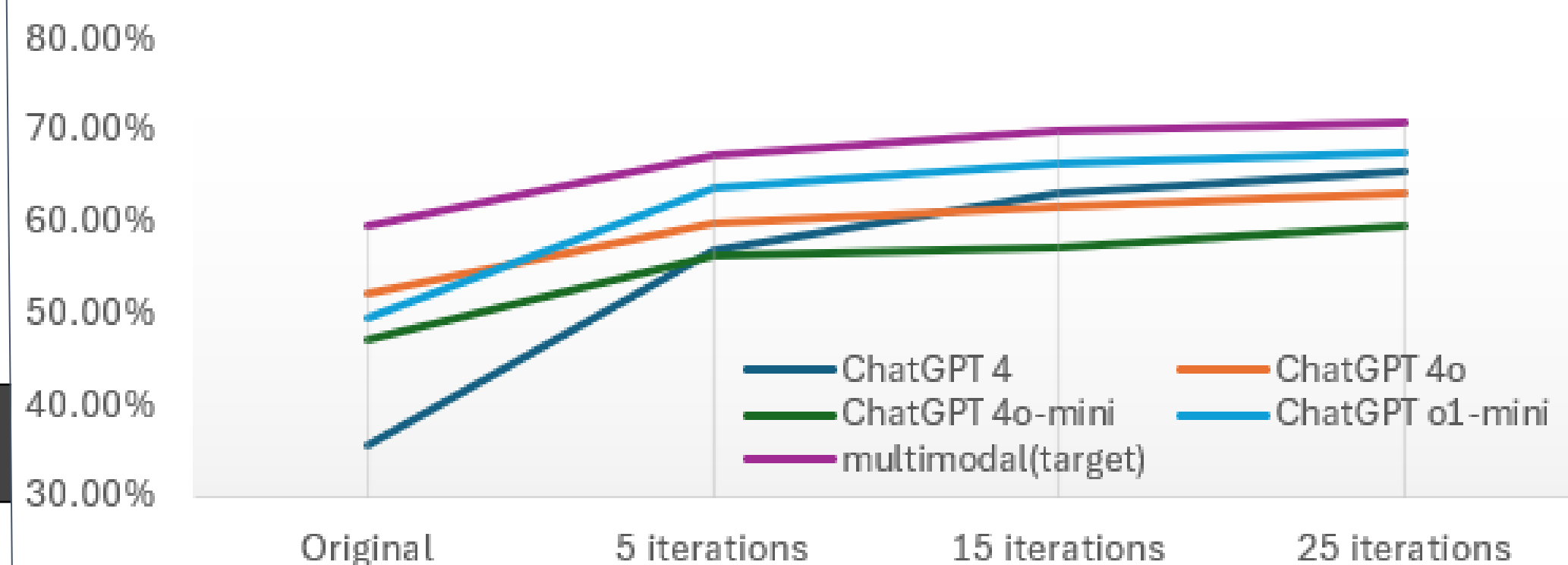
System Flow



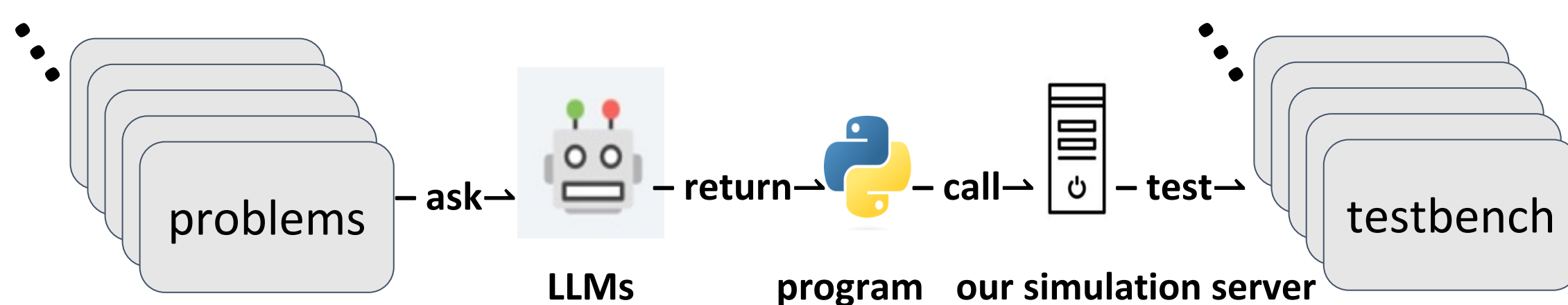
ChatGPT 4 success rate



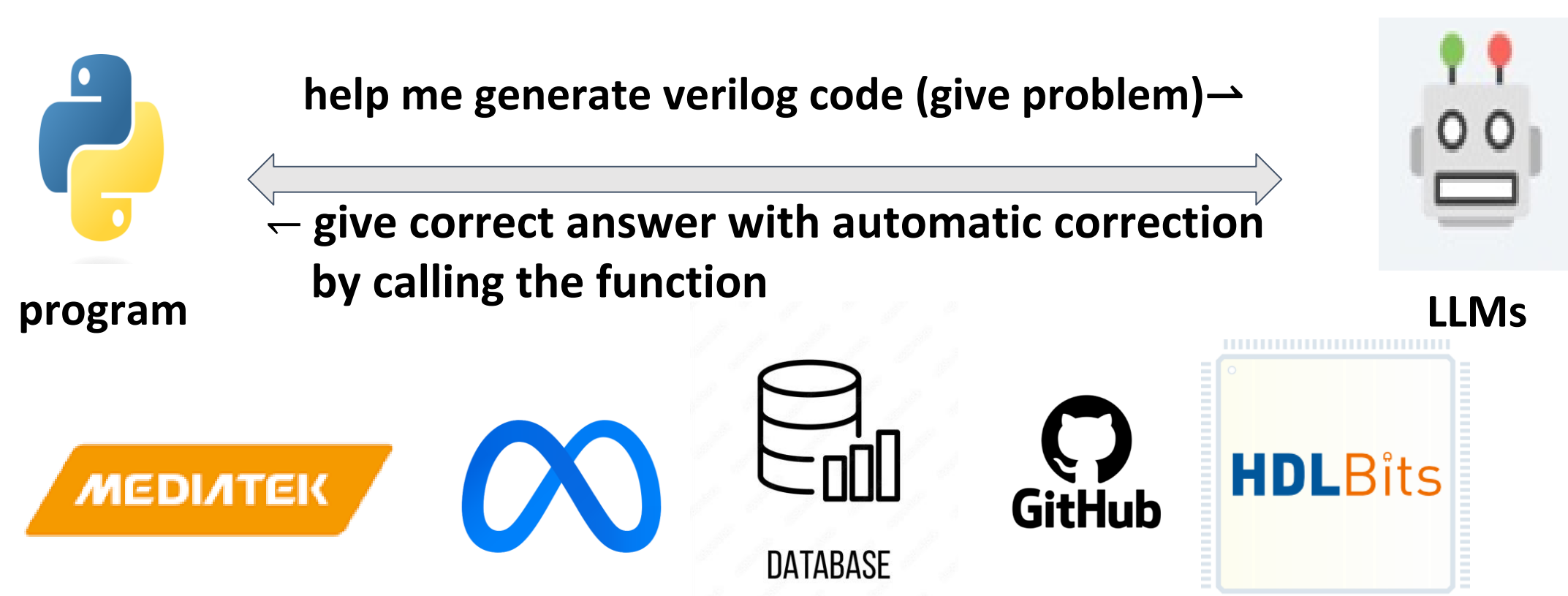
success rate with n iterations



Design Prompt : 292 Verilog問題及testbench



Function Calling : 讓 ChatGPT 主導程式



系統功能特色

- 錯誤回饋和修正：平台允許使用者看到每次錯誤訊息，並可以對任意次的錯誤進行人為修改與後續迭代。
- 模型選擇：可選擇o1-mini、**ChatGPT 4**、**ChatGPT 4o**、**ChatGPT 4o-mini**
- 難度與種類選擇：可選擇三種電路，五種難度

Multi-model : 多種模型交互回答問題



作品産業分析

- 技術可行性:語法上，能夠得到 **100%** 的正確率，提升了 **1.4**倍 ；而在語意驗證上有最高**65.04%** 的正確率，提升了**1.9**倍。
- 資源可行性:相較其他研究，我們有更多的資料且未來將持續擴大資料庫到**500**題。
- 應用性:電類學生，研究開發人員，**IC**設計公司
- 數據在**15**到**25**次迭代之間收斂，因此我們將測試限制在最多**25**次迭代。
- 返回前一次(**n-1**次)而非(**<n**次)的錯誤訊息和代碼給**LLMs**時，達到了更高的成功率。
- 我們目前已經正在**finetune**最新的聯發科**Breeze-7B-FC**與**Llama3.2 3B**，透過我們大量的資料集，他們將可能在**verilog**領域達到大型**LLMs**的正確率。並將會結合**google eda tools** 進行後續的研究。