

Baidu文库

首页

分类

教育文库

个人认证

机构专区

会议中心

开放平台

我的文库

DM6437

百度一下

下载

1 下载券

(50人评价) | 3109人阅读 | 201次下载 | 举报文档

选填,简要介绍文档的主要内容,方便文档被更多人浏览和下载。

一、DaVinci DM6437 概述

TMS320DM6437 是 TI 公司 2006 年推出的、专门为高性能、低成本视频应用开发的、主频 600MHz 的、32 位定点 DSP 达芬奇 (DaVinci(TM)) 技术的处理器系列。

TMS320DM6437 具有下列特点:

采用 TI 第 3 代超长指令集结构(VelociTI.3)的 TMS320C64x+ DSP 内核,主频可达 600MHz,支持 8 个 8 位或 4 个 16 位并行 MAC 运算,峰值处理能力高达 4800MIPS,可实时处理 8 路 CIF 或 3 路 D1 格式的 H.264 编码算法。

采用 2 级 Cache 存储器体系结构,片上有 32K 字节 RAM/Cache 可配置的 1 级程序存储器 L1P,48K 字节 RAM+32K 字节 RAM/Cache 可配置的 1 级数据存储器 L1D,和 128K 字节 RAM/Cache 可配置的 2 级程序/数据存储器 L2,存储器体系结构更灵活、合理,有利于提高图像处理代码/数据的吞吐率。

片上具有 64 通道增强型 DMA 控制器 EDMA3,其支持复杂的数据类型的传输,有利于图像数据的高效传输和格式变换。

丰富的外部存储器接口:一个专用的 32 位、200MHz、256M 字节寻址空间的 DDR2 存储器接口用于接口高速、大容量的 DDR2 存储器,以存储代码和数据;一个 8 位、64M 字节寻址空间的异步存储器接口用于接口 8 位 Nor Flash 或 Nand Flash,以存储固化代码。

丰富的片上外设:一个专用的单通道视频输入接口,既可以方便地与各种数字视频输入标准接口,还具有常用的视频预处理功能;一个专用的单通道视频输出接口,既可以提供多种模拟视频输出标准,还可以提供各种数字视频输出标准接口,并且在视频输出之前,还支持多个视频窗口管理及在视频画面上叠加文本数据;一个多通道音频串口,可无缝接口音频 Codec 器件,实现模拟视频信号的输入/输出;一个 I2C 总线,可无缝接口视频解码器/编码器和音频 Codec 的控制口,方便实现音/视频编解码器的控制;32 位 PCI 总线,方便与 PC 机接口,实现多板并行工作。10/100M 以太网 MAC,方便实现嵌入式视频网络化要求;16 位 HPI 接口,方便实现主/从结构的双处理器视频处理系统。

由上可知,DM6437 是非常适合于作为单通道视频处理系统的主处理器。为了使 DM6437 适用于多通道视频监控系統,需要将多个视频通道的数据复合后,再通过 DM6437 片上视频输入接口输入。所以,下面将着重对 DM6437 的片上视频输入/输出接口逐一介绍。

分享到:

1 /16

系统 V1 E 37 步, 请下载

下载

1 下载券

部分组成,一是视频处理前端,用于输入数字视频数据,为多种标准的数字视频输入提供接口,并为输入的数字视频数据作必要的预处理。二是视频处理后端,用于输出数字视频数据,以驱动显示器显示视频图像。

DM6437 视频处理前端 VPFE 为视频处理系统提供二大功能,一是为多种标准数字视频输入提供无缝接口,二是为各种视频处理应用提供必要的预处理。

DM6437 数字视频输入接口被称为 CCD 控制器,为输入数字视频流提供数据通路和必需的同步信号,其功能如下:

- *16 位视频数据总线
- *像素时钟频率最高可达 75MHz
- *可直接接口 CCD 或 CMOS 图像传感器
- *可接口 8/10 位 BT.656 标准数字视频流
- *可接口 8/16 位带行、场同步信号的 YCbCr 4:2:2 格式数字视频流

对于视频监控应用来说,视频信号一般为来自于摄像头的模拟视频信号,其经视频解码器转换为 8/10 位 BT.656 或 8/16 位带行、场同步信号的 YCbCr 4:2:2 数字视频流,再输入到 DSP 中进行处理。

文档贡献者

hu

评价文档:

- 专题推荐
- 2014下半年

2014教师

2014小学

2014年幼

2014教师

DM642 FV

相关文档推荐

DM6437

DM6437

DM6437

DM6437

暂无评价

喜欢此文档的

DM6437

DM6437

DM6437

EL_DM6

EL_DM6

加入会员

如要投诉违规

诉中心;如要

议,请点击此

为适应各种视频处理应用，DM6437 的视频前端还提供下列 3 个预处理功能：

预览器 **Previewer**：将来自 CCD 控制器或来自外部存储器的 RGB 图像格式转换为 YCbCr 4:2:2 图像格式。

缩放器 **Resizer**：接受来自预览器或文本存储器的视频数据，由硬件实现图像大小的缩放，水平和垂直方向缩放比例相互独立，缩放范围为 1/4x~4x。

H3A：由硬件实现自动对焦、自动白平衡、自动曝光。首先接受 RGB 图像格式，并将图像细分成二维像素块，像素块的大小、位置可编程。然后对像素块进行累加和峰值统计。

最后实现 3A 控制输出。

DM6437 视频处理后端 **VPBE** 用于实现视频图像的输出显示。显示屏上的一幅图像可以分成若干个区域，每个区域可以代表不同的视频源，即来自不同的视频输出缓冲器，在输出显示之前，需要将来自不同视频输出缓冲器的视频数据复合成一个完整的数字视频流，这个过程称为视频窗口管理；另外，还经常需要将某些图形、字符等信息叠加到视频图像上一起输出显示，这些叠加到视频图像上的图形、字符存储于独立的缓冲器中，因而在输出显示之前，还需要将来自图形、字符缓冲器的数据复合进输出数字视频流中，这个过程称为图形、字符 **OSD** 窗口管理与叠加。最后，将复合后的完整的数字视频流以一定的时序格式进行输出，这个过程称为视频输出编码。DM6437 视频处理后端可以同时支持 2 个视频窗口和 2 个图形、字符 **OSD** 窗口管理，并可支持 8 种视频窗口与 **OSD** 窗口数据叠加方法。DM6437 的视频输出编码既可以实现用于直接驱动模拟监视器的标准模拟视频输出，也可实现用于直接驱动带数字接口的显示器的多种标准数字视频输出。

数字输出接口兼容高清输出，模拟输出要外接高清编码芯片。

TMS320DM643x 处理器是达芬奇技术中首批仅基于 **DSP** 的产品，以低于以往的价位提供了更高的处理性能。在摩尔定律的作用下，结合增强型 **DSP** 内核与最新视频处理子系统 (**VPSS**)，DM643x 处理器能够提高视频性能，以 **D1** 解析度实现高达 **H.264** 的视频编码，而且与前代 **DSP** 数字媒体处理器相比，成本降低了 50%。所有四款处理器均采用新型 TMS320C64x+(TM) 内核，工作频率在 300 至 700 MHz 之间。在全新的应用领域以低廉的价位实现数字视频。

通过集成预览引擎、图像缩放工具以及屏幕视控加速器 (on-screen display accelerator)，**VPSS** 实现了高达 40% 的性能提升，从而为 **DSP** 添加更多功能预留了空间。此外，集成多达四个 **DAC** 还将系统成本降低了 4 美元之多。而对更多应用，TMS320DM6437 还为网络功能、用户接口以及运行 **DSP** 完整系统所需的其他任务预留了足够空间。

二、DaVinci DM6437 学习资料

SPRU978 — TMS320DM643x DMP DSP Subsystem Reference Guide. Describes the digital signal

processor (DSP) subsystem in the TMS320DM643x Digital Media Processor (DMP).

SPRAA84 — TMS320C64x to TMS320C64x+ CPU Migration Guide. Describes migrating from the

Texas Instruments TMS320C64x digital signal processor (DSP) to the TMS320C64x+ DSP. The objective of this document is to indicate differences between the two cores. Functionality in the devices that is identical is not included.

SPRU732 — TMS320C64x/C64x+ DSP CPU and Instruction Set Reference Guide. Describes the CPU

architecture, pipeline, instruction set, and interrupts for the TMS320C64x and TMS320C64x+ digital

signal processors (DSPs) of the TMS320C6000 DSP family. The C64x/C64x+ DSP generation

comprises fixed-point devices in the C6000 DSP platform. The C64x+ DSP is an enhancement of the C64x DSP with added functionality and an expanded instruction set.

SPRU871 — TMS320C64x+ DSP Megamodule Reference Guide. Describes the TMS320C64x+ digital signal processor (DSP) megamodule. Included is a discussion on the internal direct memory access (IDMA) controller, the interrupt controller, the power-down controller, memory protection, bandwidth management, and the memory and cache.

Asynchronous External Memory Interface EMIF SPRU984

- DDR2 Memory Controller DDR2 SPRU986
- DSP Megamodule—Internal Direct Memory Access IDMA SPRU871
- Controller
- DSP Megamodule—Interrupt Controller INTC SPRU871
- DSP Megamodule—Power-Down Controller PDC SPRU871
- DSP Subsystem—Phase-Locked Loop Controller PLLC SPRU978
- DSP Subsystem—Power and Sleep Controller PSC SPRU978
- Enhanced Direct Memory Access Controller EDMA SPRU987
- Ethernet Media Access Controller/ EMAC/MDIO SPRU941
- Management Data Input/Output Module
- General-Purpose Input/Output GPIO SPRU988
- High-End CAN Controller HECC SPRU981
- Host Port Interface HPI SPRU998
- Inter-Integrated Circuit Module I2C SPRU991
- Multichannel Audio Serial Port McASP SPRU980
- Multichannel Buffered Serial Port McBSP SPRU943
- Peripheral Component Interconnect PCI SPRU985
- Pulse-Width Modulator PWM SPRU995
- Timer, 64-bit Timer SPRU989
- Two-Level Internal Memory Cache SPRU862
- Universal Asynchronous Receiver/Transmitter UART SPRU997
- VLYNQ Port VLYNQ SPRU938
- Video Processing Back End VPBE SPRU952
- Video Processing Front End VPFE SPRU977

三、DM6437 DSP EDMA/QDMA

触发方式

EDMA3CC 包括两种通道类型: DMA channels(64 个) & QDMA channels(8 个), 每个通道均由传输队列(4 个传输队列,每个队列有 16 个事件入口)控制器控制, 并有一个对应的参数

设置集 PaRAM set。EDMA 与 QDMA 的主要区别在于两者的触发方式不同。

EDMA 的触发方式:

- >event-triggered transfer request:EDMA3 的典型用法,允许外设、系统或外部产生的事件触发传输请求;
- >manually-triggered transfer request: 由 CPU 手动向事件设置寄存器(ESR/ESRH)的对应 bit 位写 1, 以此触发传输请求;
- >chain-triggered transfer request: 通过配置链式传输寄存器,一个传输结束后,自动触发下一个传输请求.

QDMA 的触发方式:

- >autotriggered transfer request: 预先编程设定传输启动触发 word,当向该 word 写值时就自动触发传输请求;

>link-triggered transfer requests:配直链式传输后，与八股反子就日切连续传输。

EDMA 数据传输类型（EDMA 不完全= EDMA3）

EDMA 有两种类型的数据传输：1D 和 2D 的（OPT.2DS 和 OPT.DDS 标示源地址和目的地址的数据传输类型，即有 4 种组合方式）；数据的维数表明了数据的组成方式：

①1D 数据

数据组成是-块->帧->元素 \mathbb{I} ；一个块中的每帧数据是独立处理（即可以理解亦为 2D 数据，但是第二维永远是 1），每次处理是一个元素，因此一帧中的数据元素可以在同一个内存地址、连续的地址或者是与同一帧中的前面的数据元素地址具有一定偏移（Offset，由

ELEIDX 通道参数指定）的某地址；不同帧之间的内存地址偏移由 FRMIDX 通道参数指定（两帧的第一个元素之间的偏移或者后一帧的第一个元素的地址与前一帧的最后一个元素地址的偏移，具体依赖于通道参数 FS 的设定）；每帧的数据元素个数可以不同，由通道参数 ELECNT 指定，传完一帧数据后由 ELERLD 重新载入块中的下一帧的数据元素个数 ELECNT；块中的帧的个数由通道参数 FRMCNT 指定；

1D 数据传输有两种同步方式：OPT.FS=0，元素同步方式；OPT.FS=1，帧同步方式；元素同步时，一次同步事件引起一帧中的一个元素的传输，每传输一次 ELECNT 递减；当同步事件触发时，ELECNT=1 表明是一帧的最后一个数据元素，此时 EDMA 控制器除了完成最后这个元素的传输外，还需要重新载入 ELECNT（通过 ELERLD）并且 FRMCNT 递减 1；ELEIDX 表示元素之间的偏移，FRMIDX 表示一帧的最后一个元素和下一帧的第一个元素之间的偏移；如果 OPT.LINK=1 时，传输完成中断产生（FRMCNT=0）就重新从 PRAM 中载入当前通道的其他参数；

帧同步时，一次同步事件引起一帧数据的传输，FRMIDX 表示两帧的第一个元素之间的偏移；

② 2D 数据

数据组成为-块->数组->元素 \mathbb{I} ，同一数组中的元素是连续存放的，因此 ELEIDX 无意义；数组中的元素索引表示 2D 的第一维，块中的数组索引表示 2D 的第二维；FRMIDX 的值依赖于 OPT.FS 的设定；

OPT.FS=0：表示一次同步事件传输一个数组，此时 FRMIDX 是数组首地址之间的偏移；每传完一个数组，FRMCNT 递减 1；当 OPT.LINK=1 并且 FRMCNT 递减至 0 时，从 PRAM 的中重新载入当前通道的其他参数；

OPT.FS=1：表示一次同步事件传输一个块；FRMIDX 表示前一个数组的最后一个元素的地址与后一个数组的第一个元素的地址之间的偏移；如果 OPT.LINK 等于 1，则当整块数据传输完时，重新从 PRAM 中为当前通道载入新的参数；

（3）EDMA 传输过程的源/目的地址的修改

在每次同步事件触发 EDMA 数据传输，并且传输完成后，需要对源/目的地址进行更新；地址的更新方式由 SUM/DUM 进行设定，并且和 2DS、2DD 以及 FS 是密切相关的；

（4）数据元素大小和对齐方式

源/目的地址是在元素大小的边界对齐的，因此要注意指向源/目的地址的指针的类型需要和 OPT.ESIZE 匹配；

（5）FRMCNT 和 ELEM CNT 的更新

QUESTION：每次进行计数更新时，ELERLD 的值哪里来的？

(6) EDMA Linking Transfer

当传输完成时（根据当前通道参数设定已经传完所有数据了，具体条件如下表所示），并且 `OPT.LINK=1`，EDMA 控制器会根据通道参数 `LINK`（非 `OPT.LINK`，16bits）从 PaRAM 中的其他位置（以 24 个字节对齐，因为通道参数为 6WORD）重新载入当前传输通道的参数；可以链接到一个空的通道参数集（NULL Parameter）来停止 EDMA 传输，也可以自链接（用于循环缓冲处理或者重复的数据传输）；Linking 过程中不对相关寄存器作判定；

(7) EDMA 中断

C64X DSP 的 EDMA 控制器的所有 64 个通道只产生一种中断：EDMA_INT。如果需要让第 `n` 个 EDMA 通道（或者 QDMA 请求）可以在传输完成时可以产生中断通知 CPU 的话，应该如下设定：

u `OPT.TCINT=1`：表示启用传输完成中断

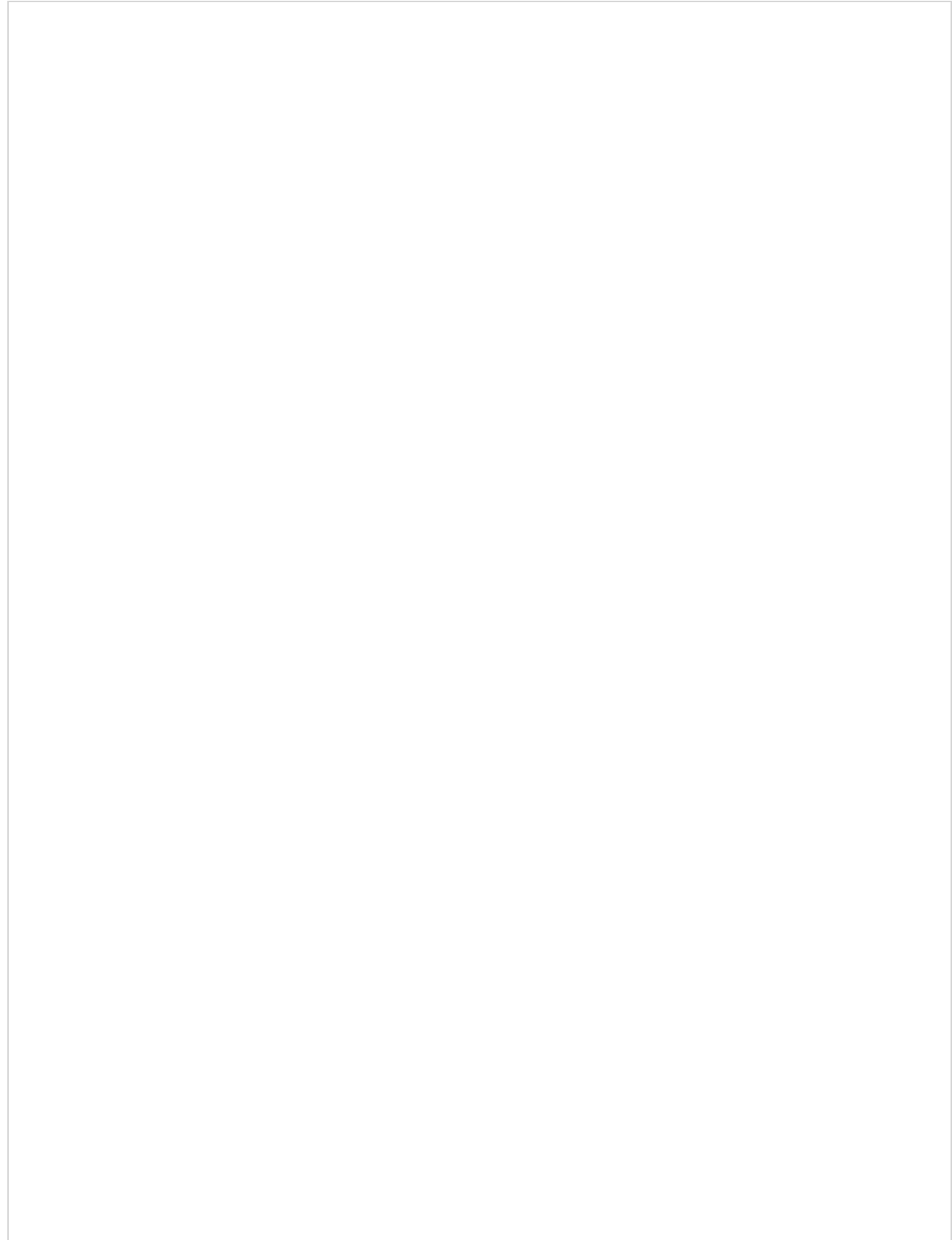
u `OPT.TCC=n`：在传输完成时，`CIPR[TCC]=1`，用于标记对应通道的传输完成，即便对应的 `CIER` 位没有启动，传输完成事件还是会在 `CIPR` 记录，即挂起的含义所在；

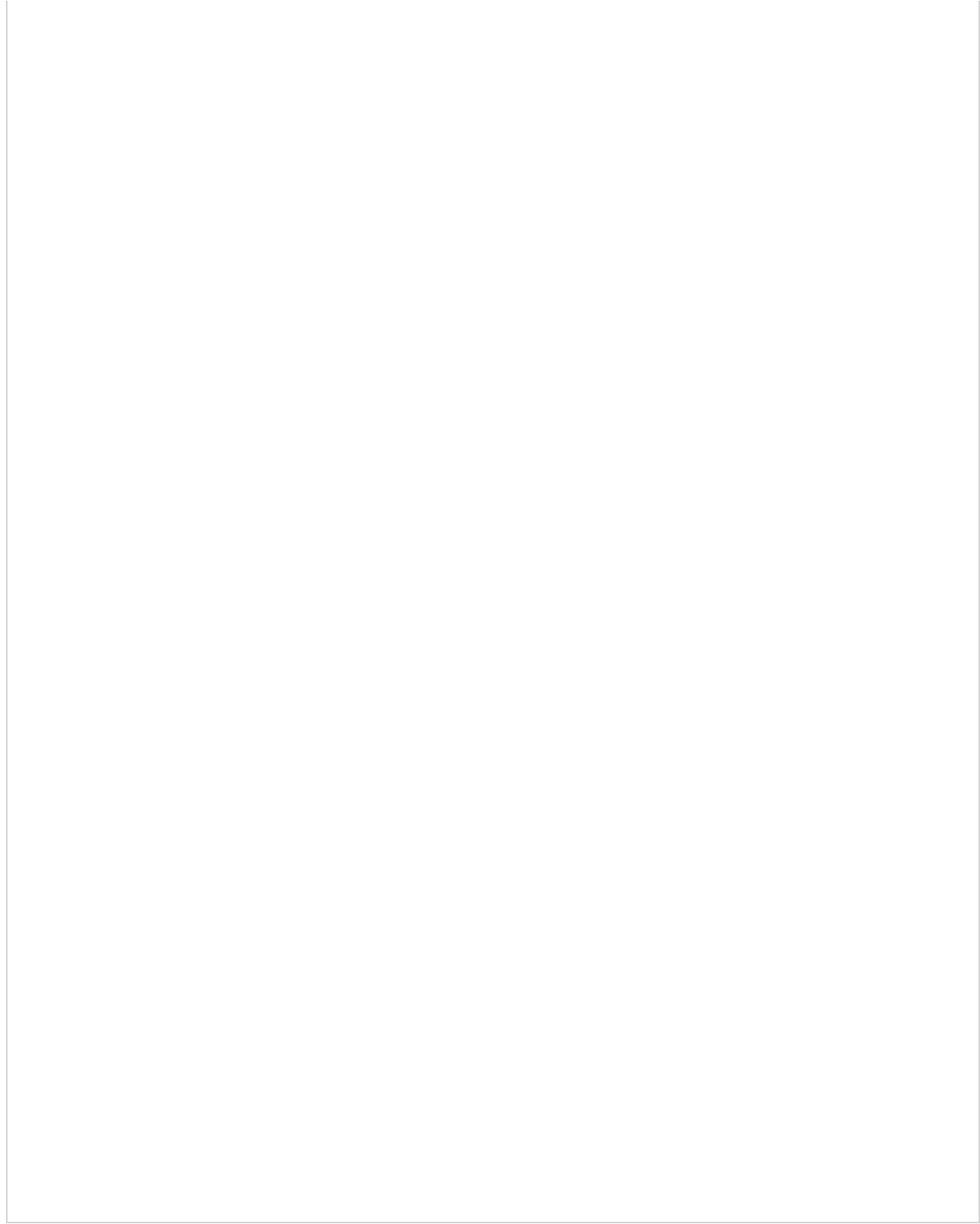
u `OPT.CIER[n]=1`：表示立即允许挂起的第 `n` 个通道传输完成事件触发 EDMA_INT 中断发送给 CPU；

其中，`TCC` 用于表示的通道的位数不够时，可以扩展使用 `TCCM`（即 `TCCM:TCC`），`CIPR` 和 `CIER` 均由两个寄存器组成：`CIPRL+CIPRH` 以及 `CIERL+CIERH`。

中断服务例程 `ISR` 读取 `CIPR`，确定哪一个通道完成了数据传输，进行相应的处理。`ISR` 在进行处理之前需要清除 `CIPR` 中确定了通道的位（写入 1 到相关位清除，写入 0 不起作用），目的是记录以后的传输完成事件的发生。在中断服务例程对某通道的传输完成中断进行服务后，因为期间有可能有其他通道传输完成了，也已经设置了 `CIPR` 中的相应位，或者也有可能本来有好几个中断挂起了并且现在触发了，因此中断服务例程必须检查所有的 `CIPR` 并全部完成中断服务才行。当 `CIPR[n]&CIER[n]=1` 时，则设置对应的 `IFR` 为 1，防止在退出 `ISR` 时丢失中断并且使得可以多次调用 `ISR`。中断服务例程的一个任务是清除 `CIPR` 和 `CIER` 中



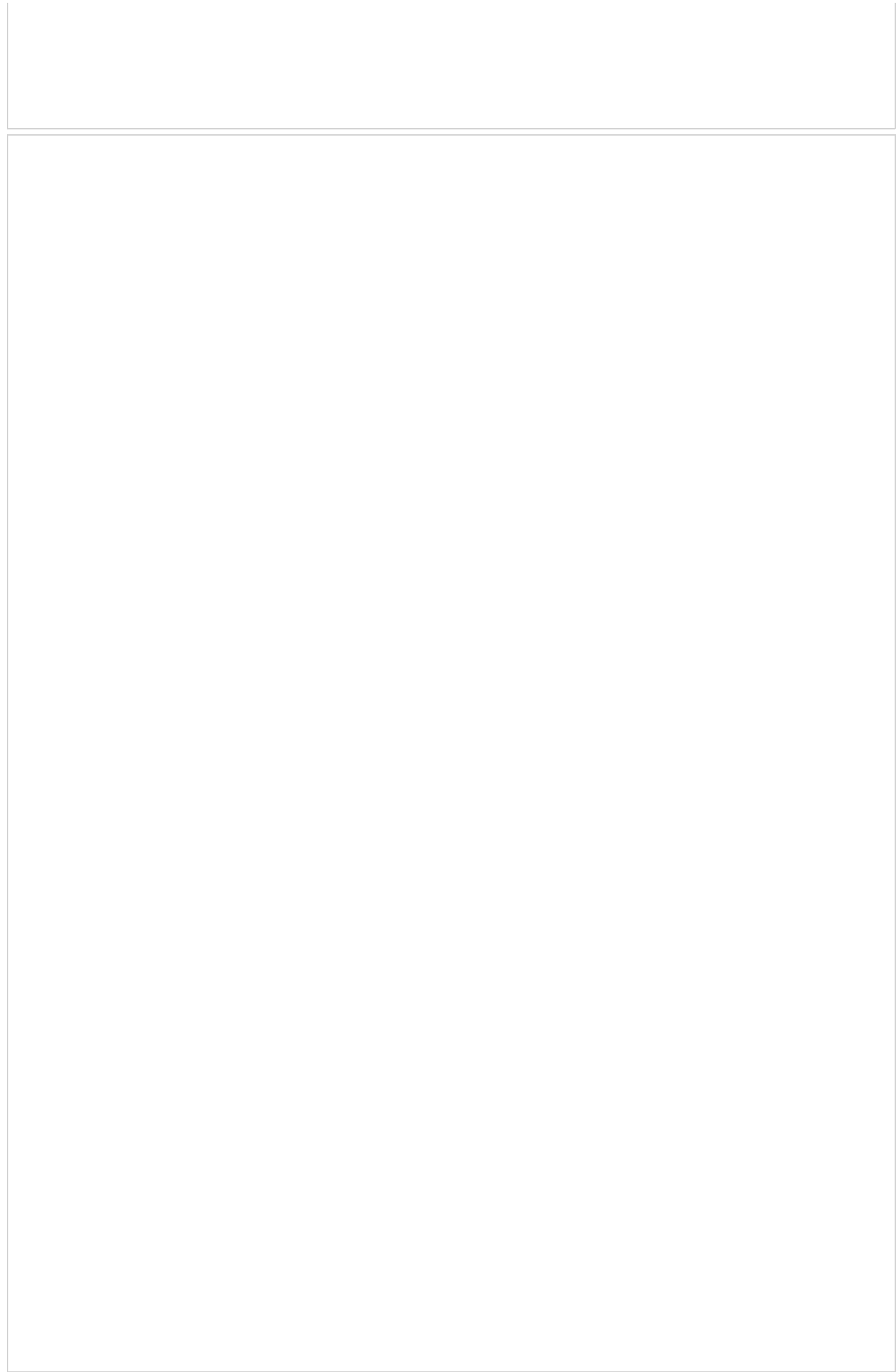














笑翻神图

爆笑图片汇集
搞笑图片乐翻人
cs3简单制作动态搞...

78份文档



新市场营销法则 助推企...

999感冒灵市场营销...
汽车品牌的足球世界...
网络营销部电商运营...

68份文档



一起来学广场舞

广场舞活动方案
社区广场舞策划方案
广场舞有益于身心健...

78份文档

您的评论

写点评论支持下文档贡献者~

240

发布评论

用户评价

暂无评论