

マルチサイクルテストにおける故障検出強化のための テストポイント挿入法

青野 智己[†] 中岡 典弘[†] 周 細紅[†] 王 森レイ[†] 樋上 喜信[†] 高橋 寛[†]

岩田 浩幸[‡] 前田 洋一[‡] 松嶋 潤[‡]

[†] 愛媛大学理工学研究科 〒790-8577 愛媛県松山市道後樋又 10-13

[‡] ルネサス エレクトロニクス株式会社 〒187-0022 東京都小平市上水本町 5-20-1

E-mail: [†] wang@cs.ehime-u.ac.jp, [‡] hiroyuki.iwata.xg@renesas.com

あらまし 車載システムの機能安全を保障するためには、システムの起動時に回路を検査するパワーオンセルフテスト(POST)が必要である。POST では、厳しいテスト時間制約の下で機能安全基準を満たす故障検出率を達成しなければならない。本稿では、マルチサイクルテストを用いた POST のテスト時間短縮および故障検出率向上のために、マルチサイクルテストに適したテストポイント挿入法を提案する。提案法は、マルチサイクルに時間展開した論理回路のテストビリティを考慮してテストポイントの挿入箇所を選定する。提案法をベンチマーク回路に適用した評価実験によって提案法の効果を評価する。

キーワード POST, LBIST, マルチサイクルテスト, 機能安全規格, ISO26262

Control Point Insertion for Fault Detection Enhancement under Multi-cycle Testing

Tomoki Aono[†], Norihiro Nakaoka[†], Xihong Zhou[†], Senling Wang[†], Yoshinobu Higami[†], Hiroshi Takahashi[†]

Hiroyuki Iwata[‡], Yoichi Maeda[‡], Jun Matsushima[‡]

[†] Ehime University, Matsuyama 790-8577 Japan

[‡] Renesas Electronics Corporation, Tokyo 187-0022 Japan

E-mail: [†] wang@cs.ehime-u.ac.jp, [‡] hiroyuki.iwata.xg@renesas.com

Abstract- For guaranteeing the functional safety of an in-vehicle system, a power-on self-test (POST) is required to test the devices of system with high fault coverage (e.g.: >90% for stuck-at faults) and within extremely limited test application time TAT (e.g.: <50ms) at the system startup. Multi-cycle test looks promising a way to satisfy these requirements of POST, however, faces a challenge of fault detection degradation (FDD) problem that would obstruct the further test reduction of multi-cycle test. This paper propose a test point insertion approach to address such problem for improving the testability of CUT (circuit under test) in multi-cycle test scheme. In the proposed approach, we also proposed the selection algorithm to determine the most effective location for test point insertion in consideration of the testability of the time-expanded logic circuit under multi-cycle test. We show the effectiveness of the proposed method by an evaluation experiments on benchmark circuits.

Keywords: POST, LBIST, Multi-cycle Test, Functional Safety, ISO26262;

1. はじめに

近年、自動車の先進自動運転において、車載システムの機能安全を保障するために有効な方法としてパワーオンセルフテスト(POST)が注目されている。POST は車載システムの起動時に組み込み自己テスト(LBIST)を実行し、MCU などの車載デバイスに対してテストを行うことでデバイス内の潜在的な故障を早期に検出することができる。さらに、自動車の機能安全規格 ISO26262 により、最も厳しい機能安全レベル(ASIL D)の要件を満たすためには 90%以上の故障検出率が求められる[1]。しかしながら、POST には厳しく制限され

た時間内に(Test Application Time: TAT < およそ数十 ms)テストを実行しなければならないため、短い TAT に高い故障検出率を達成することは課題である[2]。

POST を実行するための LBIST のテストモードでは、擬似乱数パターンとテスト応答をスキャンチェーンへ直列にシフトイン/シフトアウトするため多数のスキャンシフトサイクルが必要である。また、LBIST では、高い故障検出率を得るためには多数の擬似乱数パターンが必要となり、一般的に TAT が増加する。POST における TAT を短縮するためには、LBIST の故障検出強化技術が求められる。

これまでに、POST の TAT を短縮するために、スキ

ランチェーンの分割技術[3], スキャンシフトクロックの再利用技術[4], TMS(Tri-Model SCAN)テスト方法[5], が提案されている。しかしながら, これらの方法は大きなハードウェアオーバーヘッド, 自動テスト生成ツールへの複雑な機能拡張, 故障シミュレーションのための膨大な解析時間が必要となることなどの課題がある。

マルチサイクルテスト[6][7]は, スキャンテストにおいて複数回のキャプチャクロックを与える方法である。各サイクルでキャプチャされたテスト応答を次のキャプチャサイクルのテストパターンとして再利用するため, 一回のスキャンイン動作で複数のテストパターンでの故障検出を行う機会が得られる。そこで, POSTにおいてマルチサイクルテストを導入することでTATを短縮することが期待される。

しかしながら, マルチサイクルテストにおけるテストパターンの削減効果を妨げる問題として, 「故障信号消失問題」および「キャプチャパターンの故障検出能力低下問題」が挙げられる。

故障信号消失問題とは, 被検査回路(テスト対象回路)の時間展開による故障信号の伝搬経路の拡大化に起因して, 励起された故障信号が最後のキャプチャサイクルまで伝搬されず, 途中でマスクされてしまうことである[9]。

故障消失問題を解決するためには, 各キャプチャサイクルで一部のフリップフロップ(FF)の値を直接観測する中間観測 (SEQ_OB) 技術が提案されている[6][8]。著者らは文献[9]でシミュレーションを用いずに被検査回路の回路構造を解析することで, 故障検出率の向上に役立つ中間観測 FF を選択する方法を提案した。さらに, 文献[10][11]では超大規模車載 MCU に SEQ_OB を実装するために, Fault-Detection Strengthened(FDS)という故障検出強化 FF の DFT 技術も提案した。

キャプチャパターンの故障検出能力低下問題とは, キャプチャサイクル数を増加させることにより, 被検査回路の内部状態が機能動作に近づくことで, 多数の論理ゲートの入出力部および FF の論理値が固定となり, 新たな故障を検出することが困難になることである[12]。

キャプチャパターンの故障検出能力低下問題を解決するために, 著者らは文献[12]でキャプチャ動作中に FF のキャプチャ値を変更できる FF トグリング制御回路およびランダム・ロード制御回路を提案した。この方法は, FF の出力に制御回路を挿入することで, キャプチャパターンのランダム性を高めることができる。さらに, より多くの縮退故障を検出するために, 制御回路を挿入する適切な FF の選定方法を提案した。

本稿では, マルチサイクルテストの更なる故障検出能力向上を目的として, 組合せ回路内部にある論理ゲートの入出力部に直接論理値を割り当てる制御ポイント(CP : Control Point)を挿入する LBIST の故障検出強化技術を提案する。さらに, 組合せ回路内部の論理値を制御することで故障信号の伝搬効果を得るための適切な CP 挿入点の選定アルゴリズムを提案する。本稿で紹介する CP 挿入点の選定アルゴリズムは確率ベースのテストビリティ評価尺度(COP)と構造解析評価値

を用いて, マルチサイクルテスト向けに提案したものである。

本稿は以下のように構成される。2 章では, マルチサイクルテストにおけるキャプチャパターンの故障検出能力低下問題について述べる。3 章では, 故障検出能力低下問題への対策である CP 挿入技術について述べる。4 章では CP 挿入点の選定アルゴリズムを説明する。5 章では, 提案手法と既存手法を評価し, 提案手法の効果を確認する。6 章では, まとめを述べる。

2. マルチサイクルテストおよび問題点

本章では, マルチサイクルテストの基本概念と故障検出能力低下問題について述べる。

2.1. マルチサイクルテスト

図 1 は, スキャンベース LBIST における LoC(Launch-off-Capture)テスト方式のクロック設計を示す。マルチサイクルテストはキャプチャ動作時に複数回のキャプチャサイクルを叩くことで(図 1.b 参照), 各サイクルでキャプチャされたテスト応答を次のキャプチャサイクルのテストパターンとして再利用する。従来の 1 つのキャプチャクロックのみが適用されるスキャンテスト(図 1.a 参照)より少ないスキャンシフト動作でより多くの故障を検出することが可能となるため POST の TAT を短縮することが期待されている。

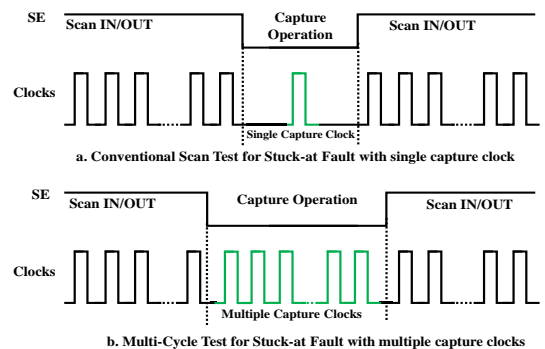


図 1. マルチサイクルテストのクロック設計[12]

2.2. 故障検出能力低下問題

文献[13][14]では, マルチサイクルテストにおいて, キャプチャサイクルを増やすことで被検査回路の内部状態が機能動作に近づいて, 回路内の状態遷移数が低減することが報告されている。

ここでは, いくつかのキャプチャサイクルを経た被検査回路の論理ゲートの入出力部が固定値になる (状態遷移が起こらない) ことによって生じる現象を次のような問題として考える。

図 2 は被検査回路に対してマルチサイクルテスト(3 サイクル)を適用した例を示す。この例では, スキャンイン動作にて初期値ベクトル(110)が与えられる。次に, 1 回目のキャプチャ動作で得られたキャプチャベクトル(011)を次のサイクルの入力として再利用する。以下, 同様にキャプチャ動作が 2 回目, 3 回目と実行さ

れる．ここで，2 回目以降のキャプチャ動作時に回路内部の AND ゲートの入力値が 0 に固定化する場合を考える．それによって，AND ゲートの出力値は 0 となり，その影響は FF や次のサイクルの論理ゲートにまでおよぶことになる．この影響を受けた論理ゲートの入力コーン内にある故障信号は伝搬されることはないため，2 サイクル目以降の故障検出能力は低下してしまう．

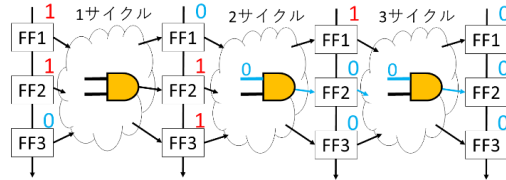


図 2. 故障検出能力低下問題

図 3 は ISCAS ベンチマークの s9234 回路でマルチサイクル故障シミュレーションを行った結果を示す．故障シミュレーションは 1 パターンの 5 サイクルテストで行った．なお，毎サイクルの全ての FF で故障検出を可能としている．結果からは，1 サイクル目ではおよそ 879 個，2 サイクル目ではおよそ 369 個の故障を検出できているが，3 サイクル目以降では 100 個以下の故障検出数になっていることが分かる．これは，先に述べた問題により，後半のサイクルの故障検出能力が低下していると考えられる．

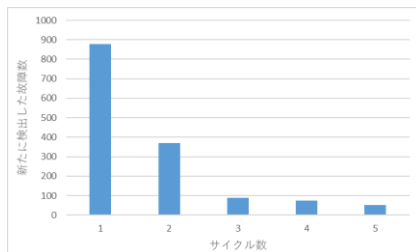


図 3. サイクル毎の新たに検出した故障数

3. CP 挿入による故障検出能力強化技術

本章では，マルチサイクルテストにおける故障検出能力低下問題への対策方針として CP 挿入技術を提案する．

3.1. 故障検出能力低下問題の対策方針

2 章で述べたように，マルチサイクルテストは，キャプチャサイクルを経ることで被検査回路の多くの論理ゲートの入出力部が固定値になるため，新たな故障の検出が困難になる問題がある．この問題の対策案は，固定値となることで回路内の故障信号の伝搬を阻害する箇所に直接論理値を割り当てる制御論理（CP）を挿入することである．後半のサイクルで論理値が固定される箇所に，非制御値（AND ゲートの入力に論理値 1 を OR ゲートの入力に論理値 0）を設定することで，故障の伝搬を促し，故障検出能力の向上を期待する．

この方針を実現するために，CP の制御方法および CP 挿入箇所の選定アルゴリズムを提案する．

3.2. CP の制御方法

筆者らは，各キャプチャサイクルで FF を制御するために，2 種類の制御構造を提案した[12]．本稿では，図 4 に示す 2 種類の制御方法を選定点に適用する．

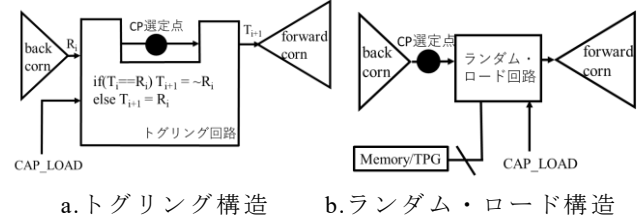


図 4. CP 制御構造

図 4.a の制御方法は，選定した信号線にトグル回路を追加することで，サイクル毎に選定信号線の値をトグルさせるトグルリング方法である．キャプチャモードでは，現在の状態(T_i :現在のキャプチャサイクルで適用されたテストパターン)と次の状態(R_i :現在のキャプチャサイクルで適用されたテストパターンのレスポンス)を比較して，トグルが発生しているかを確認する．トグルがない場合，トグル制御回路は T_{i+1} にトグルを生成し R_i の反転値を次のサイクルに伝搬させ，そうでなければ次のサイクルに現在の R_i を伝搬させる．外部制御信号(CAP_LOAD)が 1 のときにトグルリングを有効にし，0 のときに通常のキャプチャ動作を実行する．

図 4.b の制御方法は，擬似ランダムベクトルを選定信号線に直接印加するランダム・ロード方法である．選定信号線にランダム・ロード回路が挿入され，外部制御信号が回路を制御し，選定点の値または擬似ランダムベクトルのいずれかを選択して次のサイクルに伝搬させる．擬似ランダムベクトルはメモリから供給するかあるいはオンチップのテストパターンジェネレータ(TPG)によって生成する．

4. CP 制御点の選定アルゴリズム

本章では，マルチサイクルテストに対して，3. 2 節で述べた制御方法を適用するための CP 制御回路の挿入箇所の選定方法を説明する．初めに，CP 選定を行うための評価値について説明を行う．次に，CP 選定の手順を説明する．

4.1. 選定アルゴリズムに用いる評価値

被検査回路内にある論理ゲートの入出力線(l)に対して， $p0(l)$ ， $p1(l)$ ， $f0(l)$ ， $f1(l)$ ， $c(l)$ を以下のように定義する．

$p0(l)/p1(l)$: l における COP ベースの 0/1 可制御性(0/1 になる確率)

$f0(l)/f1(l)$: l を 0/1 に設定することにより， l から出力側（外部出力または FF）までの到達可能論理回路部に論理値が固定値(fixed value)になるゲートの数

$c(l)$: l を制御することによる論理値が固定化されているゲートへの寄与度

以下，各評価値の計算方法を説明する．

A. 確率ベーステストタビリティ評価尺度(p0/p1)

信号線 l が 0 または 1 にどの程度なりやすいかを調べるために、 $p0(l)/p1(l)$ を計算する。 $p0(l)/p1(l)$ は COP ベースの可制御性の計算方法[16]を用いて計算できる。COP の可制御性計算は被検査回路の FF の初期値を 0.5 に設定し、後続する l に対して $p0(l)/p1(l)$ を計算する。本稿では、マルチサイクルテスト向けの CP 挿入点の選定を行うため、FF の初期値を変更する。FF の初期値は、キャプチャサイクル数回分で展開した被検査回路における COP の可制御性の平均値とする。マルチサイクルテストにおける COP の計算例を図 5 に示す。

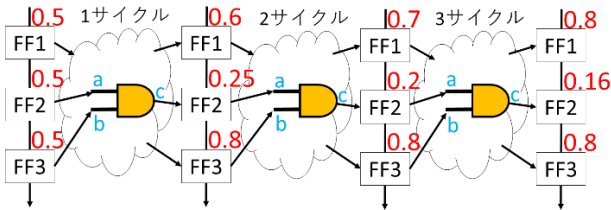


図 5. マルチサイクルテストにおける COP 計算例

図 5 は被検査回路を時間展開した場合の各 FF の 1 可制御性を示している。FF2, FF3 はそれぞれ AND ゲートの入力 a と b に接続している。また、AND ゲートの出力 c は FF2 に接続する。1 サイクル目には、可制御性の初期値として 0.5 が与えられる。従って、1 サイクル目における c の 1 可制御性は $0.25(=0.5 \times 0.5)$ となり、2 サイクル目の初期値として用いられる。同様に 2 サイクル目、3 サイクル目が計算される。結果として FF2 の初期値は $0.2 \div (0.25 + 0.2 + 0.16) / 3$ となる。

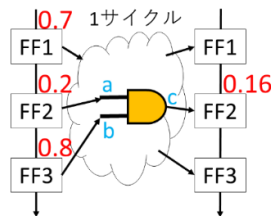


図 6. Px0/1 の計算例

図 6 は、図 5 の結果をもとに FF の初期値を設定した時の被検査回路である。図 6 より $p1(a)=0.2$, $p1(b)=0.8$, $p1(c)=0.16$ が求められる。

B. 構造解析による固定化ゲートの評価値(f0/f1)

信号線 l を 0 (1) に設定することによって、その信号線 l から出力側（外部出力または FF）までの到達可能論理回路部にいくつかのゲートの出力線の論理値が固定値になるかを調べるために、 $f0(l)/f1(l)$ を計算する。図 7 にゲート構造例で計算例を説明する。

G1 の入力線 a の論理値を 0 に設定する場合を考える。0 は AND ゲートの制御値であるため b の論理値

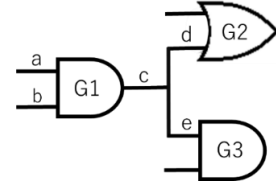


図 7. 論理ゲート構造例

表 1. 図 7 の $f0(l)/f1(l)$

l	$f0$	$f1$
a	2	0
b	2	0
c	1	1
d	0	1
e	1	1

に影響されることなく、信号線 c, d, e は 0 となる。OR ゲートの制御値は 1 であるため、G2 はもう一つの入力値により論理値が決定される。G3 は e の論理値が 0 のため、もう一つの入力値に関係なく値が 0 となる。従って、a を 0 にした場合、G1 と G3 の論理値が他の入力に関係なく、決定されるため、 $f0(a)=2$ となる。一方で、a を 1 に設定した場合、b の入力値に依存するため、信号線 c, d, e はドントケアとなる。従って、 $f1(a)=0$ である。

同様に、残りの入出力線 b, c, d, e に対して $f0/f1$ を計算した結果を表 1 に示す。

C. CP 制御による固定化ゲート削減への寄与度(c)

信号線 l の $p0/p1$ および $f0/f1$ を用いて、CP 制御することにより固定化するゲートをどの程度減らすことができるかを評価値とするために $c(l)$ を以下のように定義する。

$$c(l) = -((0.5 - p0(l)) * f0(l) + (0.5 - p1(l)) * f1(l)) \quad (1)$$

図 7 において、 $p0(a)=0.9$, $p1(b)=0.5$ であるケースを考える。この時に、信号線 a, b, c, d, e の $p0(l)/p1(l)$, $f0(l)/f1(l)$, $c(l)$ は表 2 のように計算される。

表 2. 図 7 の $c(l)$

l	$f0$	$f1$	$p0$	$p1$	c
a	2	0	0.9	0.1	0.8
b	2	0	0.5	0.5	0
c	1	1	0.95	0.05	0
d	0	1	0.95	0.05	0.05
e	1	0	0.95	0.05	0.45

表 2 の例によると、信号線 a の論理値を 0(1)にすると、a から到達可能な論理回路部には 2 個(0 個)のゲートが固定化される。一方、信号線 a の論理値が 0 になる確率は $p0(a)=0.9$ であるため、信号線 a から出力までの論理回路部には多くのテストで 2 個のゲートが固定化される可能性が高い。テスト時には、励起された故障の伝搬経路上に多くの固定化ゲートが存在すると故障の検出が困難になる。そこで、CP 制御による信号線 a に 0.5 の確率で 0(1)を印加することにより、ゲートの固定化による故障伝搬への阻害を軽減することができる。その寄与度は c の値で表す。信号線の c 値は高め

れば高いほど、その信号線に CP 制御点を挿入したほうが故障検出に効果的であることが考えられる。

4.2. CP 選定手順

4. 1 節で説明した評価値を用いて CP を選定する手順を提案する。

CP 選定アルゴリズム

INPUT

論理回路:ゲート数=N , M: 選定する CP 数

α : p_0 と p_1 の偏り度の閾値 , β : 重なり率の閾値

DATA

$A = \{\emptyset\}$: 選択した CP リスト

$B = \{\emptyset\}$: 一時的に保存する候補 CP リスト

rate_overlap($A, B[i]$): 選定された箇所全ての影響領域と $B[i]$ の影響領域との重なり率を出力する

OUTPUT

優先度が高い順にソートされた CP リスト集合 A

Preprocessing:

入出力線 l に対して $p_0(l), p_1(l), f_0(l), f_1(l), c(l)$ を計算

Selection Processing:

```

1  i = 0, A = { }
2  for i = 1 to M do
3      B = { }, B.length = 0 , selection_flag = 0
4      for j = 1 to N do /*j=信号線番号*/
5          if (p0(j) >  $\alpha$ ) || (p1(j) >  $\alpha$ ) then
6              B  $\leftarrow$  j, B.length++
7          end if
8      end for
9      Sorting B in descending order by c
10     for k = 1 to B.length do
11         if rate_overlap(A, B[k]) <  $\beta$  then
12             A[i]  $\leftarrow$  B[k]
13             p0(A[i]) = 0.5, p1(A[i]) = 0.5
14             A[i] の前方領域の p0(l), p1(l), c(l) を更新
15             selection_flag = 1
16             break
17         end if
18     end for
19     if selection_flag == 0
20         return A
21     end if
22 end for
23 return A

```

3~8 の処理では候補 CP リストを作成するのには計算量削減の目的がある。14 の処理で影響領域の重なり判定をすべての信号線に対して実行するためには、膨大な計算量が必要となる。そのため、論理値が固定になりやすい信号線に限定して選定を行う。

アルゴリズム中で用いられる α ($0 \leq \alpha \leq 1$) および β ($0 \leq \beta \leq 1$) はユーザ指定可能な閾値である。例えば、 α に対しては、 $p_0(l)/p_1(l)$ の最大値から 0.1 以内の範囲にある l を候補とするために $\max(p_0(l), p_1(l)) - 0.1$ を設定する。 β に対しては、既に選定した CP リストと 50% 以上の重なりがある点を選定しないようにするために 0.5 を設定する。

5. 評価実験

この章では、提案手法と従来手法の効果を故障シミュレーションにより評価する。

5.1. 評価実験方法

評価実験では、故障検出率が 90% を達成した時点でのスキャンインパターン数で評価する。キャプチャサイクルを 10 サイクルとする縮退故障テストを実装し、ISCAS89 および ITC99 のベンチマーク回路を用いて内製の故障シミュレータで提案手法を評価した。16 ビット LFSR (特性多項式 $(X^{16} + X^{15} + X^{13} + X^4 + 1)$) を用いて最大 100K パターンを生成する。なお、外部出力は観測しない。本実験では、[12] で提案した FF に CP を挿入した場合と本稿で提案した論理ゲートに CP を挿入した場合とのシミュレーション結果の比較を行う。選択した CP 数はそれぞれ、FF 総数の 10%、ゲート総数の 1% である。本実験で用いたベンチマーク回路で選択される CP 数を表 3 に示す。制御方法は、3.2 節で説明したトグリング制御とランダム・ロード制御である。さらに、文献[8]で提案した中間観測テスト機構を実装した。文献[9]で提案した選択手法を用いて上位 20% の FF を部分観測する場合と故障信号消失問題の影響を避けるための全ての FF を観測する場合を評価する。

表 3. 選定した CP 数

回路	CP 数	
	FF に挿入	ゲートに挿入
s9234	22	58
s13207	66	87
s15850	59	104
s38417	163	239
s38584	145	209
b14s	24	47
b15s	44	88
b20s	49	94

5.2. 評価実験結果

表 4 に目標検出率(90%)を達成するために必要なスキャンインパターン数を示す。90% を達成できなかった手法には、100k パターンで得られた故障検出率を記している。s9234 回路の全観測では、CP 挿入無しの場合、99,900 パターンで 90% の故障検出率を達成した。従来手法である FF に CP を挿入してトグリング制御を行った場合では、36,750 パターン(99,900→63,150)の削減が得られた。

本稿で提案した被検査回路内部に CP を挿入した場合では、93,050 パターン(99,900→6,850)の削減ができた。他の回路の全観測によるトグリング制御においては、提案手法により大幅にパターン数の削減できていることが確認できた。全観測によるランダム・ロード制御では、s13207 回路のみが従来手法のほうが、パターン削減効果が高いという結果になった。部分観測に対しても同様な効果が見られた。

表 4. 90%を達成したスキャンインパターン数

回路	部分観測					全観測				
	制御 なし	トグリグ		ランダム・ロード		制御 なし	トグリグ		ランダム・ロード	
		FF_CTL	GT_CTL	FF_CTL	GT_CTL		FF_CTL	GT_CTL	FF_CTL	GT_CTL
s9234	(89.95)	68000	8050	51050	10400	99900	63150	6850	49550	9500
s13207	11600	6350	5750	2650	3150	11600	6050	5700	1900	2850
s15850	(89.01)	(88.96)	11300	(89.10)	63350	(89.77)	(89.68)	3700	(89.72)	10100
s38417	700	400	100	550	100	600	400	100	450	100
s38584	4000	4050	1650	1900	650	2300	1950	850	1250	400
b14s	56250	(87.50)	1850	8400	500	52300	(87.57)	1750	7750	400
b15s	4200	5850	750	4700	350	4150	4900	350	4550	150
b20s	(89.68)	(89.41)	1500	12100	1900	(89.69)	(89.43)	1500	11600	1800

FFを制御することは、入力パターンの制御をすることになるため、故障信号の励起効果が向上する。本手法で内部を制御することは、CP挿入点以降の故障信号の励起効果および故障信号の伝搬効果が向上する。回路内部を制御することにより、多くの回路で故障検出能力が向上したという結果から、故障検出能力の向上には、故障信号の伝搬が役に立つと考えられる。s13207回路では、励起された故障信号が消失することなく観測点に到達できる構造であるために、励起効果の向上のみで故障検出能力が向上できたと考えられる。

6. まとめ

マルチサイクルテストでは、キャプチャサイクルが増加するにつれて被検査回路の機能動作に近づき、いくらかの論理ゲートは固定化される。固定化された論理ゲートは故障信号の伝搬を阻害するため、故障検出能力を低下させる要因となる。このような問題を解決するために、外部から直接論理値を割り当てるCPを被検査回路内部に挿入することを考える。CP制御方法は従来研究[12]を参考にした。

本稿では、マルチサイクルテストにおけるCP挿入点の選定アルゴリズムを提案した。さらに、提案手法で選定した箇所にCPを挿入した回路に対してマルチサイクル故障シミュレーションを実施した。結果からは、従来手法であるFFにCPを挿入した場合よりも、更なるスキャンインパターン数の削減が確認できた。

今後の課題として、選定したCPの評価方法を考える。現在は、故障シミュレーションによる故障検出率でCPの評価を行っているが、大規模回路では膨大な計算量になるため、短時間で故障検出率を推測する手法が必要である。

謝辞

本研究は一部、科研費(19K11878)の助成を受けたものである。

文 献

- [1] Standard of ISO 26262, part5, "Road vehicles - Functional safety", May 24th.2016. [Online]. Available: <https://www.iso.org/obp/ui/#iso:std:iso:26262:-5:ed-1:v1:en>
- [2] H. Iwata and J. Matsushima, "Multi-configuration Scan Structure for Various Purposes," in 2016 proc. IEEE Asian Test Symposium (ATS), Hiroshima, pp.131-131.

- [3] N. A. Touba, "Survey of Test Vector Compaction Techniques," IEEE Design & Test of Computers, vol. 23, no. 4, pp. 294-303, April 2006.
- [4] F. Zhang et al., "Putting wasted clock cycles to use: Enhancing fortuitous cellware fault detection with scan shift capture," in 2016 proc. IEEE Int'l Test Conf., pp. 1-10.
- [5] G. Mrugalski, J. Rajske, J. Solecki, J. Tyszer and C. Wang, "Trimodal Scan-Based Test Paradigm," in IEEE Transactions on Very Large Scale Integration(VLSI) Systems, vol. 25, no. 3, pp. 1112-1125, March 2017.
- [6] S. Kajihara, M. Matsuzono, H. Yamaguchi, Y. Sato, K. Miyase, and X. Wen, "On Test Pattern Compaction with Multi-Cycle and Multi-Observation Scan Test," Proc. Int'l. Symposium on Com. and Inf. Tech. (ISCIT), Tokyo, pp. 723-726, Oct. 2010. DOI: 10.1109/ISCIT.2010.5665084
- [7] I. Pomeranz, "A Multicycle Test Set Based on a Two-Cycle Test Set With Constant Primary Input Vectors," IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 34, no. 7, pp. 1124-1132, July 2015. DOI: 10.1109/TCAD.2015.2408257
- [8] Y. Sato, H. Yamaguchi, M. Matsuzono and S. Kajihara, "Multi-Cycle Test with Partial Observation on Scan-Based BIST Structure," Proc. IEEE Asian Test Symposium, New Delhi, pp. 54-59. DOI: 10.1109/ATS.2011.34
- [9] S. Wang, H. T. Al-Awadhi, S. Hamada, Y. Higami, H. Takahashi, H. Iwata, and J. Matsushim, "Structure-Based Methods for Selecting Fault-Detection-Strengthened FF under Multi-cycle Test with Sequential Observation," Proc. IEEE Asian Test Symposium, Hiroshima, pp. 209-214, Nov. 2016. DOI: 10.1109/ATS.2016.40
- [10] S. Wang, Y. Higami, H. Iwata, J. Matsushima and H. Takahashi, "Automotive Functional Safety Assurance by POST with Sequential Observation," IEEE Design & Test Magazine. Vol.35, no.3, pp.39-45, June 2018. DOI: 10.1109/MDAT.2018.2799801
- [11] S. Wang, Y. Higami, H. Takahashi, H. Iwata, Y. Maeda and J. Matsushima, "Fault-detection-strengthened method to enable the POST for very-large automotive MCU in compliance with ISO26262," Proc. IEEE 23rd European Test Symposium, Bremen, pp. 1-2, 2018. DOI: 10.1109/ETS.2018.8400707
- [12] S. Wang, T. Aono, Y. Higami, H. Takahashi, H. Iwata, Y. Maeda, and J. Matsushim, "Capture-Pattern-Control to Address the Fault Detection Degradation Problem of Multi-Cycle Test in Logic BIST," Proc. IEEE Asian Test Symposium, Hefei, pp. 155-160, 2018. DOI: 10.1109/ATS.2018.00038
- [13] J. Rearick, "Too Much Delay Fault Coverage is a Bad Thing," Proc. Int'l Test Conf., Baltimore, MD, pp. 624-633, 2001. DOI: 10.1109/TEST.2001.966682
- [14] E. K. Moghaddam, J. Rajske, S. M. reddy and M. Kassab, "At-Speed Scan Test with Low Switching Activity," Proc. IEEE 28th VLSI Test Symposium, Santa Cruz, pp.177-182, April 2010. DOI: 10.1109/VTS.2010.5469580
- [15] E. Moghaddam et al., "Logic bist with capture-per-clock hybrid test points," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol.38, no.6, pp.102801041, June 2019.
- [16] F. Brglez, P. Pownall, and R. Hum, "Applications of testability analysis: From ATPG to critical delay path tracing," in Proc. ITC, Philadelphia, PA, USA, 1984, pp. 705-712.