

メモリベース論理再構成デバイス(MRLD) における劣化状態検知のためのリングオシレータ実装

愛媛大学

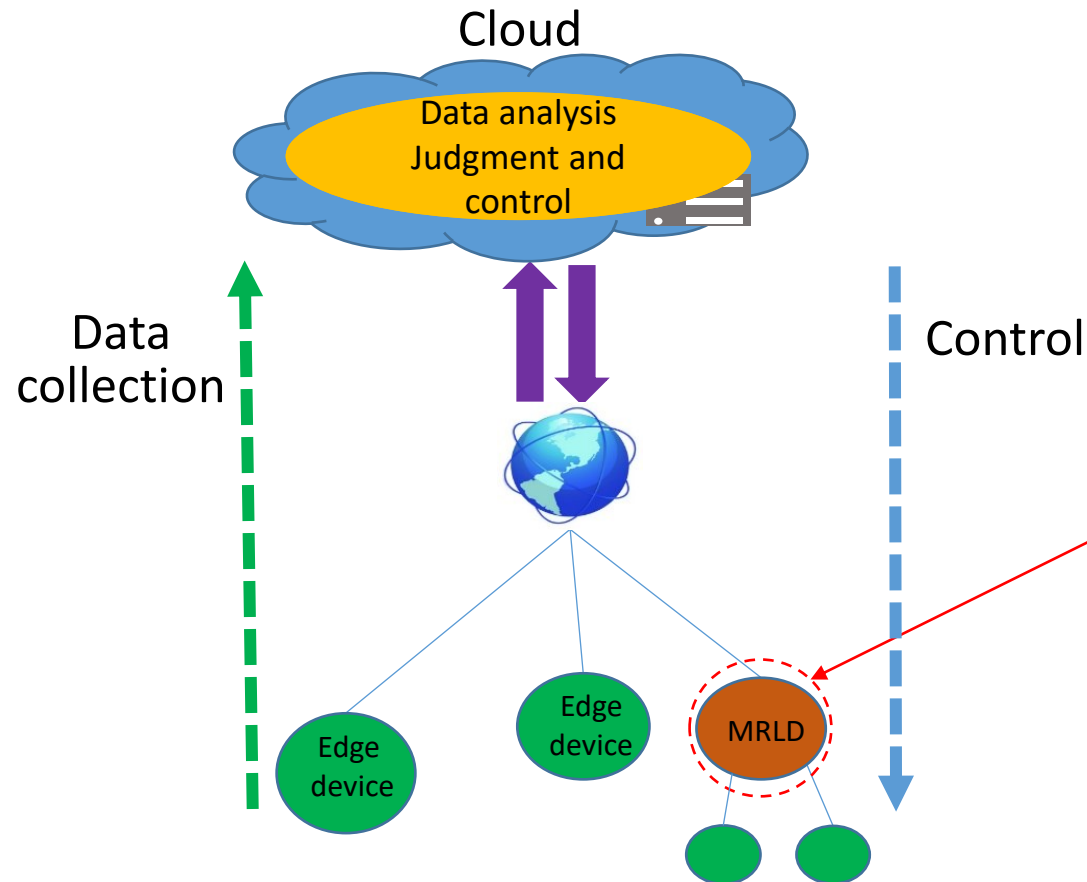
周 細紅 王 森レイ 樋上 喜信 高橋 寛

発表の流れ

- 背景
- 目的 & 目標
- MRLDにおける劣化状態の検知・報告できる方法
- MRLDの構成と動作原理
- MRLDデバイスでの経年劣化による遅延問題
- 経年劣化による遅延を計測するためのROの実装
- 実験結果
- まとめ

背景

- 最近, IoTでの膨大なデータに対してリアルタイムで解析処理を行うため, 次世代のIoTエッジデバイス向けの再構成論理デバイスMRLDが開発されている.
- MRLDデバイスの運用中の劣化故障を検出するフィールドテスト技術は確立されていない.



IoTシステムの高信頼性を保証するためには, 稼働中にエッジデバイスの劣化状態を早期に検知・報告できる**フィールドテスト技術**が必要である.

目的 & 目標

- 目的

- IoTシステムの高信頼性を保証するためには

**MRLDデバイスの運用中の劣化状態を早期に検知・報告
できる方法を提案する**

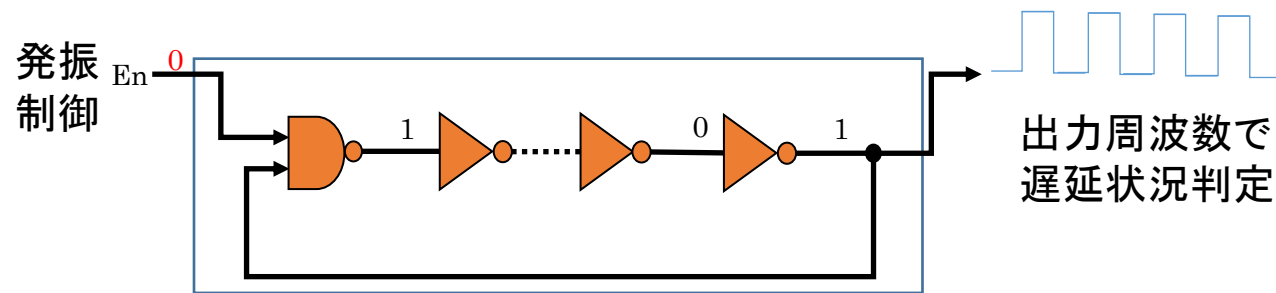
- 目標

- デバイスの経年劣化による遅延を計測するためのフィールドテスト技術

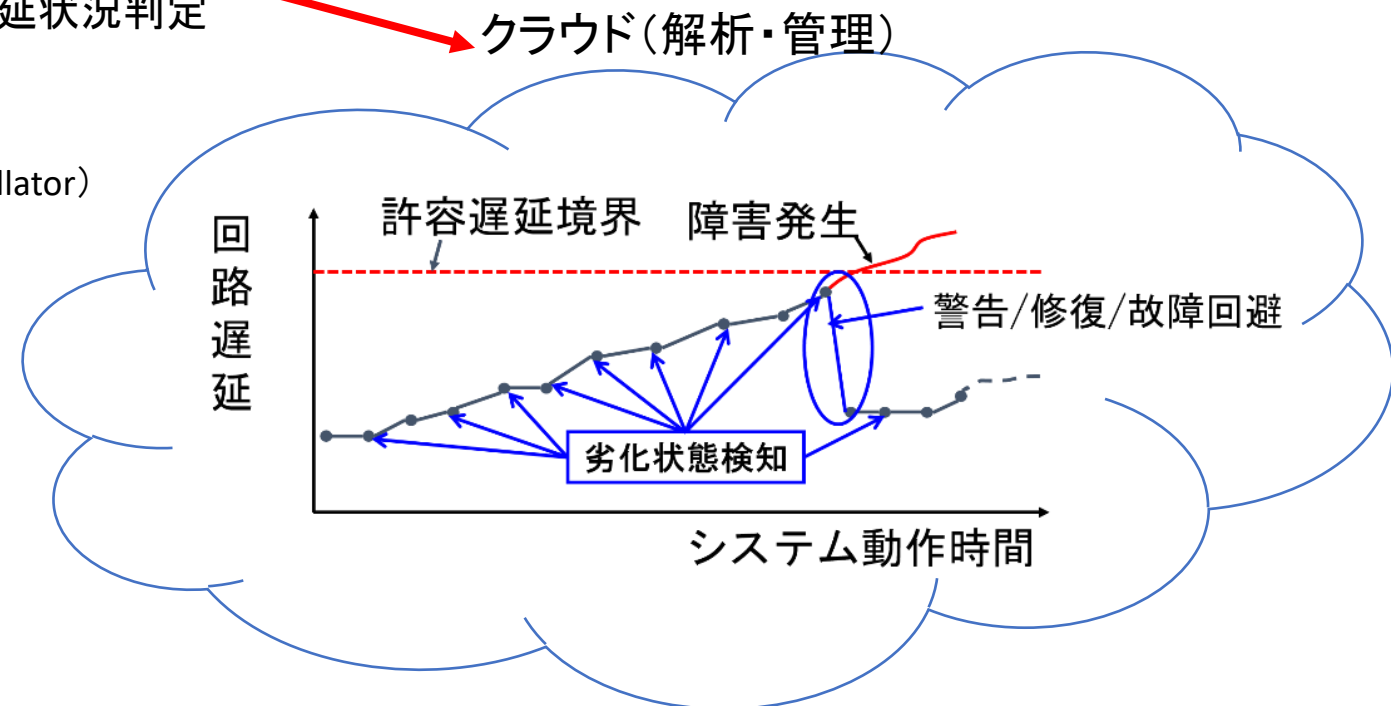
**MRLDデバイスの構造に適するリングオシレータ発振回
路の設計及び実装方法を提案する.**

MRLDにおける劣化状態の検知・報告できる方法

- 回路の劣化による遅延時間を測定できる発振回路(RO:リングオシレータ)をMRLDに実装することで、回路の遅延時間を定期的に計測し、計測結果をIoTシステム(クラウド)に報告する
- デバイスの動作時の遅延が許容遅延境界を超える前に警告を出して、修復や障害回避などのメンテナンスを実施する

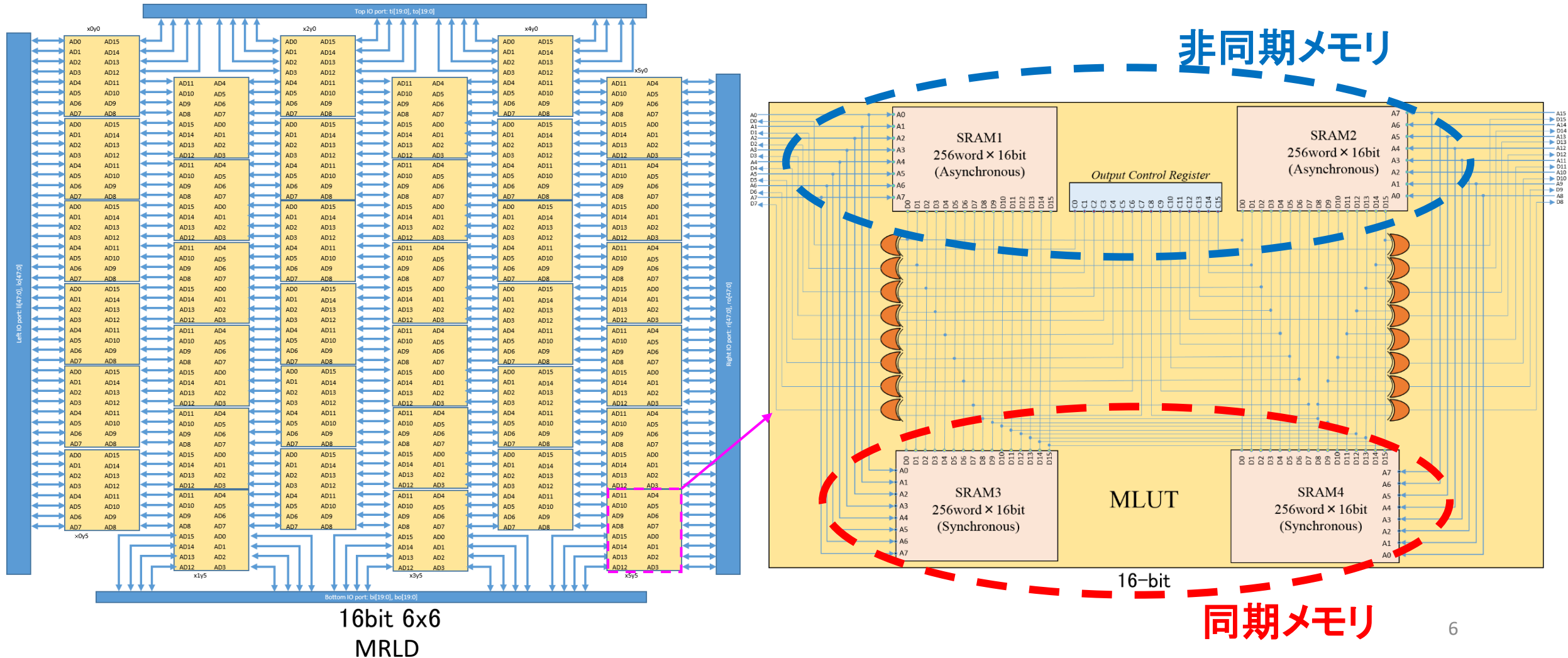


遅延測定の有効な手段: 発振回路リングオシレータ(RO: Ring-Oscillator)



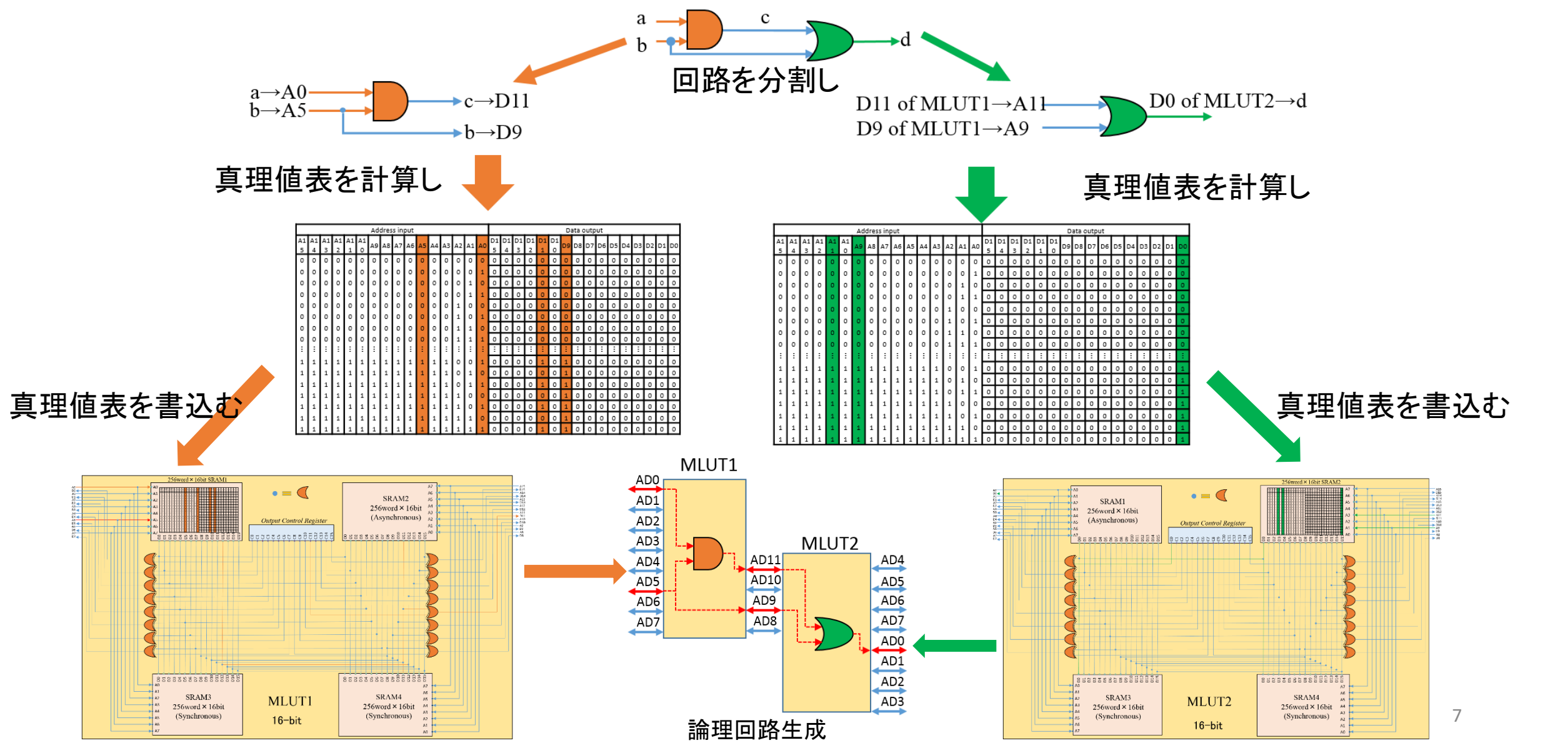
MRLDの構成

- MRLD(Memory-based Reconfigurable Logic Device)は複数の汎用メモリセル(MLUT: Multiple Look Up Tables)がアレイ状に並んで構成されている.
- 既存技術のFPGAと比べ、**高速化と低消費電力化及び低コスト**の優位性がある



MRLDの動作原理

- MLUTのSRAMに論理回路(配線論理を含む)の真理表を書き込むことで論理回路を構成する



MRLDデバイスでの経年劣化による遅延問題

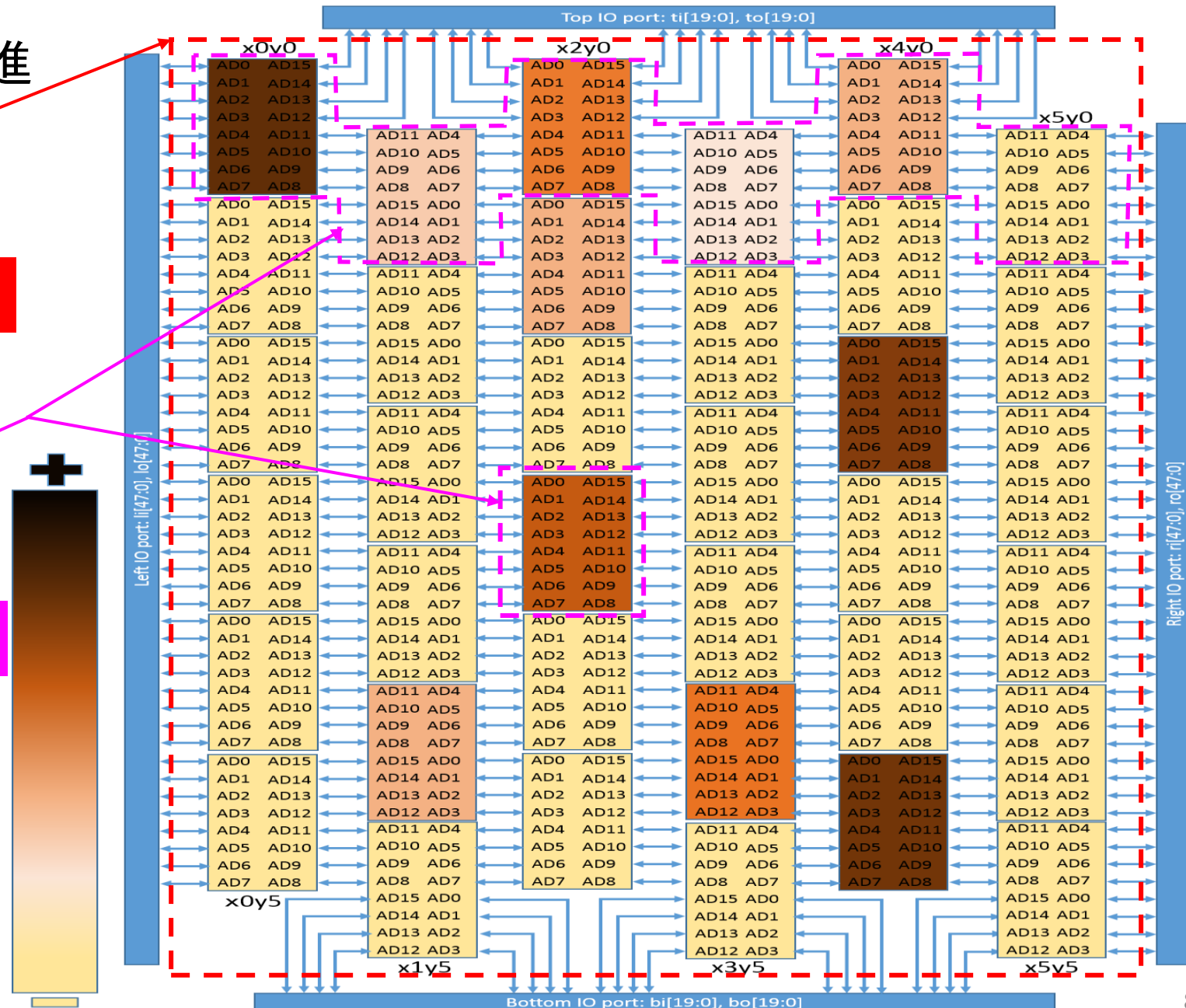
- 経年劣化によるMLUT単体の劣化進行状況がばらついている。

パフォーマンスの最適化のためには

- MLUTアレイ全体の遅延
(グローバル遅延)

劣化の大きいMLUTを回避するには

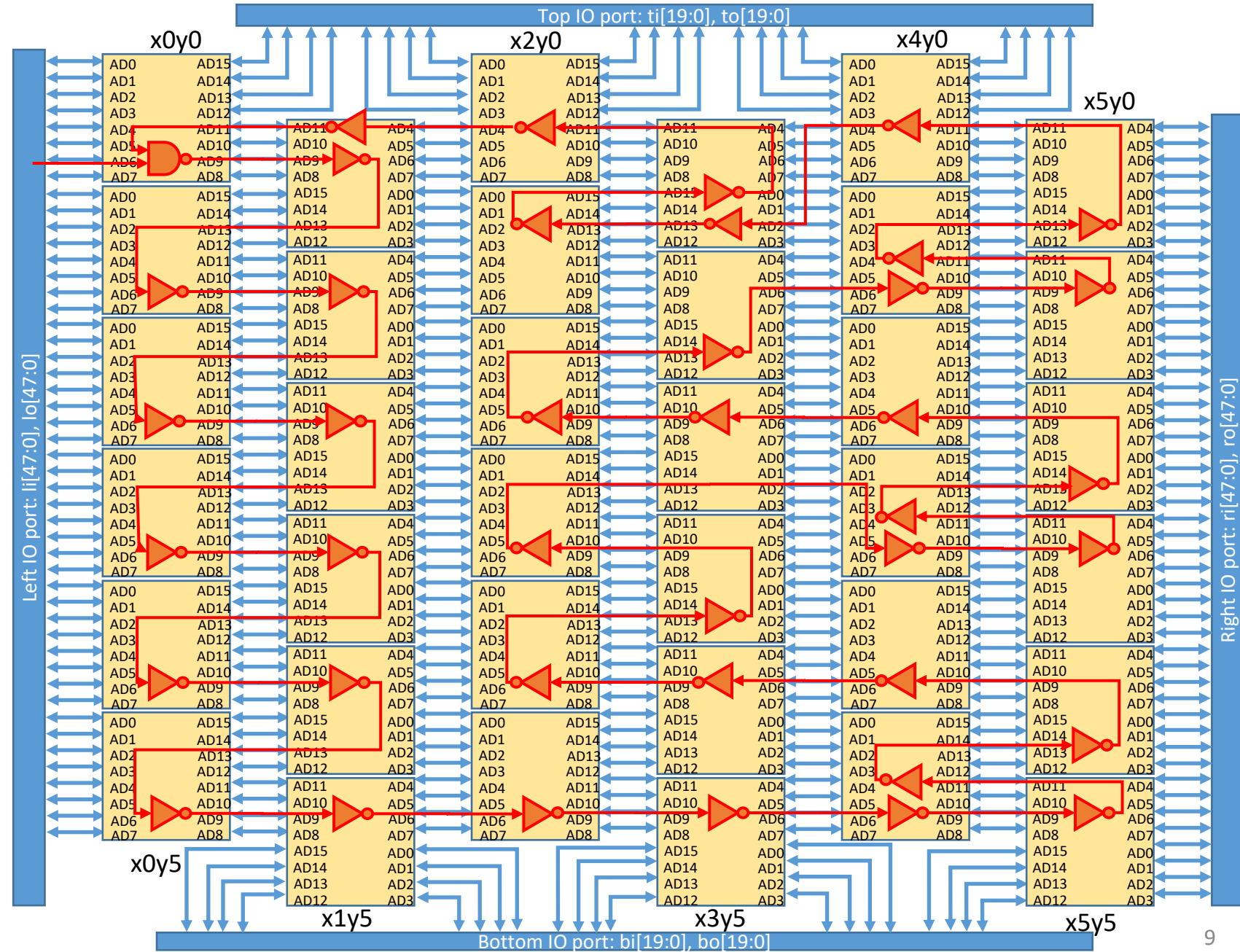
- MLUT単体の遅延
- 部分MLUTアレイの遅延
(ローカル遅延)



MRLDにおけるROの実装(1/2)

- グローバル遅延測定
のためのRO回路構造

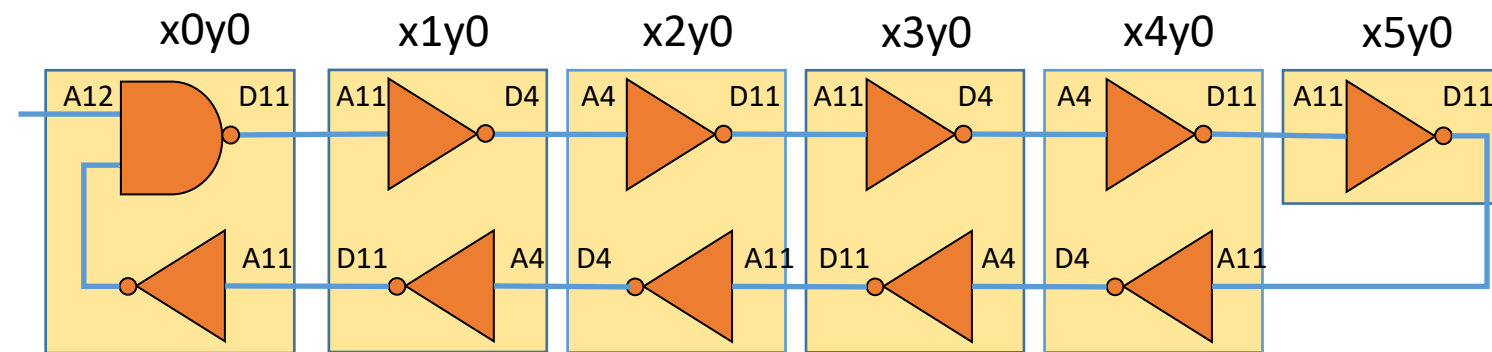
MLUTアレイ全体に
個々のMLUTにROの素子
インバータを配置する



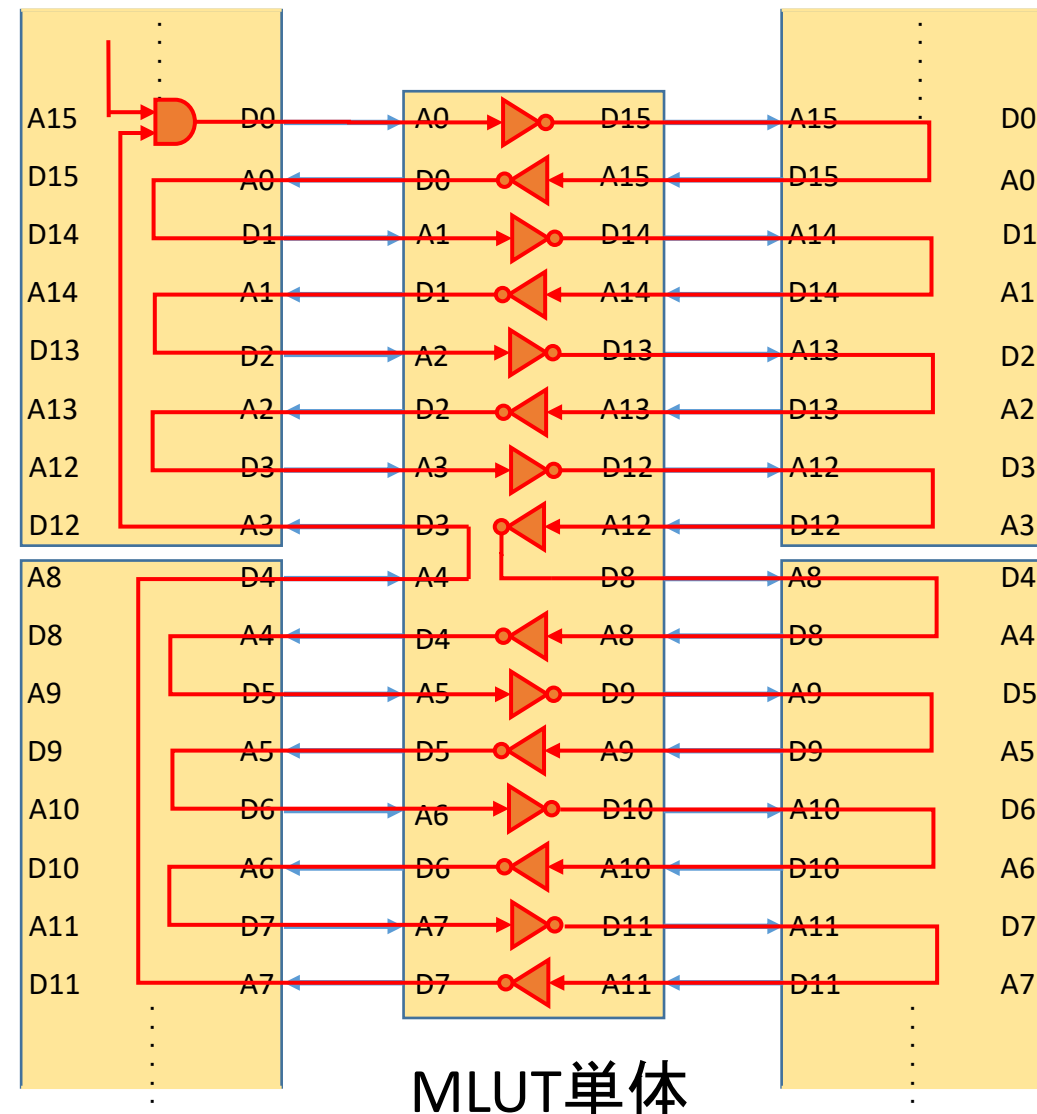
MRLDにおけるROの実装(2/2)

- ローカル遅延測定のためのRO回路構造

MRLDにMLUT単体や
部分MLUTアレイにROを配置する



部分MLUTアレイ

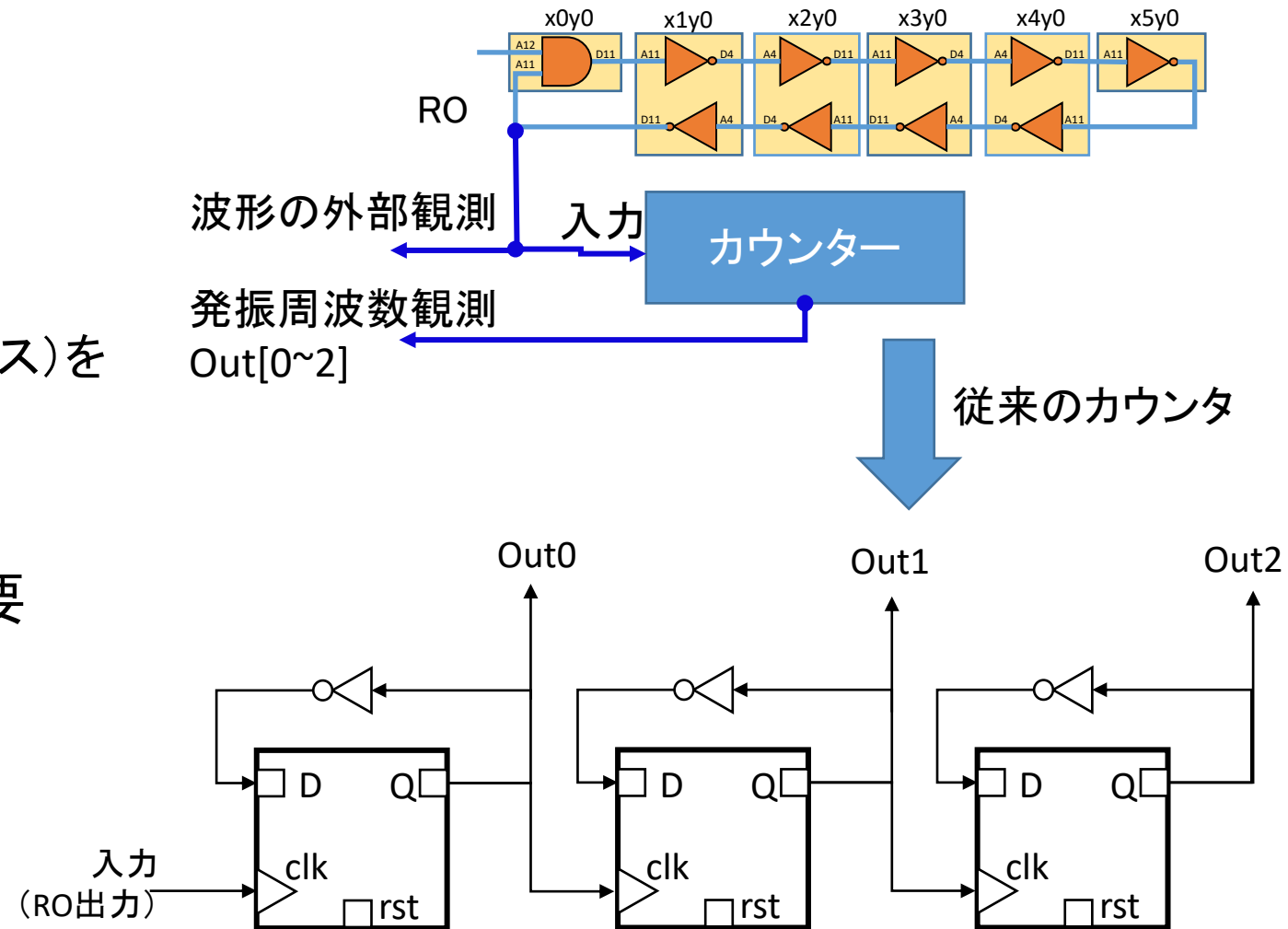


MLUT単体

MRLDにおけるROのカウンター設計(1/2)

- RO発振周波数を計測するためには、MRLDにカウンターが実装することが必要である。

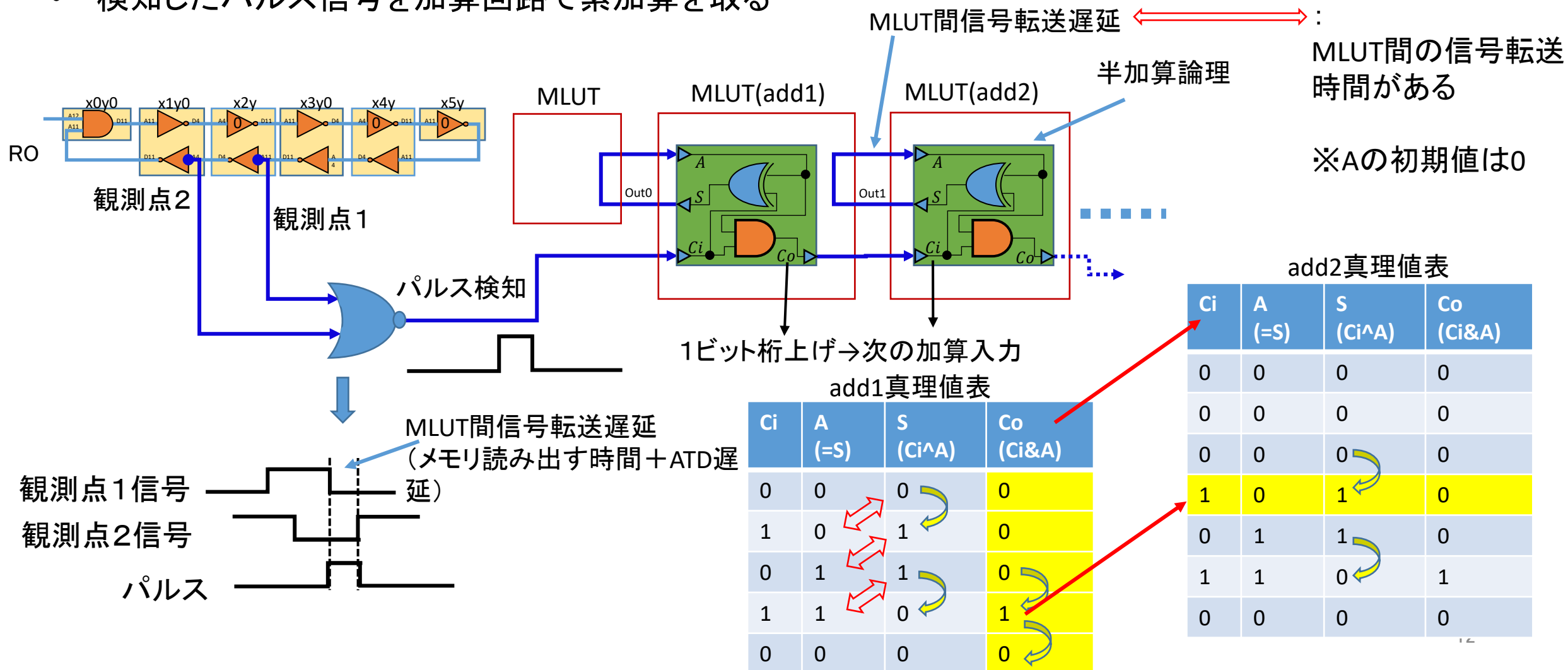
- ❖ 問題：従来のカウンターを使う場合
 - ❖ FFが必要→MLUTでは構築困難
 - ❖ 同期メモリをFFとして使えるが
 - ❖ クロック周期は微小な遅延(ROパルス)をカバーしてしまう
 - ❖ そもそも、clkがアクセスできない
 - ❖ ROより多くのMLUTリソースが必要
 - ❖ 配置配線が大変



MRLDにおけるROのカウンター設計(2/2)

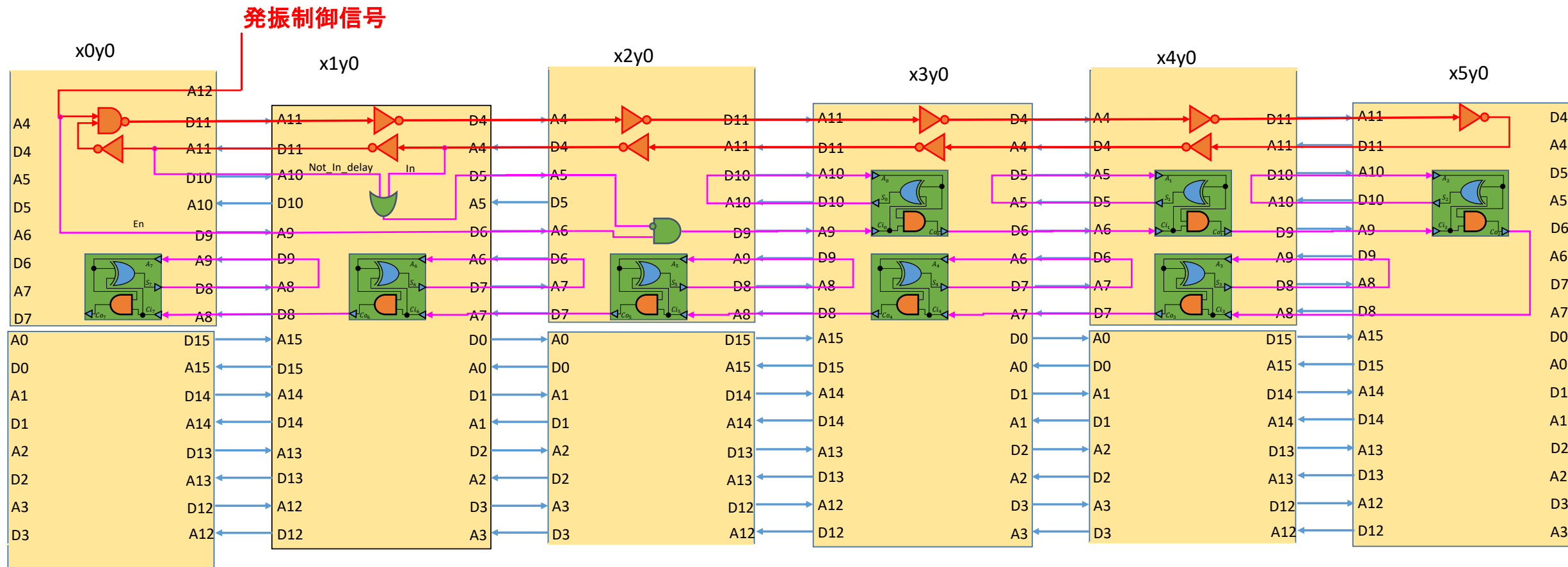
• 提案するカウンター

- N個の1bit加算器をシリアルにつながる
- ROの異なる二つの観測点の信号をNOR論理を通してパルスを検知する
- 検知したパルス信号を加算回路で累加算を取る



提案したROカウンターの配置

- 8bitカウンタ例

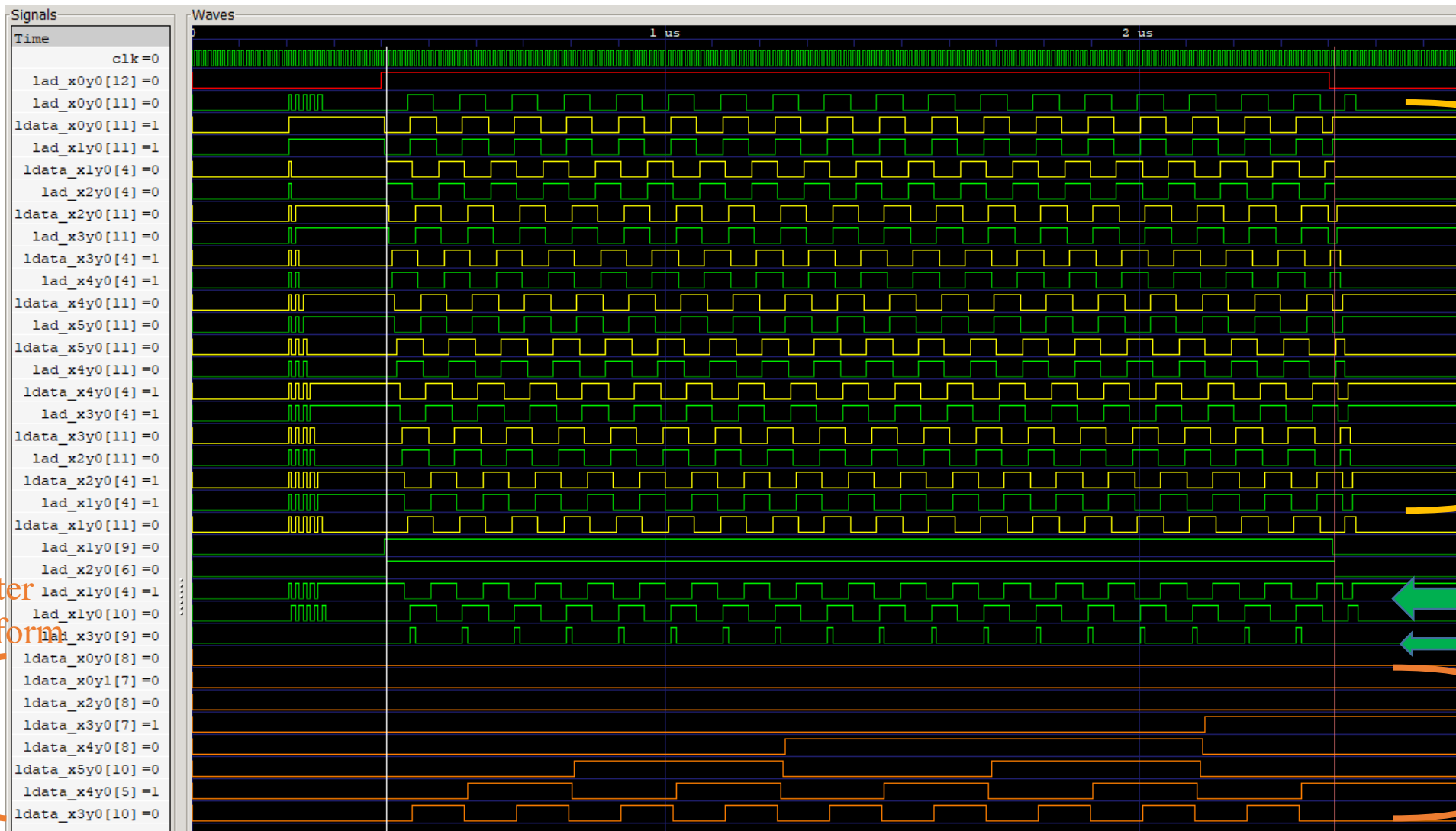


提案したカウンタ回路は構造が簡単であるため、ROと同じMLUTに構築
することができる→LUTリソースの節約には有利

実験結果

- ROインバータ数 $N = 10$ をMULTsに配置し、発振期間 $T = 2\mu s$, LUT読出し時間 $= 5.5ns$ を設定する
- 波形から、ROカウンター計測数(周波数 F) $= 18$
- 結果: 検測遅延($5.6ns$) \approx 設定したLUT読出し時間($5.5ns$)

$$(\text{検測遅延}) Meas. Delay = \frac{T}{2 \times N \times F} = \frac{2000ns}{2 \times 10 \times 18} = 5.6ns$$



まとめ

- 本研究では, MRLDデバイスの構成要素であるMLUTでの経年劣化による遅延時間を計測するために, MRLDデバイスの構造に適するリングオシレータ発振回路の設計及び実装方法を提案した.
- 提案法はMRLDデバイスでのMLUT全体のグローバル遅延およびMLUT単体のローカル遅延をそれぞれ計測することが可能である.
- 実験として実行した論理シミュレーションの結果から, 提案法はMLUTの遅延を測ることが確認できた.

ご清聴ありがとうございました