

## 第 5 章



# 锁存器与触发器

本章首先讲述基本锁存器的电路结构以及功能描述方法,然后重点介绍门控锁存器、脉冲触发器和边沿触发器的电路结构、逻辑功能与动作特点,最后简要介绍锁存器和触发器的动态特性、过程赋值语句以及锁存器与触发器描述。

锁存器和触发器是数字电路中基本的存储电路,两者共同的特点是能够存储 1 位二值信息。锁存器是构建触发器的基础,而触发器是构成时序逻辑电路的基石。

按照逻辑功能进行划分,锁存器/触发器分为 SR 锁存器/触发器、D 锁存器/触发器和 JK 触发器。根据动作特点进行划分,锁存器/触发器又可分为门控锁存器、脉冲触发器和边沿触发器三种类型。



第 31 集  
微课视频

## 5.1 基本锁存器及其功能描述方法

数字电路基于二值逻辑,只有 0 和 1 两种取值。相应地,存储电路应该具有两个稳定的状态,一个状态表示 0,另一个状态表示 1。

如果将两个反相器交叉耦合,如图 5-1(a)所示,则构成了最基本的存储电路,称为双稳态电路(bi-stable circuit)。所谓交叉耦合,是指将第一个门电路的输出端连接到第二个门电路的输入端,再将第二个门电路的输出端反馈到第一个门电路的输入端。

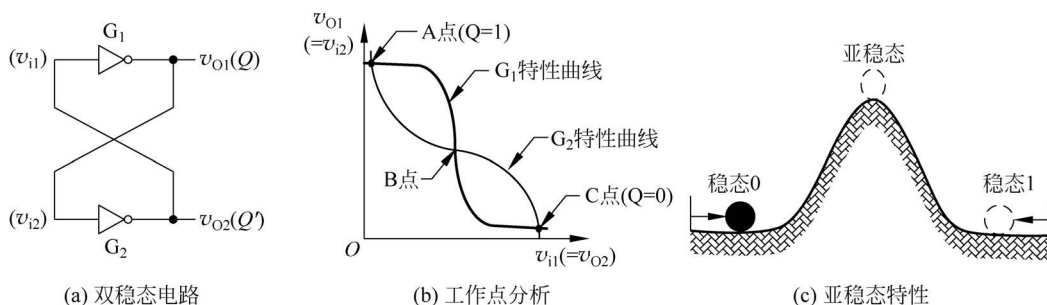


图 5-1 双稳态电路及其特性曲线

从数学的角度分析双稳态电路的特性时,需要将两个反相器  $G_1$  和  $G_2$  的电压传输特性曲线画在同一个坐标系上,如图 5-1(b)所示,其中  $v_{O1} = v_{i2}$ ,  $v_{O2} = v_{i1}$ 。由于双稳态电

路的工作点必须同时满足两个反相器的电压传输特性,因此可以用图解法找出双稳态电路的工作点:两个稳态工作点  $A(v_{O1}=1, v_{O2}=0)$  和  $C(v_{O1}=0, v_{O2}=1)$  和一个亚稳态点  $B$ 。

若反相器  $G_1$  和  $G_2$  的特性完全相同,那么双稳态电路处于亚稳态点  $B$  时  $v_{O1}=v_{O2}=(1/2)V_{DD}$ 。由于非门的输出与输入为反相关系,而且交叉耦合为正反馈连接,因此,当双稳态电路处于  $B$  点时,由于电路内部噪声和外部干扰的影响不可能长期保持,必然会转换到  $A$  点或者  $C$  点。所以,亚稳态点不是稳定的工作点。

双稳态电路工作点的特性可以用图 5-1(c) 所示的“球和山”模型来说明。两边的谷底分别是两个稳态的工作点,山峰是亚稳态点。当球处于某个稳态工作点时,需要施加外力才能越过亚稳态点到达另一个稳态工作点;但是,当球处于亚稳态点时,由于自身重力和外部因素的影响不能长期保持,必然会跌落到某个稳态的工作点。综上分析,双稳态电路只有两个稳态的工作点  $A$  和  $C$ 。

若将反相器  $G_1$  的输出  $v_{O1}$  命名为  $Q$ ,则  $G_2$  的输出  $v_{O2}$  为  $Q'$ ,并且定义  $Q=0, Q'=1$  时表示存储数据为 0,定义  $Q=1, Q'=0$  时表示存储数据为 1,则  $A$  点表示存储数据为 1,而  $C$  点表示存储数据为 0。

双稳态电路的存储数据由交叉耦合的瞬间门电路的状态决定的,并且能够永久地保持下去。由于双稳态电路没有输入信号,所以在链路打开之前无法改变其存储数据。

如果将双稳态电路中的两个反相器扩展为两个二输入与非门/或非门,就构成了两种基本的锁存器(latch),如图 5-2 所示。其中,与非门/或非门的一个输入端用于交叉耦合连接,另一个输入端则外接锁存器的输入信号。通过两个输入信号的作用就可以设置锁存器的状态。

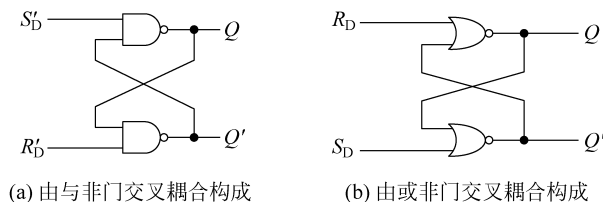


图 5-2 两种基本 SR 锁存器

为了便于分析,将两个与非门交叉耦合构成的锁存器与  $Q$  相对应的输入端命名为  $S_D'$ ,与  $Q'$  相对应的输入端命名为  $R_D'$ ,如图 5-2(a) 所示,其中非号表示输入端低电平有效。将两个或非门交叉耦合构成的锁存器与  $Q$  相对应的输入端命名为  $R_D$ ,与  $Q'$  相对应的输入端命名为  $S_D$ ,如图 5-2(b) 所示,其中两个输入端高电平有效。符号中的下标  $D$  表示输入信号不受其他信号的控制,是直接(directly)作用的。

为了能够用数学方法描述锁存器在输入信号作用下状态的转换关系,将输入信号作用前锁存器所处的状态定义为现态(current state),用  $Q$  表示;将输入信号作用后锁存器所处的状态定义为次态(next state),用  $Q^*$  表示。

首先对两个与非门交叉耦合构成的锁存器进行分析。两个输入信号  $S_D'$  和  $R_D'$  共有 4 种取值组合。

(1) 当  $S'_D R'_D = 11$  时, 锁存器相当于双稳态电路, 维持原来的状态不变;

(2) 当  $S'_D R'_D = 01$  时, 经分析可知  $Q^* = 1$ , 即将锁存器的次态置为 1;

(3) 当  $S'_D R'_D = 10$  时, 经分析可知  $Q^* = 0$ , 即将锁存器的次态置为 0。

由于  $S'_D$  有效时能将锁存器的状态置 1,  $R'_D$  有效时能将锁存器的状态置 0, 所以称  $S'_D$  为置 1(set)输入端, 称  $R'_D$  为置 0(reset)输入端。相应地, 将这种锁存器称为 SR 锁存器(set-reset latch)。

(4) 当  $S'_D R'_D = 00$  时, 经分析可知这时  $Q^*$  和  $Q^{*'}$  同时为 1。这个状态既不是定义的 0 状态也不是 1 状态, 而是一种错误的状态! 因此, 对于两个与非门交叉耦合构成的 SR 锁存器, 在正常应用时, 不允许  $S'_D$  和  $R'_D$  同时有效!

其次对两个或非门交叉耦合构成的锁存器进行分析。两个输入信号  $S_D$  和  $R_D$  同样有 4 种取值组合。

(1) 当  $S_D R_D = 00$  时, 锁存器相当于双稳态电路,  $Q^* = Q$  (保持功能);

(2) 当  $S_D R_D = 10$  时, 经分析可知  $Q^* = 1$ , 即将锁存器的次态置为 1 (置 1 功能);

(3) 当  $S_D R_D = 01$  时, 经分析可知  $Q^* = 0$ , 即将锁存器的次态置为 0 (置 0 功能);

(4) 当  $S_D R_D = 11$  时,  $Q^*$  和  $Q^{*'}$  同时为 0, 这个状态既不是定义的 0 状态也不是 1 状态, 同样是错误的状态, 所以对于两个或非门交叉耦合构成的 SR 锁存器, 在正常应用时, 不允许  $S_D$  和  $R_D$  同时有效!

两种 SR 锁存器的图形符号如图 5-3 所示, 其中输入符号端口框外的“o”表示该端口为低电平有效; 无“o”则默认输入端口高电平有效。这两种 SR 锁存器是构成门控锁存器和触发器的基础, 习惯上称为基本 SR 锁存器。

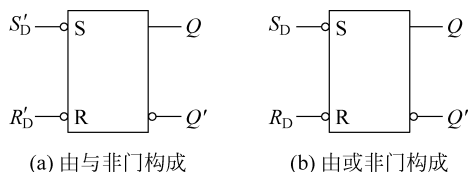


图 5-3 基本 SR 锁存器图形符号

从基本 SR 锁存器的分析过程可以看出, 锁存器的次态不但和输入信号有关, 而且和现态有关, 所以锁存器的次态是输入信号和现态的逻辑函数, 即

$$Q^* = F(S'_D, R'_D, Q) \quad (\text{对于由两个与非门交叉耦合构成的锁存器})$$

$$Q^* = F(S_D, R_D, Q) \quad (\text{对于由两个或非门交叉耦合构成的锁存器})$$

既然锁存器的次态是逻辑函数, 那么就可以用逻辑函数的表示方法——真值表(特性表)、函数表达式(特性方程)、卡诺图和波形图表示。又因锁存器在输入信号的作用下, 在 0 和 1 两个状态之间变化, 所以其功能还可以用状态转换图和激励表表示。

#### (1) 特性表。

特性表即真值表, 是以表的形式描述存储单元的次态与输入信号和现态之间的关系。基本 SR 锁存器的特性如表 5-1 所示。在正常应用的情况下, 由于不允许两个输入信号同时有效, 所以同时有效的输入信号取值组合可作为约束项处理。

表 5-1 基本 SR 锁存器特性表

由与非门构成的基本 SR 锁存器				由或非门构成的基本 SR 锁存器			
$S'_D$	$R'_D$	$Q$	$Q^*$	$S_D$	$R_D$	$Q$	$Q^*$
1	1	0	0	0	0	0	0
1	1	1	1	0	0	1	1
0	1	0	1	1	0	0	1
0	1	1	1	1	0	1	1
1	0	0	0	0	1	0	0
1	0	1	0	0	1	1	0
0	0	0	×	1	1	0	×
0	0	1	×	1	1	1	×

(2) 特性方程。

由特性表画出基本 SR 锁存器的卡诺图,再进行化简即可得到基本 SR 锁存器次态的函数表达式,习惯于称之为特性方程。

由与非门交叉耦合构成的基本 SR 锁存器的卡诺图如图 5-4(a)所示,化简可得特性方程为

$$Q^* = (S'_D)' + R'_D \cdot Q = S_D + R'_D \cdot Q$$

其中两个输入信号  $S'_D$  和  $R'_D$  应满足  $S'_D + R'_D = 1$  的约束条件。

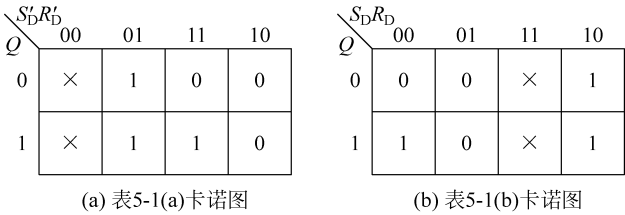


图 5-4 基本 SR 锁存器卡诺图

由或非门交叉耦合构成的锁存器的卡诺图如图 5-4(b)所示,化简可得特性方程为

$$Q^* = S_D + R'_D \cdot Q$$

其中两个输入信号  $S_D$  和  $R_D$  应满足  $S_D R_D = 0$  的约束条件。

从以上两个特性方程可以看出,虽然由与非门交叉耦合构成的基本 SR 锁存器和由或非门交叉耦合构成的基本 SR 锁存器电路形式不同,但其特性方程相同,而且其约束条件也是等价的。因此,以后不用再区分基本 SR 锁存器具体的电路形式,可以直接应用其特性方程进行分析。

(3) 状态转换图与激励表。

将存储单元两个状态之间的转换关系及其所需要的输入条件用图形的方式表示称为状态转换图(简称状态图),用表的形式表示则称为激励表。

基本 SR 锁存器的状态转换图如图 5-5 所示,激励表如表 5-2 所示。从状态图可以看出,基本 SR 锁存器根据输入信号的不同组合既可以将状态设置为 0,也可以将状态设置为 1,并且还能够保持原来的状态不变。

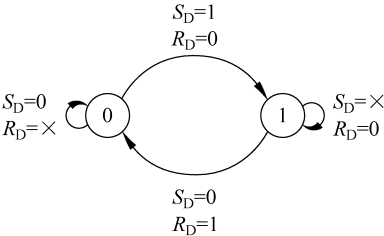


图 5-5 基本 SR 锁存器状态转换图

表 5-2 基本 SR 锁存器激励表

$Q$	$Q^*$	$S_D$	$R_D$
0	0	0	$\times$
0	1	1	0
1	0	0	1
1	1	$\times$	0

【例 5-1】 分析图 5-6(a)所示的基本 SR 锁存器在图 5-6(b)所示输入信号  $S'_D$  和  $R'_D$  的作用下其输出状态。画出输出  $Q$  和  $Q'$  的电压波形。

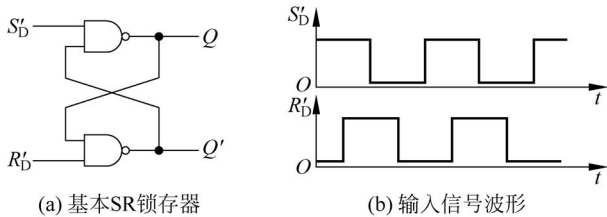


图 5-6 例 5-1 图

分析 基本 SR 锁存器的输出状态是由输入信号  $S'_D$  和  $R'_D$  直接决定的,因此需要根据  $S'_D$  和  $R'_D$  的跳变时刻划分为不同的时间段,如图 5-7 所示。分析过程如表 5-3 所示,输出波形如图 5-7 所示。

表 5-3 例 5-1 分析过程

时间段	$S'_D$	$R'_D$	$Q$	$Q'$	功能	时间段	$S'_D$	$R'_D$	$Q$	$Q'$	功能
$0 \sim t_1$	1	0	0	1	置 0	$t_4 \sim t_5$	1	0	0	1	置 0
$t_1 \sim t_2$	1	1	0	1	保持	$t_5 \sim t_6$	1	1	0	1	保持
$t_2 \sim t_3$	0	1	1	0	置 1	$t_6 \sim t_7$	0	1	1	0	置 1
$t_3 \sim t_4$	0	0	1	1	错误	$t_7 \sim t_8$	0	0	1	1	错误

思考与练习

5-1 基本 SR 锁存器有哪几种功能? 分别说明其输入条件。

5-2 应用基本 SR 锁存器时如果不遵守  $S_D R_D = 0$  的约束条件,会出现什么问题?

基本 SR 锁存器除了能够存储 1 位数据外,还可以应用其保持功能实现开关和按键消抖。

对于如图 5-8(a)所示的基本开关电路,开关切换时在触点接触的瞬間由于簧片的震颤会产生若干不规则的脉冲,如图 5-8(a)所示。假若这些脉冲作用于时序电路有可能会引发逻辑错误,因

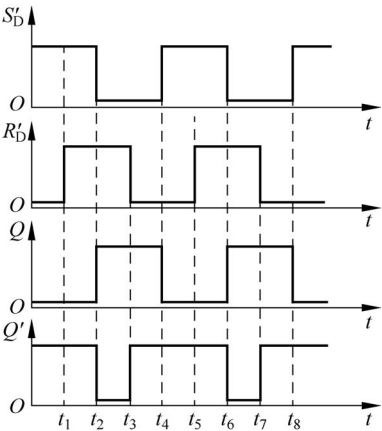


图 5-7 例 5-1 输出波形图

此需要对开关进行消抖,以消除多余的脉冲。

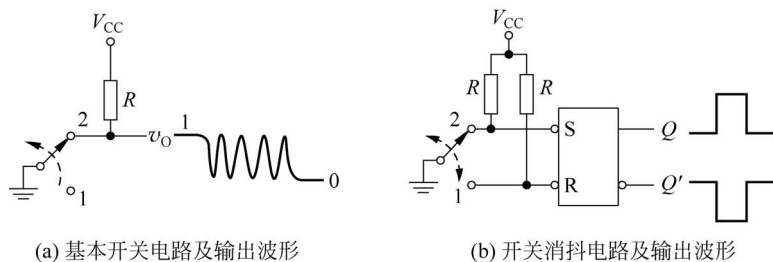


图 5-8 开关电路及消抖原理

应用基本 SR 锁存器实现开关消抖的应用电路如图 5-8(b)所示。具体的工作原理是:

(1) 当开关由位置 1 切换到 2 的瞬间,由于上拉电阻的作用使  $S'_D = 1$ ,簧片的震颤会使  $R'_D$  在 0 和 1 两种状态之间随机变化。当  $S'_D R'_D = 10$  时将基本 SR 锁存器置 0; 当  $S'_D R'_D = 11$  时基本 SR 锁存器则保持。因此,虽然因簧片的震颤会引起  $R'_D$  随机变化,但基本 SR 锁存器的状态被置 0 后能够保持不变。

(2) 当开关由位置 2 切换回 1 的瞬间,由于上拉电阻的作用使  $R'_D = 1$ ,簧片的震颤会使  $S'_D$  在 0 和 1 两种状态之间随机变化。当  $S'_D R'_D = 01$  时将基本 SR 锁存器置 1; 当  $S'_D R'_D = 11$  时基本 SR 锁存器则保持。因此,虽然因簧片的震颤会引起  $S'_D$  随机变化,但基本 SR 锁存器的状态被置 1 后能够保持不变。

综上分析,应用基本 SR 锁存器的保持功能能够消除开关在切换瞬间因簧片震颤产生的多余脉冲,从而提高开关电路工作的可靠性。对于按键电路,也是同样的道理。



第 32 集  
微课视频

## 5.2 门控锁存器

基本 SR 锁存器的输入信号不受其他信号的控制,是直接作用的,输入信号的变化实时决定锁存器的状态变化。当数字系统中有多锁存器时,我们希望能够协调这些锁存器的动作,使它们能够同步工作,就像阅兵中的徒步方队(如图 5-9 所示)一样,这就需要给锁存器引入控制信号。



图 5-9 阅兵中的徒步方队



协调锁存器动作的控制信号称为时钟(clock)或时钟脉冲,用 CLK 表示。为了便于分析,将时钟信号的一个周期划分为低电平、上升沿、高电平和下降沿 4 个阶段,如图 5-10 所示。

在基本 SR 锁存器基础上,通过与非门  $G_1$  和  $G_2$  组成的门控电路引入时钟的锁存器称为门控 SR 锁存器(gated set-reset latch),如图 5-11 所示。由于输入信号  $S$  和  $R$  受 CLK 的控制,不再是直接起作用的,所以没有下标 D。

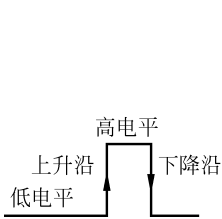


图 5-10 时钟脉冲

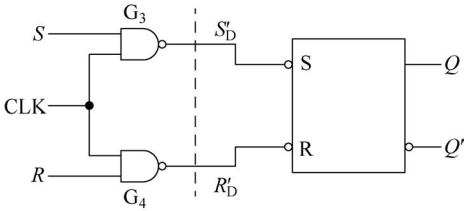


图 5-11 门控 SR 锁存器

下面对门控 SR 锁存器的工作过程进行分析。

(1) CLK 为低电平时。

当  $CLK=0$  时,  $S_D'=(S \cdot CLK)'=1$ 、 $R_D'=(R \cdot CLK)'=1$ ,因此,锁存器在 CLK 为低电平期间不受输入信号  $S$  和  $R$  的控制,将保持原来的状态(可以理解为门控 SR 锁存器不工作)。

(2) CLK 为高电平时。

当  $CLK=1$  时,  $S_D'=(S \cdot CLK)'=S'$ 、 $R_D'=(R \cdot CLK)'=R'$ ,这时  $S$  和  $R$  的变化会引起基本 SR 锁存器输入信号  $S_D'$  和  $R_D'$  的变化,门控 SR 锁存器将根据输入信号  $S$  和  $R$  的取值组合实现其相应的功能。

门控 SR 锁存器的特性方程可以从基本 SR 锁存器的特性方程中推导出来。因为 CLK 为高电平时,  $S_D'=S'$ 、 $R_D'=R'$ ,代入基本 SR 锁存器的特性方程即可得到门控 SR 锁存器的特性方程为

$$Q^* = S + R' \cdot Q$$

上式在  $CLK=1$  时成立。

门控 SR 锁存器的状态转换图和图形符号如图 5-12 所示,其中 C1 为时钟输入端。时钟 C1 框外无“o”时表示门控 SR 锁存器在高电平期间工作,有“o”则表示门控 SR 锁存器在低电平期间工作,同时称锁存器工作期间的时钟电平为有效电平。

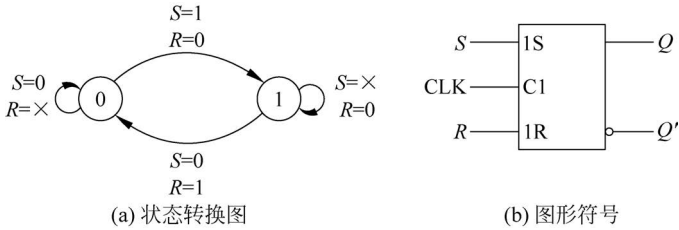


图 5-12 门控 SR 锁存器状态转换图及图形符号

门控 SR 锁存器和基本 SR 锁存器一样,具有置 0、置 1 和保持三种功能。由于门控 SR 锁存器在时钟脉冲的有效电平期间,两个输入信号同时有效时仍然会导致门控 SR 锁存器

的状态错误。因此,门控 SR 锁存器同样需要遵守  $SR=0$  的约束条件。

为了消除约束,方便应用,需要对门控 SR 锁存器进行改进。**第一种改进思路是使  $R$  和  $S$  互为相反**,即取  $R=S'$ ,如图 5-13 所示,这样门控 SR 锁存器的输入信号  $S$  和  $R$  始终满足  $SR=0$  的约束条件。但是,这种改进方法虽然消除了约束,却改变了锁存器的功能,因此这种锁存器不再是门控 SR 锁存器,而称为门控 D 锁存器。

由于  $S=D$ 、 $R=D'$ ,将  $S$  和  $R$  代入门控 SR 锁存器的特性方程即可得到门控 D 锁存器的特性方程,即

$$Q^* = S + RQ' = D + (D')' \cdot Q = D + D \cdot Q = D$$

上式在  $CLK=1$  时成立。

由门控 D 锁存器的特性方程可以推出:当 CLK 为高电平时,若  $D=0$  则  $Q^*=0$ ;若  $D=1$  则  $Q^*=1$ ,因此**门控 D 锁存器只具有置 0 和置 1 两种功能**,其状态转换图和图形符号如图 5-14 所示。

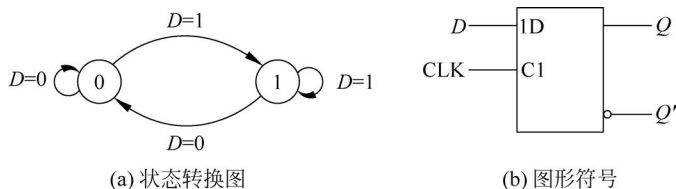


图 5-14 门控 D 锁存器的状态转换图及图形符号

**【例 5-2】** 对于图 5-13 所示的门控 D 锁存器,CLK 和输入信号  $D$  的波形如图 5-15 所示。分析在 CLK 和输入信号  $D$  的作用下门控 D 锁存器状态  $Q$  和  $Q'$  的波形。假设门控 D 锁存器的初始状态为 0。

**分析** 图 5-13 所示的门控 D 锁存器在 CLK 为高电平期间工作,而且输出是透明的,但在时钟为低电平期间不工作,保持原来的状态。因此,门控 D 锁存器的输出  $Q$  和  $Q'$  的波形如图 5-16 所示。

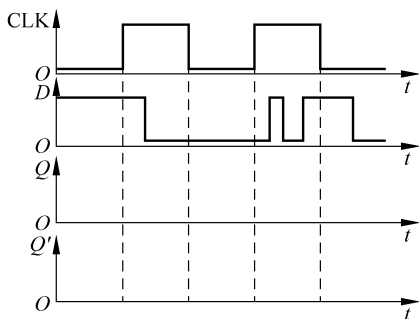


图 5-15 例 5-2 图

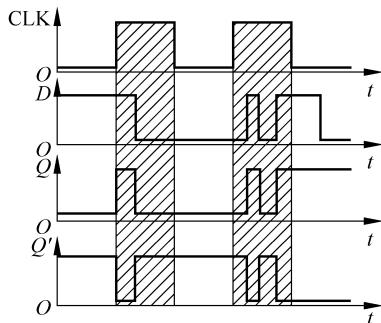


图 5-16 例 5-2 输出波形图

由于在时钟的有效电平期间,门控 D 锁存器的输出始终跟随输入变化,因此称门控 D 锁存器为**透明锁存器**(transparent latch)。



## 思考与练习

5-3 门控锁存器有哪几种类型？各具有什么功能？

## 5.3 脉冲触发器

门控锁存器在时钟的有效电平期间始终处于工作状态,输入信号的变化随时会引起门控锁存器输出状态的变化,因此门控锁存器受到干扰而产生错误的概率大。另外,由于门控D锁存器的输出是透明的,无法构成移位寄存器和计数器这两类主要的时序逻辑器件,因此,门控锁存器在应用上有很大的局限性。

为了提高可靠性,希望存储电路在一个时钟周期内只在脉冲的边沿进行一次状态更新,以避免门控锁存器那样在时钟的有效电平期间因干扰可能多次改变状态的情况。同时,将只在时钟脉冲边沿进行状态更新的存储电路称为触发器(flip-flop,FF)。相应地,将在时钟有效电平期间工作的存储电路称为锁存器。

触发器的实现方法之一是采用主从式结构。SR触发器的结构框图如图5-17所示,具体的做法是将两级门控SR锁存器级联,第一级称为主(master)锁存器, $CLK_1 = CLK$ ;第二级称为从(slave)锁存器, $CLK_2 = CLK'$ 。

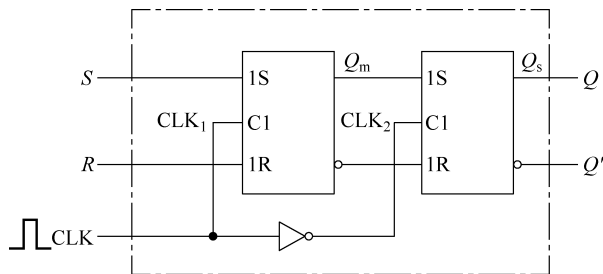


图 5-17 主从式 SR 触发器

下面对主从式SR触发器的工作过程进行分析。

(1) 在CLK低电平期间。

由于 $CLK=0$ ,所以 $CLK_1=0$ 、 $CLK_2=1$ ,因此主锁存器保持,从锁存器工作。

若主锁存器的状态 $Q_m=1$ ,分析可知从锁存器的状态 $Q_s=1$ ,若主锁存器的状态 $Q_m=0$ 分析可知 $Q_s=0$ 。因此,在CLK低电平期间,从锁存器只起到状态传递的作用,主从式SR触发器的状态Q与主锁存器状态 $Q_m$ 相同,即 $Q=Q_m$ 。

(2) 当CLK上升沿到来时。

当CLK上升沿到来时,主锁存器开始接收输入端S和R信号,根据特性方程更新 $Q_m$ 的状态。同时,从锁存器由工作转为保持。因此,主从式SR触发器保持CLK为低电平期间的状态不变。

(3) 在CLK高电平期间。

由于 $CLK=1$ ,所以 $CLK_1=1$ 、 $CLK_2=0$ ,因此主锁存器仍处于工作状态,根据特性方程更新 $Q_m$ 的状态。从锁存器依然保持。所以,主从式SR触发器的状态仍然保持不变。



第 33 集  
微课视频

(4) 当 CLK 下降沿到来时。

当 CLK 下降沿到来时,主锁存器将由工作转为保持,锁定了 CLK 下降到瞬间主锁存器的状态。从锁存器开始工作,将主锁存器的状态  $Q_m$  传递给从锁存器,因此,触发器的状态是在 CLK 下降沿到来瞬间进行更新,而且状态  $Q$  由 CLK 下降沿到来瞬间输入信号  $S$ 、 $R$  和  $Q_m$  决定的。

由上述分析可知,当 CLK 的上升沿到来时,主从式 SR 触发器已经开始工作了,但需要等到 CLK 的下降沿到来时才进行状态更新,所以主从式 SR 触发器完成一次状态更新需要一个完整的时钟脉冲,因此称为脉冲 SR 触发器。同时,把这种 CLK 上升沿到来时主锁存器已经开始工作,到 CLK 下降沿才能进行状态更新的动作特点称为延迟输出,用符号“ $\neg$ ”表示。脉冲 SR 触发器的图形符号如图 5-18 所示。

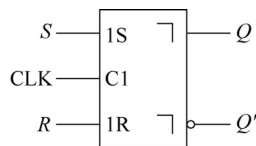


图 5-18 脉冲 SR 触发器  
图形符号

由于脉冲 SR 触发器中的主锁存器在时钟脉冲为高电平期间处于工作状态,因干扰影响仍可能发生误动作,所以脉冲 SR 触发器的抗干扰能力还没有得到有效的改善。另外,脉冲 SR 触发器对输入信号  $S$  和  $R$  仍有约束,即要求  $S$  和  $R$  不能同时有效。

为了消除脉冲 SR 触发器对输入信号的约束,第二种改进思路是利用触发器的状态  $Q$  和  $Q'$  互为相反的特点来满足约束条件。具体的做法是,将脉冲 SR 触发器的状态  $Q$  反馈到  $R$  端与  $K$  信号相与,将  $Q'$  反馈到  $S$  端与  $J$  信号相与,如图 5-19 所示。由于  $S \cdot R = J \cdot Q' \cdot K \cdot Q = 0$  始终满足约束条件,所以对触发器的输入信号  $J$ 、 $K$  没有限制。但是,这种改进方法同样改变了触发器的逻辑功能,所以这种触发器不再是 SR 触发器,而称为脉冲 JK 触发器。

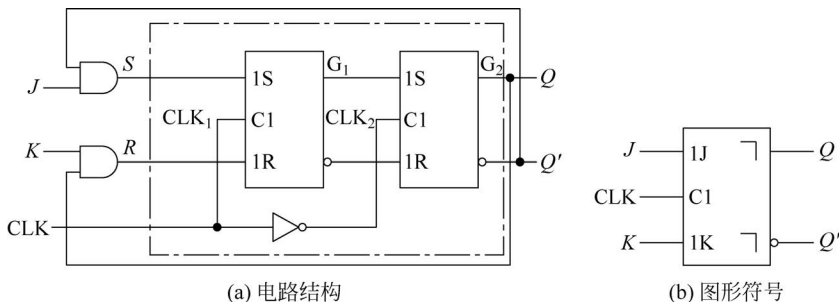


图 5-19 脉冲 JK 触发器

对于脉冲 JK 触发器,将  $S = J \cdot Q'$ 、 $R = K \cdot Q$  代入 SR 触发器的特性方程即可推导出脉冲 JK 触发器的特性方程,即

$$\begin{aligned} Q^* &= S + R' \cdot Q \\ &= J \cdot Q' + (K \cdot Q)' \cdot Q \\ &= J \cdot Q' + (K' + Q') \cdot Q \\ &= J \cdot Q' + K' \cdot Q \end{aligned}$$

将  $J$ 、 $K$  的四种取值组合代入上述特性方程中即可得到表 5-4 所示的脉冲 JK 触发器的特性表。

从特性表可以看出,脉冲 JK 触发器除了具有置 0、置 1 和保持三种功能外,还增加了一种新功能:翻转(toggle)功能,即当时钟脉冲下降沿到来时,触发器的次态与现态相反。因此,脉冲 JK 触发器的状态转换图如图 5-20 所示。

表 5-4 脉冲 JK 触发器特性表

J	K	$Q^*$	功 能
0	0	$Q$	保持
0	1	0	置 0
1	0	1	置 1
1	1	$Q'$	翻转

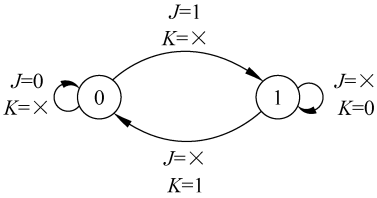


图 5-20 脉冲 JK 触发器状态转换图

由于脉冲 JK 触发器将状态  $Q$  反馈到  $K$  端、将  $Q'$  反馈到  $J$  端,所以  $Q=0$  时将  $K$  信号封锁了(相当于  $K=0$ ),在  $J$  信号的作用下只能将脉冲 JK 触发器置 1 或者保持,所以脉冲 JK 触发器一旦被置 1 后就不可能再返回到 0 状态。同理, $Q=1$  时将  $J$  信号封锁了(相当于  $J=0$ ),在  $K$  信号的作用下只能将脉冲 JK 触发器置 0 或者保持,所以脉冲 JK 触发器被置 0 后也不可能再返回到 1 状态。因此,脉冲 JK 触发器存在一次翻转现象,即脉冲 JK 触发器在每个脉冲周期内只能翻转一次,当脉冲 JK 触发器受到干扰发生误翻转后就不可能再返回原来的状态了。

**【例 5-3】** 对于图 5-19 所示的脉冲 JK 触发器,已知时钟脉冲 CLK、输入信号  $J$  和  $K$  的波形如图 5-21 所示。分析脉冲 JK 触发器的工作过程,画出状态  $Q$  和  $Q'$  的波形。假设脉冲 JK 触发器的初始状态为 0。

**分析** (1) 在第一个时钟脉冲高电平期间,  $JK=10$ , 因此内部主锁存器被置 1, 所以当 CLK 下降沿到来时脉冲 JK 触发器的状态更新为 1。

(2) 在第二个时钟脉冲高电平期间,  $K$  信号因干扰发生了变化。起初  $JK=00$ , 主锁存器保持 1 状态, 后  $K$  信号因干扰而跳变为 1, 瞬间使  $JK=01$ , 因此主锁存器的状态被置为 0。由于脉冲 JK 触发器存在一次翻转现象, 所以主锁存器置 0 后不可能再返回 1 状态, 所以当时钟脉冲下降沿到来时, 脉冲 JK 触发器状态更新为 0。

(3) 在第三个时钟脉冲高电平期间,  $J$  信号有变化。起初  $JK=11$ , 主锁存器翻转为 1。由于脉冲 JK 触发器存在一次翻转现象, 所以主锁存器在第三个高电平期间不可能再次发生翻转, 因此当时钟脉冲下降沿到来时, 脉冲 JK 触发器状态更新为 1。

(4) 在第四个时钟脉冲高电平期间, 因  $JK=00$ , 故主锁存器的状态保持不变, 所以当时钟脉冲下降沿到来时, 脉冲 JK 触发器状态保持 1 不变。

根据上述分析, 画出脉冲 JK 触发器的状态  $Q$  和  $Q'$  的波形如图 5-22 所示。

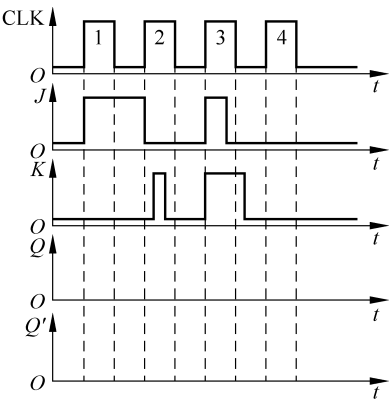


图 5-21 例 5-3 图

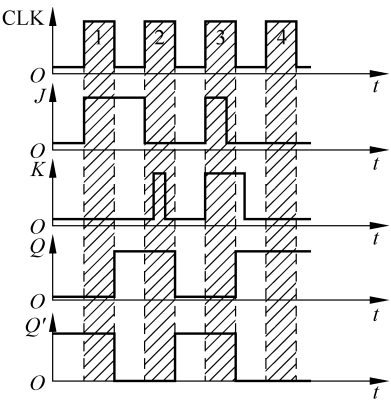


图 5-22 例 5-3 输出波形图

由于脉冲 JK 触发器存在一次翻转现象,所以要求输入信号在时钟脉冲为高电平期间保持稳定,否则因干扰可能会发生错误。目前,脉冲触发器已经淘汰,被性能更优的边沿触发器所取代。但在进行触发器原理分析时,脉冲触发器有着承上启下的作用。

### 思考与练习

5-4 脉冲 JK 触发器为什么存在一次翻转现象? 试分析说明。

5-5 脉冲 SR 触发器是否存在一次翻转现象? 试分析说明。

## 5.4 边沿触发器

边沿触发器只在时钟脉冲 CLK 的边沿(上升沿或者下降沿)工作,其余时间均不工作。由于边沿触发器工作的时间很短,所以受到干扰的概率很小,因此边沿触发器具有很强的抗干扰能力。

边沿 D 触发器的原理电路如图 5-23 所示,由两级门控 D 锁存器级联构成,外部时钟脉冲 CLK 经过两级反相器分配给门控 D 锁存器作为时钟脉冲 CLK。

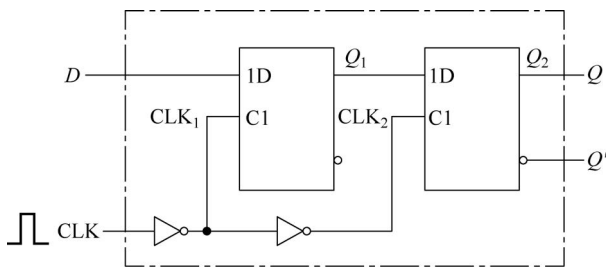


图 5-23 边沿 D 触发器原理电路

下面对边沿 D 触发器的工作过程进行分析。

(1) 在 CLK 低电平期间。

当  $CLK=0$  时,  $CLK_1=1$ 、 $CLK_2=0$ , 所以第一级锁存器工作, 其状态  $Q_1$  随输入信号  $D$  变化( $Q_1=D$ ), 第二级锁存器保持原来的状态(上一个周期 CLK 作用后的状态)不变。

(2) 当 CLK 上升沿到来时。

当 CLK 的上升沿到来时,  $CLK_1$  由高电平跳变为低电平, 第一级锁存器由工作转为保持,  $Q_1$  锁定了上升沿到来瞬间输入信号  $D$  的值。与此同时,  $CLK_2$  由低电平跳变为高电平, 第二级锁存器开始工作, 其状态  $Q$  跟随  $Q_1$  变化, 因此  $Q=Q_1=D$ , 其中  $D$  为时钟 CLK 上升沿到来瞬间输入信号的值。

(3) 在 CLK 高电平期间。

当  $CLK=1$  时,  $CLK_1=0$ 、 $CLK_2=1$ , 所以第一级锁存器保持、第二级锁存器跟随, 此时  $Q=Q_1=D$  保持不变。

(4) 当 CLK 下降沿到来时。

当 CLK 的下降沿到来时,  $CLK_1$  由低电平跳变为高电平, 第一级锁存器工作, 开始接收下一个周期输入信号  $D$  的值。与此同时,  $CLK_2$  由高电平跳变为低电平, 第二级锁存器由工作转为保持, 保持时钟脉冲上升沿到来时输入  $D$  的值不变。



第 34 集  
微课视频

由上述分析过程可知,图 5-23 所示的边沿 D 触发器的次态仅仅取决于时钟脉冲上升沿到达时刻输入信号  $D$  的值,其余时间均保持不变,即上升沿之前和之后输入信号  $D$  的变化对触发器的状态都没有影响。边沿 D 触发器这一特点有效地提高了触发器的抗干扰能力,提高了触发器工作的可靠性。

图 5-23 所示的边沿 D 触发器的图形符号如图 5-24 所示,符号中时钟 C1 框内的“>”表示边沿触发;框外无“o”时表示上升沿触发;有“o”时则表示下降沿触发。

在特性表的时钟脉冲栏,通常用“↑”表示上升沿触发,用“↓”表示下降沿触发。因此,边沿 D 触发器的特性表如表 5-5 所示。

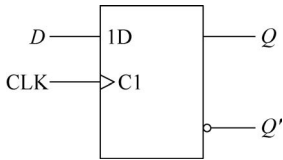


图 5-24 边沿 D 触发器图形符号

表 5-5 边沿 D 触发器特性表

CLK	D	$Q^*$
↑	0	0
↑	1	1
其他	×	$Q_0$

注： $Q_0$  表示原来的状态。

目前 CMOS 边沿 D 触发器广泛应用图 5-25 所示的电路结构,由 CMOS 传输门和反相器组成的两级 D 锁存器构成。具体的工作过程是：

(1) 在 CLK 低电平期间,  $C'=1$ 、 $C=0$ , 传输门  $TG_1$  导通、 $TG_2$  截止,  $Q'_1$  随着输入信号  $D$  变化而变化。与此同时, 传输门  $TG_3$  截止、 $TG_4$  导通, 反相器  $G_3$  和  $G_4$  构成双稳态电路, 锁定了前一次的存储数据。

(2) 当 CLK 的上升沿到来时,  $C'=0$ 、 $C=1$ , 传输门  $TG_1$  截止、 $TG_2$  导通。第一级 D 锁存器锁定了上升沿到来瞬间输入信号  $D$  的数据, 即  $Q'_1=D'$ 。与此同时, 传输门  $TG_3$  导通、 $TG_4$  截止, 双稳态电路链路打开, 触发器的输出  $Q=Q_1$ , 而  $Q_1=D$ 。

(3) 在 CLK 高电平期间, 由于传输门  $TG_1$  截止, 所以触发器的状态  $Q$  保持不变。

(4) 当 CLK 的下降沿到来时, 传输门  $TG_1$  导通、 $TG_2$  截止。第一级锁存器重新打开, 为捕获下一次上升沿到来时  $D$  的数据做准备; 传输门  $TG_3$  截止、 $TG_4$  导通, 双稳态电路锁定刚才上升沿到来时的输入数据  $D$ 。

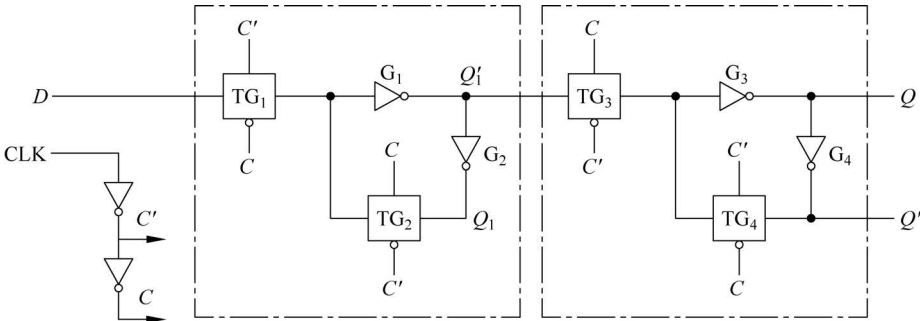


图 5-25 CMOS 边沿 D 触发器的电路结构

综上所述,图 5-25 所示的 CMOS 边沿 D 触发器在时钟的上升沿工作。

**【例 5-4】** 对于图 5-25 所示的 CMOS 边沿 D 触发器,若输入  $D$  和 CLK 的波形如图 5-26 所示,画出输出  $Q$  的波形。假设触发器的初始状态为 0。

**分析** 边沿触发器只在时钟脉冲的边沿工作。对于图 5-25 所示的 CMOS 边沿 D 触发器,其次态仅仅取决于时钟上升沿到来时刻输入信号  $D$  的值:  $D=0$  时  $Q^*=0$ ,  $D=1$  时  $Q^*=1$ 。因此,输出  $Q$  的波形如图 5-27 所示。

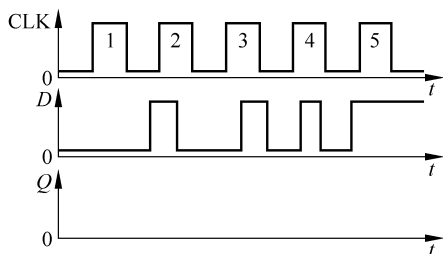


图 5-26 例 5-4 图

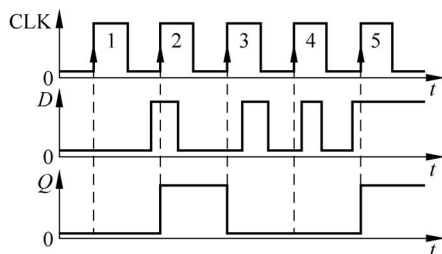


图 5-27 例 5-4 输出波形图

集成 CMOS 边沿 D 触发器为了使用灵活方便,在制造时将图 5-25 中反相器扩展为或非门以引入置 1 端  $S_D$  和置 0 端  $R_D$ ,如图 5-28 所示。由于  $S_D$  和  $R_D$  不受 CLK 的控制,因此称为异步置 1 端和异步置 0 端。相应地,由于输入信号  $D$  受 CLK 控制,只有当 CLK 的上升沿到达时才能触发器置 0 或者置 1,因此为同步输入端。

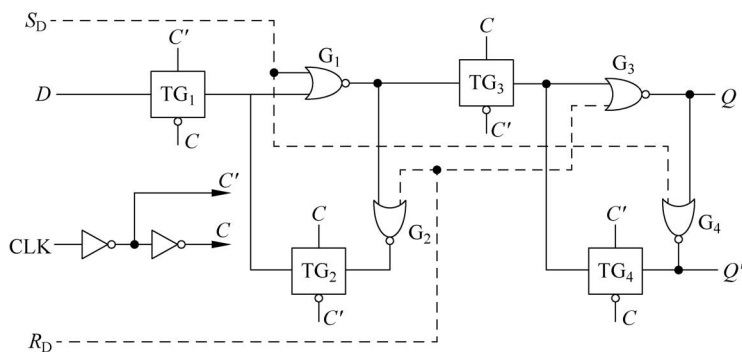


图 5-28 具有异步置 1 和异步置 0 端的 CMOS 边沿 D 触发器电路结构

在边沿 D 触发器的基础上,很容易构造出边沿 JK 触发器。将边沿 D 触发器的特性方程  $Q^*=D$  和边沿 JK 触发器的特性方程  $Q^*=J \cdot Q' + K' \cdot Q$  对比可知,取边沿 D 触发器的输入信号  $D=J \cdot Q' + K' \cdot Q$  时,即可得到边沿 JK 触发器,故实现电路如图 5-29 所示。

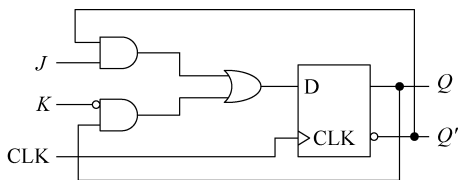


图 5-29 边沿 JK 触发器的实现电路图

**74HC74 为集成双 D 触发器。**除了时钟脉冲 CLK、输入  $D$  和输出  $Q$  及  $Q'$  外,74HC74 还附有异步置 0 端  $R'$  和异步置 1 端  $S'$ ,其内部结构和引脚排列如图 5-30(a)所示,功能如表 5-6(a)所示。

**74HC112 为集成双 JK 触发器。**74HC112 同样附有异步置 0 端  $R'$  和异步置 1 端  $S'$ ,其内部结构和引脚排列如图 5-30(b)所示,功能如表 5-6(b)所示。

74HC74  
器件手册74HC112  
器件手册



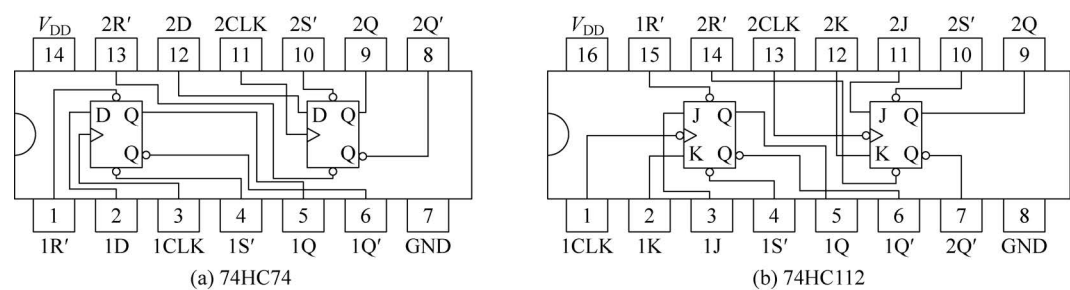


图 5-30 两种常用的边沿触发器

表 5-6 两种常用边沿触发器功能表

74HC74							74HC112							
输入				输出		功能	输入					输出		功能
CLK	S'	R'	D	Q	Q'		CLK	S'	R'	J	K	Q	Q'	
×	0	1	×	1	0	异步置 1	×	0	1	×	×	1	0	异步置 1
×	1	0	×	0	1	异步清 0	×	1	0	×	×	0	1	异步清 0
×	0	0	×	1*	1*	错误状态	×	0	0	×	×	0*	0*	错误状态
↑	1	1	0	0	1	置 0	↓	1	1	0	0	Q <sub>0</sub>	Q <sub>0</sub> '	保持
↑	1	1	1	1	0	置 1	↓	1	1	0	1	0	1	置 0
0	1	1	×	Q <sub>0</sub>	Q <sub>0</sub> '	保持	↓	1	1	1	0	1	0	置 1
							↓	1	1	1	1	Q <sub>0</sub> '	Q <sub>0</sub>	翻转
							0	1	1	×	×	Q <sub>0</sub>	Q <sub>0</sub> '	保持

注：(1) 表中“\*”表示错误的状态；  
(2) 表中“Q<sub>0</sub>”表示原来的状态。

边沿触发器除了具有数据存储功能之外,利用其边沿触发特性,在信号同步、相位检测等方面也有许多典型的应用。例如,对于第 2 章图 2-4(a)所示的门控电路,开关 A 控制着数字序列 B 能否通过与门。但存在的问题是,由于开关闭合和断开的时刻是随机的,如果在序列信号为高电平期间将开关闭合或者断开,就会在输出端得到不完整的脉冲,如图 2-4(b)所示。

应用边沿触发器能够实现门控信号与序列同步,其原理电路如图 5-31(a)所示。当开关信号 S 跳变为高电平时,只有在序列 B 的上升沿到来时门控信号 A 才跳变为 1,与门打开,数字序列通过与门输出;当 S 跳变为低电平时,同样只在序列 B 的上升沿时门控信号 A 才跳变为 0,与门关闭,输出为 0。这样保证了门控信号 A 与序列 B 严格同步,从而在与门的输出端 Y 得到完整的序列脉冲,如图 5-31(b)所示。

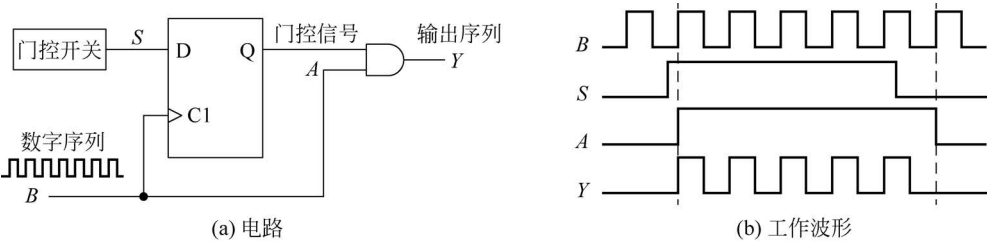


图 5-31 应用边沿触发器实现门控信号与序列同步

另外,应用边沿触发器还可以实现相差检测,原理电路如图 5-32 所示,其中  $u_I$  和  $u_R$  为两路同频的模拟信号。设  $u_I = \sin(xt)$ ,  $u_R = \sin(xt - \Phi)$ , 即两路模拟信号的相差为  $\Phi$ 。首先通过双比较器 LM393 构成的同相过零比较器将模拟信号转换成相应的数字序列  $D_I$  和  $D_R$ , 然后将序列  $D_I$  作为边沿 D 触发器  $FF_1$  的时钟, 将序列  $D_R$  作为边沿 D 触发器  $FF_2$  的时钟。

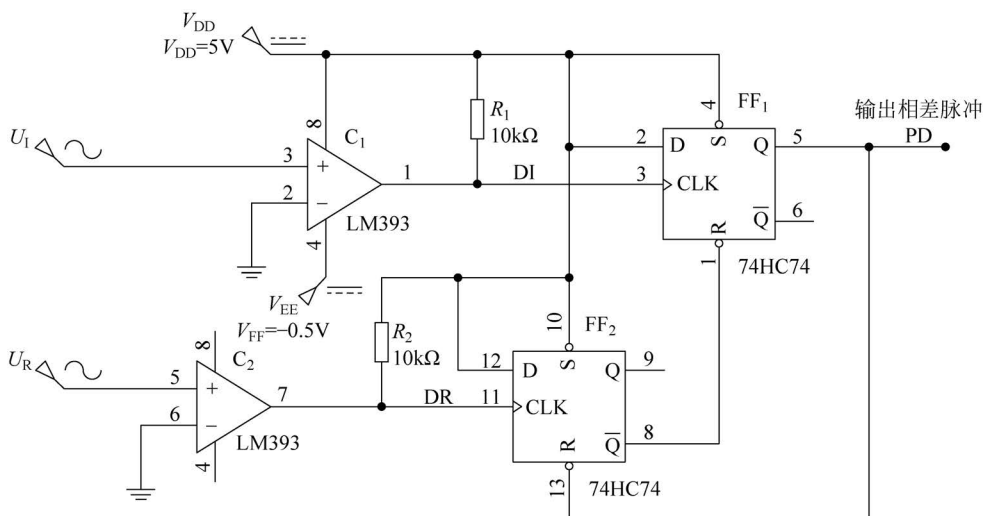


图 5-32 相差检测电路

相差检测电路的工作原理是：当序列  $D_I$  的上升沿到来时将触发器  $FF_1$  输出的相差脉冲 PD 置 1 后，触发器  $FF_2$  的复位信号无效，因此当序列  $D_R$  的上升沿到来时能够将触发器  $FF_2$  置 1，由于  $Q_2' = 0$ ，因此  $FF_1$  的复位信号有效，相差脉冲 PD 复位为 0，同时 PD 又将  $FF_2$  复位，所以相差脉冲 PD 的宽度与相差  $\Phi$  相关。 $\Phi$  越大，PD 的宽度越宽。通过测量和计算相差脉冲宽度与序列周期的比值即可得到具体的相差值。相差检测电路输出 PD 与数字序列  $D_I$  和  $D_R$  的时序关系如图 5-33 所示。

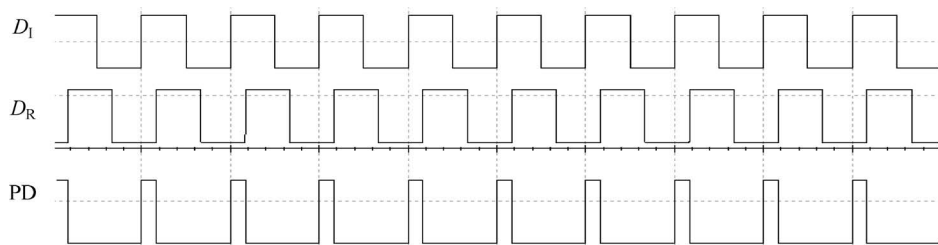


图 5-33 相差检测电路时序图



### 思考与练习

5-6 边沿触发器与脉冲触发器相比，有什么优点？

5-7 设  $D_I$  和  $D_R$  为两路相同的数字序列，如何检测  $D_I$  的相位是超前于  $D_R$  还是落后于  $D_R$ ？画出电路图，并说明其检测原理。

5-8 对比应用异或门实现相差检测和应用边沿触发器实现相差检测电路的输出波形。分析其波形的差异，并说明其相差计算方法是否相同。

## 5.5 锁存器与触发器的逻辑功能和动作特点

锁存器按照逻辑功能进行划分,可分为 SR 锁存器和 D 锁存器两种类型,其中 SR 锁存器具有置 0、置 1 和保持三种功能;D 锁存器具有置 0 和置 1 两种功能。

触发器按照逻辑功能进行划分,可分为 SR 触发器、D 触发器和 JK 触发器三种类型,其中 SR 触发器具有置 0、置 1 和保持三种功能;D 触发器具有置 0 和置 1 两种功能;而 JK 触发器具有置 0、置 1、保持和翻转四种功能。

按照动作特点进行划分,锁存器/触发器可分为门控锁存器、脉冲触发器和边沿触发器三种类型。门控锁存器在时钟脉冲的有效电平期间工作,脉冲触发器在时钟脉冲的上升沿开始工作,但到下降沿才能进行状态更新,而边沿触发器只在时钟脉冲的上升沿或者下降沿瞬间工作。

逻辑功能和动作特点是从两个不同的角度考查锁存器/触发器的功能和特点。从理论上讲,SR 触发器、D 触发器和 JK 触发器都可以应用同一种电路结构实现,而同种功能的触发器也可以应用不同形式的电路结构实现,从而具有不同的动作特点。

如果将 JK 触发器的两个输入端  $J$  和  $K$  相连并命名为  $T$ ,那么当  $T=0$  时触发器保持, $T=1$  时触发器翻转。这种只具有保持和翻转功能的触发器称为 T 触发器。将  $J=K=T$  代入 JK 触发器的特性方程即可推导出 T 触发器的特性方程,即

$$\begin{aligned} Q^* &= J \cdot Q' + K' \cdot Q \\ &= T \cdot Q' + T' \cdot Q \\ &= T \oplus Q \end{aligned}$$

T 触发器的状态转换关系如图 5-34(a) 所示,下降沿工作的 T 触发器的图形符号如图 5-34(b) 所示。

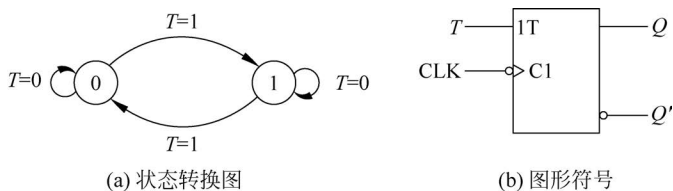


图 5-34 T 触发器

若将 JK 触发器的输入信号  $J$  和  $K$  都接为高电平,则构成只具有翻转功能的  $T'$  触发器,其特性方程为

$$Q^* = J \cdot Q' + K' \cdot Q = 1 \cdot Q' + 1' \cdot Q = Q'$$

T 触发器和  $T'$  触发器是 JK 触发器两种不同的应用形式。另外,将 D 触发器的输出  $Q'$  直接反馈到  $D$  端,也可以构成只具有翻转功能的  $T'$  触发器。

D 触发器和 JK 触发器是两种常用的触发器。D 触发器虽然功能简单,但使用很方便。JK 触发器功能强大,合理应用 JK 触发器可以简化电路设计,同时,JK 触发器还可以作为 SR 触发器、T 触发器和  $T'$  触发器使用。





### 思考与练习

5-9 SR、D、JK、T 和 T' 触发器各具有什么功能？分别写出其特性方程。

5-10 门控锁存器、脉冲触发器和边沿触发器各有什么动作特点？

## 5.6 锁存器与触发器的动态特性

锁存器/触发器的逻辑功能及动作特点都是在输入信号稳定的前提条件下进行分析的。为了确保锁存器/触发器能够可靠地进行状态更新,锁存器/触发器的输入信号与时钟/时钟脉冲之间还应满足一定的时序关系。

下面以门控锁存器和边沿触发器为例,介绍锁存器和触发器的特性参数。

### 5.6.1 门控锁存器的动态特性

对于图 5-35(a)所示的门控锁存器,设所有与非门的传输延迟时间均为  $t_{PD}$ 。

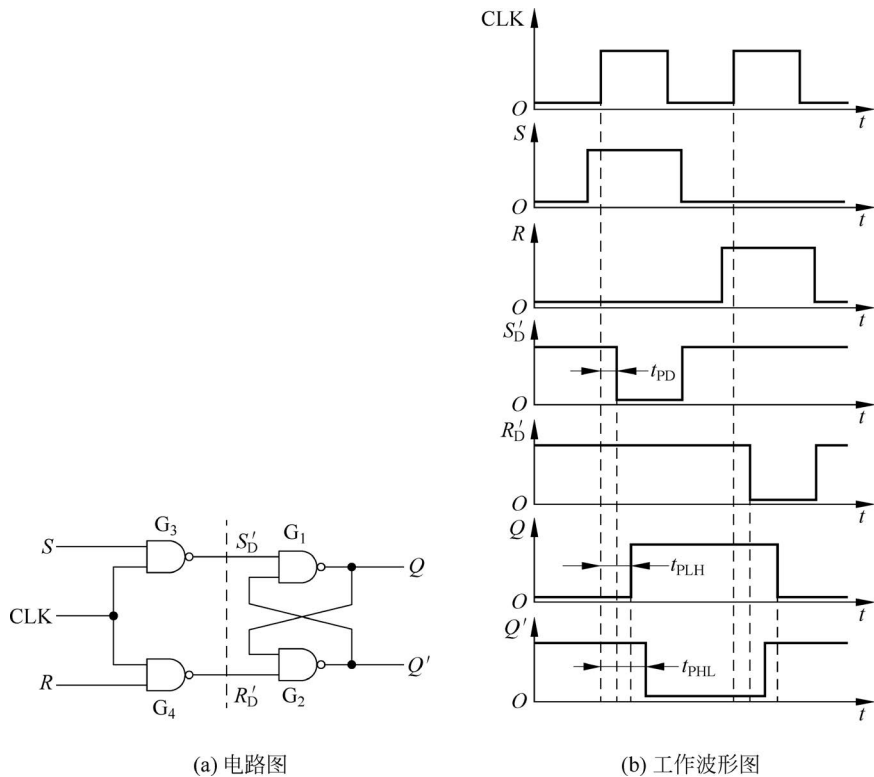


图 5-35 门控锁存器动态特性分析

#### 1. 输入信号的宽度

对于基本 SR 锁存器,当  $S'_D R'_D = 01$  时,在  $S'_D$  信号的作用下,经过一个  $t_{PD}$  使  $Q=1$ ,然后在  $Q$  和输入信号  $R'_D$  的共同作用下,再经过一个  $t_{PD}$  使  $Q'=0$ ;当  $S'_D R'_D = 10$  时,在输入信号  $R'_D$  的作用下,经过一个  $t_{PD}$  使  $Q'=1$ ,然后在  $Q'$  和  $S'_D$  的共同作用下,再经过一个  $t_{PD}$  使  $Q=0$ 。因此,为了确保基本 SR 锁存器可靠工作,输入信号  $S'_D$  和  $R'_D$  的保持时间应该满



第 36 集  
微课视频

足以下条件:

$$t_{W(S'_D)} \geq 2t_{PD}, \quad t_{W(R'_D)} \geq 2t_{PD}$$

其中  $t_W$  表示输入信号的保持时间,也称为宽度。

由于  $S'_D = (S \cdot CLK)'$ 、 $R'_D = (R \cdot CLK)'$ ,因此对于门控锁存器,要求输入信号  $S$  和  $R$  与时钟  $CLK$  的保持时间应满足

$$t_{W(S \cdot CLK)} \geq 2t_{PD}, \quad t_{W(R \cdot CLK)} \geq 2t_{PD}$$

门控锁存器的工作波形如图 5-35(b)所示。

## 2. 传输延迟时间

由于基本 SR 锁存器从输入信号  $S'_D$  和  $R'_D$  改变到输出  $Q$  和  $Q'$  完成状态更新的延迟时间为  $2t_{PD}$ ,再考虑门控与非门的传输延迟时间,所以门控锁存器从时钟和输入信号同时有效开始算起,到输出  $Q$  和  $Q'$  完成状态更新的传输延迟时间为  $3t_{PD}$ 。

## 5.6.2 边沿触发器的动态特性

为了保证触发器在时钟脉冲的边沿能够可靠地锁定输入信号,触发器的输入信号与时钟脉冲之间应满足一定的时序关系。下面以边沿 D 触发器为例,讲述边沿触发器的特性参数。

边沿触发器的动态特性主要由建立时间(setup time)、保持时间(hold time)和传输延迟时间(Clock-to-Output time)三个时序参数进行描述。对于上升沿工作的边沿 D 触发器,三种时序参数的定义如图 5-36 所示。

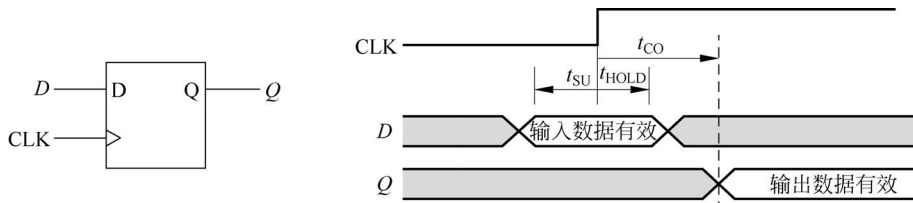


图 5-36 边沿 D 触发器三种时序参数的定义

### 1. 建立时间

建立时间(setup time)是指时钟脉冲的有效沿到来之前,边沿 D 触发器的输入信号必须到达并且稳定的最短时间,用  $t_{SU}$  表示,如图 5-36 中所示。换句话说,为了确保边沿 D 触发器在时钟脉冲的有效沿能够可靠地锁定输入数据,输入信号应提前时钟脉冲的有效沿至少  $t_{SU}$  时间到达边沿 D 触发器的输入端。如果建立时间不够,输入数据将不能可靠地存入边沿 D 触发器。

对于图 5-25 所示的 CMOS 边沿 D 触发器,在 CLK 低电平期间,传输门  $TG_1$  和  $TG_4$  闭合、 $TG_2$  和  $TG_3$  断开,此时输入信号  $D$  经由传输门  $TG_1$ 、反相器  $G_1$  和  $G_2$  到达  $Q_1$  点,使  $Q_1 = D$ 。设传输门和反相器的传输延迟时间均为  $t_D$ ,则输入信号  $D$  的变化传输到  $Q_1$  的延迟时间为  $3t_D$ 。

当 CLK 的上升沿到来时,经过反相器的传输延迟时间  $t_D$  后传输门的控制信号  $C'$  开始变化,因此输入信号  $D$  必须先于 CLK 的上升沿到达并且保持稳定的最短时间为  $2t_D$ ,即  $t_{SU} = 2t_D$ 。

## 2. 保持时间

保持时间(hold time)是指时钟脉冲的有效沿作用后,边沿 D 触发器的输入信号还必须维持的最短时间,用  $t_{\text{HOLD}}$  表示,如图 5-36 所示。如果保持时间不够,那么输入数据同样不能可靠地存入边沿 D 触发器。

对于图 5-25 所示的 CMOS 边沿 D 触发器,传输门的控制信号  $C$  和  $C'$  改变使  $\text{TG}_1$  截止、 $\text{TG}_2$  导通之前,输入信号  $D$  应该保持不变。因此,在 CLK 的上升沿到达后  $2t_{\text{D}}$  的时间内输入  $D$  应保持不变,即  $t_{\text{HOLD}} = 2t_{\text{D}}$ 。

## 3. 时钟到输出时间

时钟到输出时间(clock to output time)是从时钟的有效沿开始算起,到边沿 D 触发器完成状态更新的延迟时间,用  $t_{\text{CO}}$  表示,如图 5-36 所示。

对于图 5-25 所示的 CMOS 边沿 D 触发器,边沿 D 触发器的输出  $Q$  需要经过反相器  $C$  和  $C'$ 、传输门  $\text{TG}_3$  和反相器  $G_3$  的传输延迟后才能完成状态更新,而  $Q'$  还需要经过反相器  $G_4$  后才能完成状态更新,因此  $t_{\text{CO}} = 5t_{\text{D}}$ 。

另外,触发器的异步置 0/置 1 信号与时钟脉冲之间也应满足一定的时序关系。对于上升沿工作的边沿 D 触发器,异步置 0/置 1 信号的时序参数定义如图 5-37 所示。

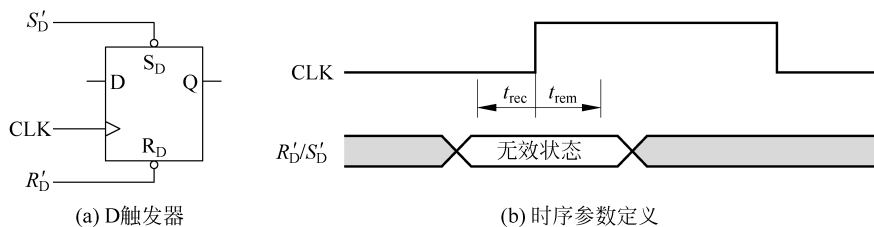


图 5-37 异步置 0/置 1 信号的时序参数定义

恢复时间(recovery time)是指在时钟脉冲的有效沿到来之前,异步置 0/置 1 信号应恢复为无效状态的最短时间,用  $t_{\text{rec}}$  表示。

撤除时间(remove time)是指在时钟脉冲的有效沿作用之后,异步置 0/置 1 信号还应保持无效状态的最短时间,用  $t_{\text{rem}}$  表示。

如果异步置 0/置 1 信号不能在恢复时间和撤除时间定义的窗口内保持稳定,则会影响触发器的正常工作,从而会影响数字系统工作的稳定性。

查阅器件资料可知,集成双 D 触发器 74HC74 的  $t_{\text{SU}}$ 、 $t_{\text{HOLD}}$ 、 $t_{\text{CO}}$  和  $t_{\text{rem}}$  分别为 10、0、10 和 6ns,集成双 JK 触发器 74HC112 的  $t_{\text{SU}}$ 、 $t_{\text{HOLD}}$ 、 $t_{\text{CO}}$  和  $t_{\text{rem}}$  分别为 14、-3、21 和 10ns。

明确了触发器的建立时间、保持时间和 CLK 到输出时间的含义后,就可以应用这些时序参数来推算同步时序电路稳定工作的条件。这部分内容将在第 6.7 节时序逻辑电路的竞争-冒险中做进一步分析。

## 5.7\* 两种过程赋值语句

过程赋值(procedural assignment)语句是指在过程体内部对变量进行赋值的语句,应用的语法格式为:

<变量> <赋值操作符> <赋值表达式>;



其中,过程赋值操作符有两种类型:“=”和“<=”,分别表示阻塞赋值和非阻塞赋值。

**阻塞赋值(blocking assignment)**是指过程体内部的赋值语句按照书写的顺序进行赋值。也就是说,在前一条赋值语句执行结束之前,后一条语句被阻塞,不能执行。只有前一条语句赋值完成后,后一条语句才能被执行。

**非阻塞赋值(non-blocking assignment)**是指过程体内部的所有赋值语句同时进行赋值,与语句的书写顺序无关,即后一条赋值语句的执行不受前一条赋值语句的影响。

为了准确地理解阻塞赋值和非阻塞赋值的差异,先定义两个概念:RHS和LHS。其中,RHS(right-hand-side)是指赋值操作符右侧的表达式,LHS(left-hand-side)是指赋值操作符左侧的变量。

阻塞赋值在赋值时先计算 RHS 的值,把 RHS 赋值给 LHS 后,才允许其后赋值语句的执行。所以,阻塞赋值语句的执行过程可以理解为:计算 RHS 并更新 LHS,期间不允许有其他语句的干扰。由于综合时赋值语句中的延迟量将被忽略,因此从理论上讲,阻塞赋值语句与其后的赋值语句只有概念上的先后,并无实质上的延迟。

非阻塞赋值在赋值操作开始时先计算 RHS 的值,赋值操作结束时再更新 LHS,即在计算 RHS 和更新 LHS 期间,允许其他非阻塞赋值语句同时计算 RHS 和更新 LHS。所以,非阻塞赋值语句的执行过程可以理解为两个步骤:①在赋值时刻开始时,计算 RHS 的值;②在赋值时刻结束时,更新 LHS 的值。

**非阻塞赋值提供了在语句块内实现并行操作的方法。**

由于阻塞赋值与非阻塞赋值的赋值方法不同,因此综合出的电路存在差异,所以必须严格区分和正确应用这两种过程赋值语句。在编写 Verilog 代码时,建议遵循以下设计规范:

- (1) 描述组合逻辑电路时,使用阻塞赋值;
- (2) 描述时序逻辑电路时,使用非阻塞赋值;
- (3) 不能在同一过程语句中既使用阻塞赋值,又使用非阻塞赋值。当模块中既包含组合逻辑又包含时序逻辑时,建议将组合逻辑和时序逻辑分开进行描述:用一个 always 语句描述时序逻辑,用另一个 always 语句描述组合逻辑,或者改用连续赋值语句描述组合逻辑;
- (4) 在同一个过程语句中既需要描述时序逻辑又需要描述组合逻辑时,建议使用非阻塞赋值;
- (5) 不要在两个或者两个以上的过程语句中对同一个变量进行赋值。

另外需要注意的是,过程赋值与连续赋值的概念和应用不同。连续赋值的赋值行为是持续进行的,即当赋值表达式的值发生变化时,被赋值线网会立即更新。对于过程赋值,有事件发生时,过程体中被赋值变量的值才会被更新,而且在更新后,其值将保持到下一次有事件发生时为止。换句话说,当过程语句未被启动时,即使 RHS 的值发生了变化,被赋值的变量仍将保持不变,直到事件列表中有事件发生为止。

## 5.8\* 锁存器和触发器的描述

Verilog HDL 中的 always 过程语句把“事件”作为触发语句块的执行条件,分为“电平敏感事件”和“边沿触发事件”两种类型。**电平敏感事件既可以描述组合逻辑电路,又可以描述时序逻辑电路;而边沿触发事件只用于描述时序逻辑电路。**

### 5.8.1 门控锁存器的描述

电平敏感事件是把敏感信号/变量的电平发生变化作为执行 `always` 语句的条件。锁存器可以应用电平敏感事件描述。例如,描述 D 锁存器的 Verilog HDL 代码参考如下。

```
module d_latch (clk, d, q);
    input clk, d;
    output reg q;
    always @( clk, d )
        if (clk) q <= d;
endmodule
```

上述过程语句表示: `clk` 或者 `d` 任意一个发生变化时,如果检测到 `clk` 为高电平,就把 `d` 赋给 `q`。由于没有定义 `clk` 为低电平时所执行的操作,默认当 `clk` 为低电平时,`q` 保持不变。

### 5.8.2 边沿触发器的描述

边沿触发事件是把信号/变量发生边沿跳变作为执行 `always` 语句的条件,分为上升沿触发(用关键词 `posedge` 描述)和下降沿触发(用关键词 `negedge` 描述)两种类型。例如,上升沿工作的 D 触发器的功能描述如下:

```
module d_ff (clk, d, q);
    input clk, d;
    output reg q;
    always @( posedge clk )
        q <= d;
endmodule
```

上述过程语句表示:当时钟脉冲上升沿到来时,才将 `d` 赋给 `q`。

为了使用起来灵活方便,商品化的锁存器/触发器一般都附有复位端和置位端,分为异步和同步两类。实现异步置位/复位时,需要将复位/置位信号列入 `always` 过程语句的敏感事件列表中,当复位/置位有效时就能立即执行指定的操作。

**【例 5-5】** 双 D 触发器 74HC74 的功能描述。

```
module HC74(clk, rd_n, sd_n, d, q);
    input clk, rd_n, sd_n, d;
    output reg q;
    always @( posedge clk or negedge rd_n or negedge sd_n )
        if ( !rd_n )
            q <= 1'b0;
        else if ( !sd_n )
            q <= 1'b1;
        else
            q <= d;
endmodule
```

同步复位/置位只有当时钟脉冲的有效沿到来时才能使触发器复位或者置位。实现同步复位/置位时,只需要将时钟脉冲的有效沿作为触发 `always` 过程语句的条件,然后在 `always` 内部语句块中检测置位/复位信号是否有效。例如,同步复位 D 触发器的功能描述如下:

```
module dff_sync_reset(clk,rst_n,d,q);
    input clk,rst_n,d;
    output reg q;
    always @( posedge clk )
        if (!rst_n)
            q <= 1'b0;
        else
            q <= d;
endmodule
```

5.9 设计实践

抢答器通常用于专项知识竞赛,以测试选手对知识掌握的熟练程度和反应速度。

抢答器基本原理是:主持人掌握着一个按钮,用来将抢答器复位和启动抢答计时。抢答开始后,若有选手按下抢答按钮,则立即锁存抢答器并驱动电路指示选手的状态,同时封锁时钟脉冲禁止其他选手抢答,并将电路的状态一直保持到主持人将抢答器复位为止。

抢答器主要有两个功能:一是分辨出选手抢答的先后顺序,锁定首个抢中选手的状态;二是封锁时钟脉冲,使抢答器对其他选手的抢答不再响应。这两个功能都可以通过锁存器或者触发器实现。

4 人抢答器的设计电路如图 5-38 所示,其中 74HC175 内部集成了 4 个 D 触发器,MR' 为复位端,低电平有效。主持人掌握按钮 S<sub>0</sub>,4 位选手分别掌握着按钮 S<sub>1</sub>、S<sub>2</sub>、S<sub>3</sub> 和 S<sub>4</sub>,D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub> 和 D<sub>4</sub> 分别为选手的状态指示灯。

第 37 集  
微课视频

74HC175  
器件手册

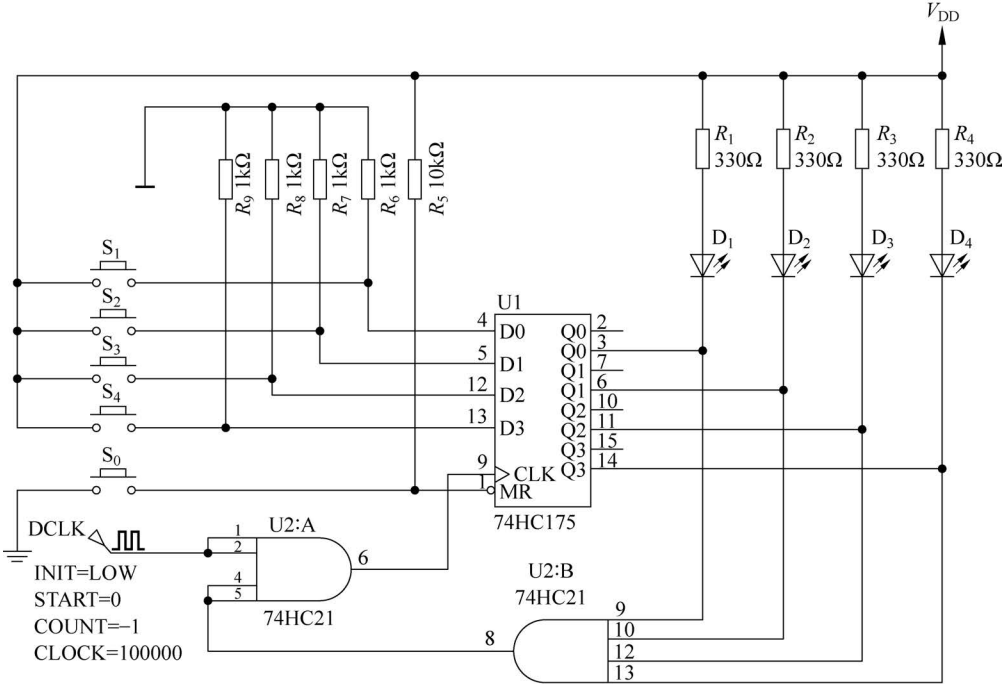


图 5-38 4 人抢答器设计电路

当主持人按下  $S_0$  后将 4 个 D 触发器清零,这时  $Q'_0 \sim Q'_3$  为高电平,因此 4 个发光二极管  $D_1 \sim D_4$  均不亮,同时四输入与门“U2:B”的输出为高电平,因此时钟端(DCLK)可以通过与门“U2:A”为 74HC175 提供时钟。

当有选手按下抢答按钮,例如 1 号选手按下  $S_1$  时,在时钟脉冲的作用下将  $Q_0$  置 1,这时  $Q'_0$  为低电平驱动发光二极管  $D_1$  亮,同时与门“U2:B”输出低电平将与门“U2:A”封锁。74HC175 因为没有时钟脉冲而停止工作,所以对其他选手的按键没有响应,直到主持人将抢答电路复位, $Q'_0 \sim Q'_3$  恢复高电平,与门“U2:B”输出返回高电平,74HC175 的时钟恢复,才能进行下一轮抢答。

时钟脉冲 DCLK 的频率为 100kHz 时,可识别选手抢答的最小时差为 10ns。图中限流电阻  $R_1 \sim R_4$  的具体阻值需要按所驱动发光二极管的参数进行计算。

用硬件描述语言描述数字系统时,不受具体器件功能的限制,可以根据电路的行为特性直接进行描述。描述 4 人抢答器的 Verilog HDL 模块代码参考如下。

```
module responder (dclk, s0, s1, s2, s3, s4, q1n, q2n, q3n, q4n);
    input dclk;           // 时钟端
    input s0;             // 主持人复位按钮
    input s1, s2, s3, s4; // 选手抢答按钮
    output reg q0n, q1n, q2n, q3n; // 抢答状态输出
    // 内部线网定义
    wire en;              // 抢答允许信号
    // 抢答允许逻辑
    assign en = q0n & q1n & q2n & q3n;
    // 时序过程行为描述
    always @ ( posedge dclk or negedge s0 )
        if ( s0 == 0 )
            { q0n, q1n, q2n, q3n } <= 4'b1111;
        else if ( en )
            { q0n, q1n, q2n, q3n } <= { s1, s2, s3, s4 };
endmodule
```

## 思考与练习

5-11 在仿真软件环境下,完成图 5-38 所示 4 人抢答器的功能验证。

## 本章小结

锁存器和触发器是数字电路中基本的存储器件,一个锁存器/触发器能够存储一位二值信息。

锁存器分为 SR 锁存器和 D 锁存器两种类型,其中 SR 锁存器具有置 0、置 1 和保持三种功能;而 D 锁存器只具有置 0 和置 1 两种功能。

触发器分为 SR 触发器、D 触发器和 JK 触发器三种类型,其中 SR 触发器具有置 0、置 1 和保持三种功能,D 触发器只具有置 0 和置 1 两种功能;而 JK 触发器具有置 0、置 1、保持和翻转四种功能。

将 JK 触发器的 J 端和 K 端连接到一起,就构成了只有保持和翻转功能的 T 触发器。将 JK 触发器的 J 端和 K 端接高电平,就构成了只有翻转功能的 T' 触发器。另外,将 D 触

发器的输出  $Q'$  连接到  $D$  端,也可以构成  $T'$  触发器。

按照动作特点,可以将存储电路分为门控锁存器、脉冲触发器和边沿触发器三种类型,其中门控锁存器在时钟的有效电平期间工作,脉冲触发器在时钟脉冲的上升沿已经开始工作,但延迟到时钟脉冲的下降沿才能输出,而边沿触发器只在时钟脉冲的边沿工作。

74HC74 是上升沿工作的双 D 触发器,74HC112 是下降沿工作的双 JK 触发器。

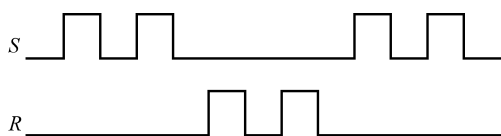
为了保证触发器能够可靠地工作,触发器的输入信号应满足建立时间和保持时间的要求,其中建立时间是指输入信号先于时钟脉冲到达并且稳定的最短时间;而保持时间是指在时钟脉冲作用后,输入信号应该保持不变的最短时间。

锁存器和触发器是构成时序逻辑电路的基础。

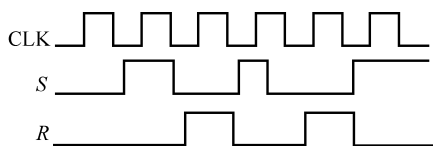
## 习题

5.1 基本 SR 锁存器的输入信号  $S_D$  和  $R_D$  的波形如图题 5.1 所示,画出锁存器状态  $Q$  和  $Q'$  的波形。

5.2 门控 SR 锁存器的 CLK 以及输入信号  $S$  和  $R$  的波形如图题 5.2 所示,画出门控 SR 锁存器状态  $Q$  和  $Q'$  的波形(设  $Q$  的初始状态为 0)。

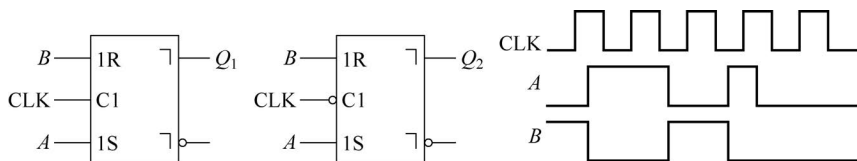


图题 5.1



图题 5.2

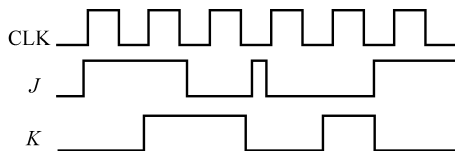
5.3 脉冲 SR 触发器的 CLK 以及输入信号  $A$ 、 $B$  的波形如图题 5.3 所示,分别画出脉冲 SR 触发器的状态  $Q_1$  和  $Q_2$  的波形。设脉冲 SR 触发器的初始状态均为 0。



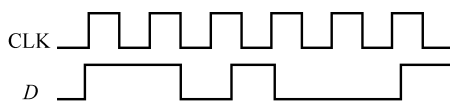
图题 5.3

5.4 脉冲 JK 触发器的时钟脉冲 CLK 以及输入信号  $J$ 、 $K$  的波形如图题 5.4 所示,画出脉冲 JK 触发器状态  $Q$  的波形。设脉冲 JK 触发器的初始状态为 0。

5.5 边沿 D 触发器在时钟脉冲的上升沿工作。设时钟脉冲以及输入信号  $D$  的波形如图题 5.5 所示,画出边沿 D 触发器状态  $Q$  的波形。设边沿 D 触发器的初始状态为 0。



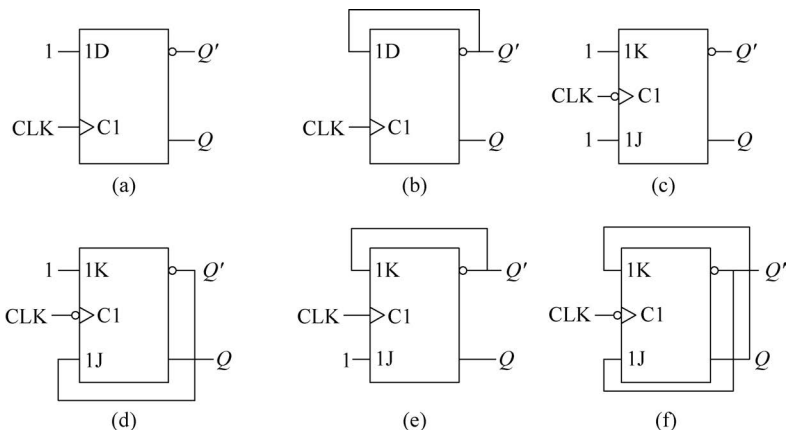
图题 5.4



图题 5.5

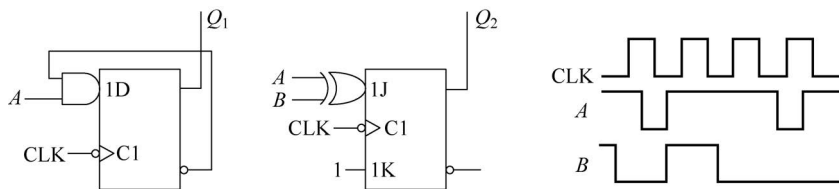
5.6 边沿 D 触发器在时钟脉冲的下降沿工作。设时钟脉冲以及输入信号  $D$  的波形如图题 5.5 所示,画出边沿 D 触发器状态  $Q$  的波形。设边沿 D 触发器的初始状态为 0。

5.7 触发器应用电路如图题 5.7 所示。画出在时钟脉冲序列 CLK 的作用下各触发器状态  $Q$  的波形。设触发器的初始状态均为 0。



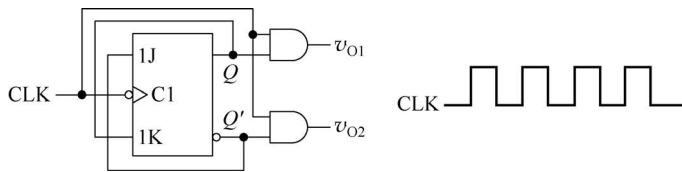
图题 5.7

5.8 触发器应用电路如图题 5.8 所示。画出在时钟脉冲 CLK 和输入信号  $A$ 、 $B$  的作用下  $Q_1$  和  $Q_2$  的波形。设触发器的初始状态均为 0。



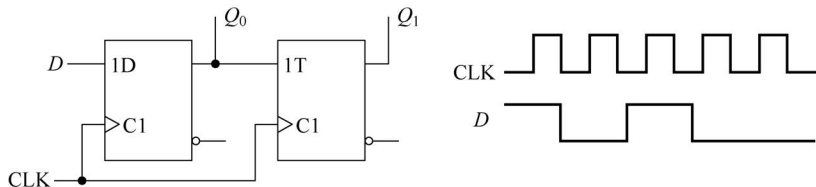
图题 5.8

5.9 两相脉冲源产生电路如图题 5.9 所示。画出在时钟脉冲 CLK 的作用下触发器的状态  $Q$ 、 $Q'$  以及输出  $v_{O1}$ 、 $v_{O2}$  的波形。设触发器的初始状态均为 0。



图题 5.9

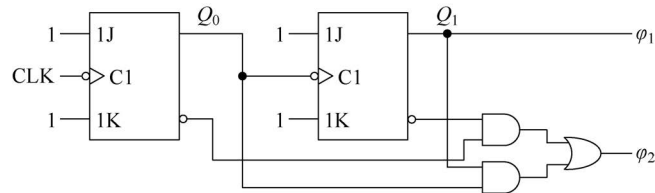
5.10 触发器应用电路如图题 5.10 所示。已知时钟脉冲 CLK 和输入信号  $D$  的波形,画出  $Q_0$  和  $Q_1$  的波形。设触发器的初始状态均为 0。



图题 5.10

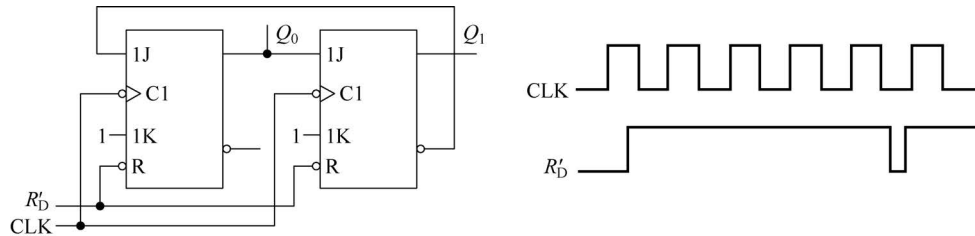


5.11 两相脉冲源产生电路如图题 5.11 所示。画出在脉冲序列 CLK 的作用下  $\varphi_1$ 、 $\varphi_2$  的输出波形,并说明  $\varphi_1$ 、 $\varphi_2$  的相位差。设触发器的初始状态均为 0。



图题 5.11

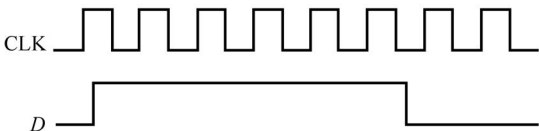
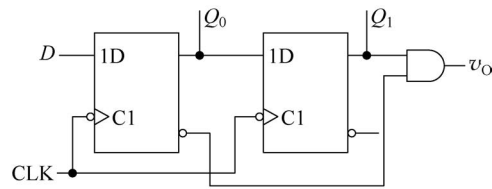
5.12 触发器应用电路如图题 5.12 所示。已知时钟脉冲 CLK 和复位信号  $R'_D$  的波形,画出触发器状态  $Q_0$ 、 $Q_1$  的波形。设触发器的初始状态均为 0。



图题 5.12

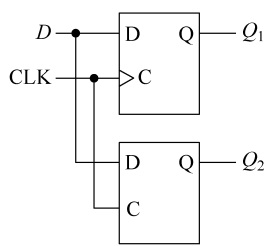
5.13 如果定义一种新触发器的逻辑功能为  $Q^* = X \oplus Y \oplus Q$ , 分别用 JK 触发器、D 触发器和门电路实现这种新触发器。

5.14 触发器应用电路如图题 5.14 所示。已知时钟脉冲 CLK 和输入信号 D 的波形,画出触发器状态  $Q_0$ 、 $Q_1$  以及输出  $v_O$  的波形。设触发器的初始状态均为 0。

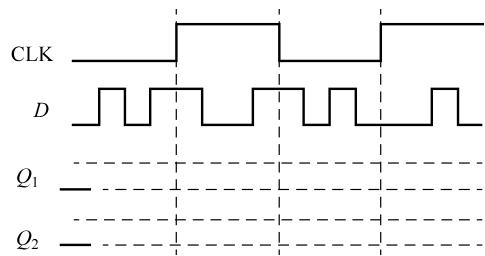


图题 5.14

5.15 D 触发器应用电路如图题 5.15(a) 所示。画出在图题 5.15(b) 所示时钟脉冲 CLK 和输入信号 D 作用下, D 触发器的状态  $Q_1$  和 D 锁存器的状态  $Q_2$  的波形。设  $Q_1$  和  $Q_2$  的初始状态均为 0。



(a) 电路图



(b) 波形图

图题 5.15