

6.1 实验五 数据比较器与加法器

1. 实验介绍

在本次实验中，我们将使用 Verilog HDL 语言实现 4 位比较器、8 位比较器、无符号加法器和有符号加法器的设计和仿真。

2. 实验目标

- 深入了解比较器和加法器的原理。
- 学习使用 Verilog HDL 语言设计 4 位比较器和 8 位比较器。
- 学习使用 Verilog HDL 语言设计无符号加法器和有符号加法器。

3. 实验原理

1) 数据比较器

用来完成两组二进制数大小比较的逻辑电路，称为数据比较器。图 6.5.1 (a) 给出了为 4 位二进制数据比较器的功能框图。输入是一组二进制数 A3 A2 A1 A0 (A3 为高位) 和另一组二进制数 B3 B2 B1 B0 (B3 为高位)，两组数比较的结果，只能是输出 A>B, A=B, A<B 三种情况的一种。图 6.5.1 (b) 给出了 4 位二进制数据比较器芯片 74HC85 的逻辑符号与引脚图，其真值表如表 6.5.1 所示。

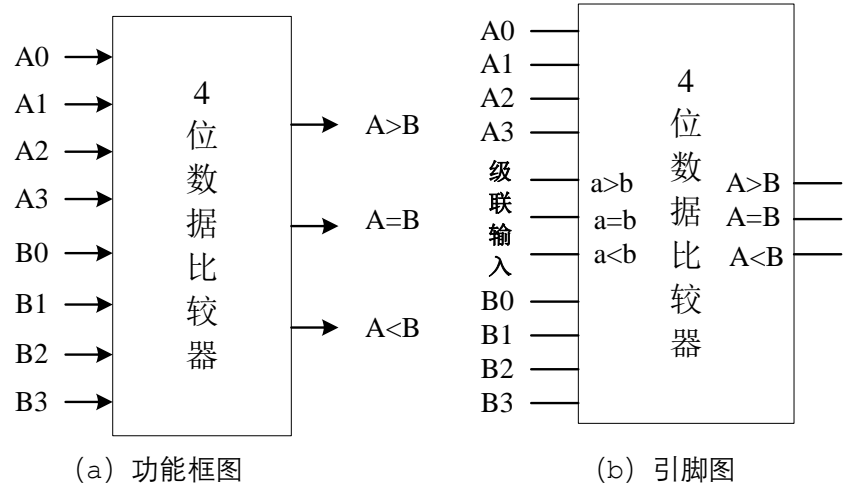


图 6.5.1 4 位 2 进制数比较器

表 6.5.1 4 位二进制数比较器 74C85 真值表

比较输入				级联输入			输出		
a3b3	a2b2	a1b1	a0b0	a>b	a<b	a=b	A>B	A<B	A=B
a3>b3	x	x	x	x	x	x	1	0	0
a3<b3	x	x	x	x	x	x	0	1	0
a3=b3	a2>b2	x	x	x	x	x	1	0	0
a3=b3	a2<b2	x	x	x	x	x	0	1	0
a3=b3	a2=b2	a1>b1	x	x	x	x	1	0	0
a3=b3	a2=b2	a1<b1	x	x	x	x	0	1	0
a3=b3	a2=b2	a1=b1	a0>b0	x	x	x	1	0	0
a3=b3	a2=b2	a1=b1	a0<b0	x	x	x	0	1	0
a3=b3	a2=b2	a1=b1	a0=b0	1	0	0	1	0	0
a3=b3	a2=b2	a1=b1	a0=b0	0	1	0	0	1	0
a3=b3	a2=b2	a1=b1	a0=b0	0	0	1	0	0	1

当比较位数超过 4 位时，可以将两片或多片 74HC85 级联使用。如图 6.5.2 所示为 2 片 4 位比较器级联而成的 8 位比较器，此时低 4 位和高 4 位输入信号，分别加到两个比较器的输入端，低 4 位比较器的三个输出分别对应接到高 4 位比较器的三个级联输入端 a>b, a<b, a=b。比较结果由高 4 位比较器输出端输出。

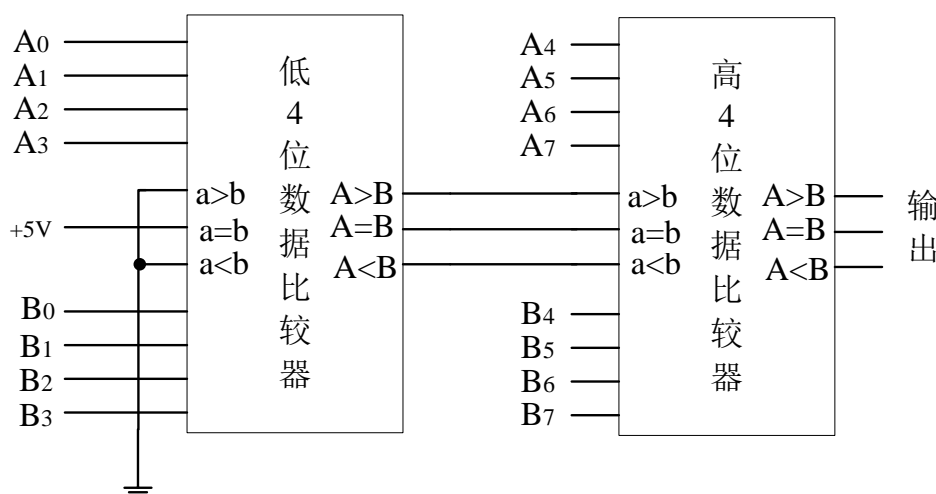


图 6.5.2 使用 2 片 74HC85 组成 8 位比较器

● 接口定义：

a) 4 位比较器接口定义

```
module DataCompare4(
    input [3:0] iData_a, //输入数据 a
    input [3:0] iData_b, //输入数据 b
    input [2:0] iData,    //级联输入 a>b、a<b、a=b
    output [2:0] oData    //结果输出 A>B、A<B、A=B
);
```

b) 8 位比较器接口定义

```
module DataCompare8(  
    input [7:0] iData_a, //输入数据 a  
    input [7:0] iData_b, //输入数据 b  
    output [2:0] oData    //结果输出  
);
```

● XDC 文件配置

a) 4 位比较器 XDC 文件配置

变量	iData_a [0]~[3]	iData_b [0]~[3]	iData [0]~[2]	oData [0]~[2]
N4 板上的 管脚	SW0~3 (J15、L16、 M13、R15)	SW4~7 (R17、T18、 U18、R13)	SW13~15 (U12、 U11、V10)	LD0~2 (H17、 K15、J13)

b) 8 位比较器 XDC 文件配置

变量	iData_a[0]~[7]	iData_b[0]~[7]	oData[0]~[2]
N4 板上的 管脚	SW0~7 (J15、L16、M13、 R15、R17、T18、 U18、R13)	SW8~15 (T8、U8、R16、 T13、 H6、U12、U11、 V10)	LD0~2 (H17、K15、 J13)

2) 加法器

加法器是计算机或其他数字系统中对二进制数进行运算处理的组合逻辑构件。本实验主要采用 Verilog HDL 行为描述实现串行加法器，其逻辑结构框图如图 6.19 (a) 所示，它由多个全加器 (FA) 串行连接而成。每一个全加器是一位加法器，其逻辑图如 6.19 (b) 所示，有三个输入（加数 A_i ，被加数 B_i ，低位的进位信号 C_{i-1} ），两个输出（和数 S_i ，向高位的进位信号 C_i ）。

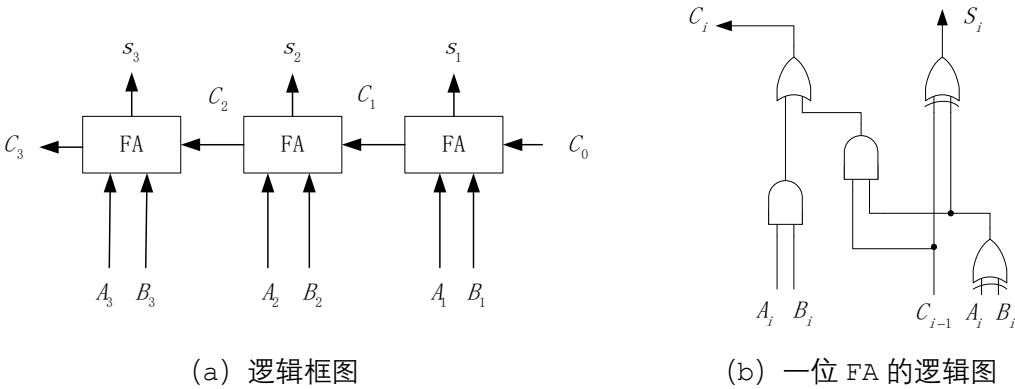


图 6.19 串行加法器框图

(1) 接口定义

● 1 位加法器接口定义:

```
module FA(  
    input iA, //1 位二进制加数  
    input iB, //1 位二进制被加数  
    input iC, //低位的进位信号  
    output oS, //1 位和数  
    output oC //向高位的进位信号  
);
```

注: 要求采用实例化门电路的方法实现该模块

● 8 位加法器接口定义:

```
module Adder(  
    input [7:0] iData_a, //8 位二进制加数  
    input [7:0] iData_b, //8 位二进制被加数  
    input iC, //低位的进位信号  
    output [7:0] oData, //8 位和数  
    output oData_C //向高位的进位信号  
);
```

注: 要求采用实例化 FA 模块的方法实现该模块

(2) XDC 文件配置

● 1 位加法器 XDC 文件配置如表 6.15 所示。

表 6.15 1 位加法器 XDC 文件配置

变量	iA	iB	iC	oS	oC
N4 板上的管脚	SW0 (J15)	SW1 (L16)	SW15 (V10)	LD0 (H17)	LD1 (K15)

● 8 位加法器 XDC 文件配置如表 6.16 所示。

表 6.16 8 位加法器 XDC 文件配置

变量	iData_a [0]~[7]	iData_b [0]~[7]	iC	oData [0]~[7]	oData_C
N4 板上的管脚	SW0~7 (J15、L16、 M13、R15、 R17、T18、 U18、R13)	SW8~15 (T8、U8、 R16、T13、 H6、U12、 U11、V10)	BNTR (M17)	LD0~7 (H17、K15、 J13、N14、 R18、V17、 U17、U16)	LD8 (V16)

4. 实验步骤

1. 新建 Vivado 工程，编写各个模块。
2. 用 ModelSim 仿真测试各模块。
3. 配置 XDC 文件，综合下板，并观察实验现象。
4. 按照要求书写实验报告。