

时钟 个数	PS (现 态)			NS (次 态)			时钟 个数	PS (现态)			NS (次态)		
	Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀		Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀
1	0	0	0	0	0	1	5	1	0	0	1	0	1
2	0	0	1	0	1	0	6	1	0	1	1	1	0
3	0	1	0	0	1	1	7	1	1	0	1	1	1
4	0	1	1	1	0	0	8	1	1	1	0	0	0
							9 (循 环)	0	0	0	0	0	1

● 接口定义：

a) 同步模 8 计数器

```
module Counter8(
    input CLK,          //时钟信号，上升沿有效
    input rst_n,        //复位信号，低电平有效
    output [2:0] oQ,     //二进制计数器输出
    output [6:0] oDisplay //七段数字显示管输出
);
```

提示：本实验需要实例化 JK 触发器、以及七段数字显示管，可以自行添加防抖功能

● XDC 文件配置：

变量	CLK	RST_n	oQ[0]~[2]	oDisplay[0]~[6]
N4 板上的 管脚	CLK (E3)	BTNU (M18)	LD0~2 (H17、 K15、 J13)	CA(T10)、CB(R10)、 CC(K16)、CD(K13)、 CE(P15)、CF(T11)、 CG(L18)

2) 分频器

每一个计数器的脉冲输出频率等于其输入时钟频率除以计数模值，因此我们可以很容易地利用计数器由一个输入时钟信号获得分频后的时钟信号，这种应用称为分频。在本实验中，要求同学采用 Verilog HDL 行为描述方法设计一个分频器。

● 接口定义：

```
module Divider (
    input I_CLK,  //输入时钟信号，上升沿有效
    input Rst,    //复位信号，高电平有效
    output O_CLK  //输出时钟
);
```

注：在 module 中使用 parameter 语句，使该分频器的默认分频倍数为 20。

● XDC 文件配置：

变量	I_CLK	Rst	O_CLK
N4 板上的管脚	CLK (E3)	BTNU (M18)	LD0 (H17)

4. 实验步骤

1. 用 logicsim 画出同步模 8 电路原理图，验证逻辑。
2. 新建 Vivado 工程，编写各个模块。
3. 用 ModelSim 仿真测试各模块。
4. 配置 XDC 文件，综合下板，并观察实验现象。
5. 按照要求书写实验报告。