

6.3 实验三 译码器与编码器

1. 实验介绍

在本次实验中，我们将使用 Verilog HDL 语言实现 3-8 译码器、8-3 编码器以及七段数码管的设计和仿真。

2. 实验目标

- 深入了解译码器、编码器、优先编码器原理。
- 使用 logicsim 画出译码器以及编码器实验的逻辑图。
- 学习使用 Verilog HDL 语言设计实现译码器、编码器。

3. 实验原理

1) 3-8 译码器

实现译码功能的组合逻辑电路称为译码器，它的输入是一组二进制代码，输出是一组高低电平信号。所要建模的 3-8 译码器及真值表如图 6.3.1 所示，它有三个编码输入、八个输出和二个使能输入端(G_1 ， G_2)。作为译码器使用时，使能端必须满足 $G_1=1$ ， $G_2=0$ 。

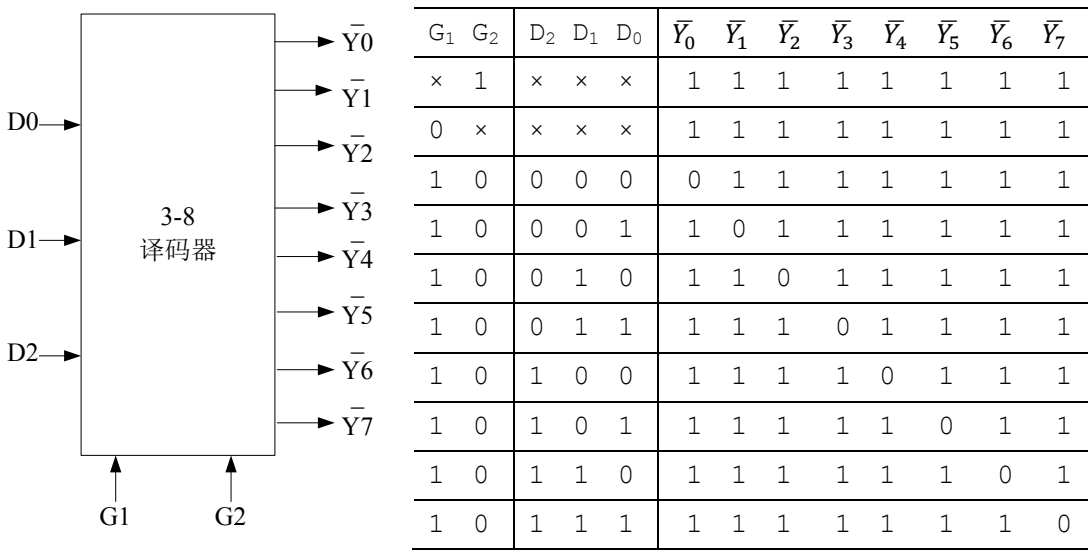


图 6.3.1 3-8 译码器及其真值表

- 接口定义:

```
module decoder(  
    input [2:0] iData,    //三位输入 D2,D1,D0  
    input [1:0] iEna,     //使能信号 G1,G2  
    output [7:0] oData    //八位译码输出 $\bar{Y}_7\sim\bar{Y}_0$ , 低电平有效  
);
```

● XDC 文件配置:

变量	iData[0]~[2]	iEna[0]~[1]	oData[0]~[7]
N4 板上的管脚	SW0~2 (J15、L16、M13)	SW14~15 (V10、U11)	LD0~7 (H17、K15、J13、N14、R18、V17、U17、U16)

2) 七段数码管译码驱动器

图 6.3.2 为所要建模的七段数码管译码驱动原理图，它由译码驱动器和荧光数码管组成。荧光数码管是分段式半导体显示器件，7 个发光二极管组成 7 个发光段，发光二极管可以将电能转换成光能，从而发出清晰悦目的光线。本实验采用的是共阳极电路，故译码器的输出 a~g 分别加到 7 个阴极上。只有在阴极上呈低电平的二极管导通发光，显示 0~9 中相应的十进制数字。表 6.3.1 所示为七段数码管译码驱动器逻辑功能真值表，四个输入和七个输出以及对应显示的字符。

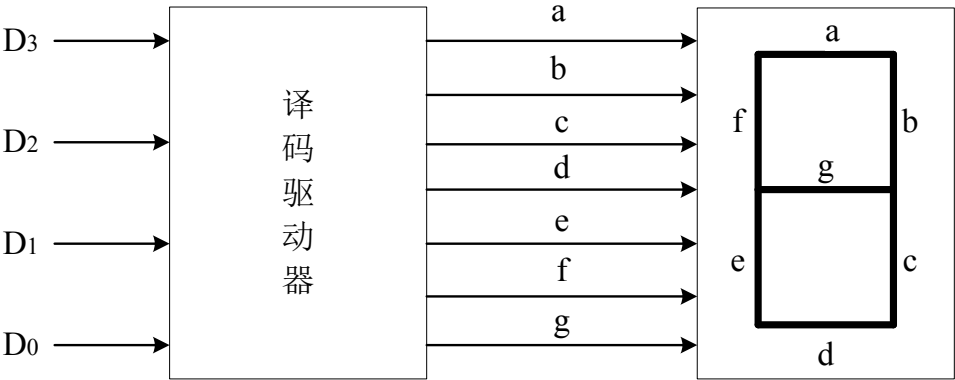


图 6.3.2 七段数码管译码驱动原理图

表 6.3.1 七段数码管译码驱动器逻辑功能表

输入				输出							显示 字符
D ₃	D ₂	D ₁	D ₀	g	f	e	d	c	b	a	
0	0	0	0	1	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1	0	0	1	1
0	0	1	0	0	1	0	0	1	0	0	2
0	0	1	1	0	1	1	0	0	0	0	3
0	1	0	0	0	0	1	1	0	0	1	4
0	1	0	1	0	0	1	0	0	1	0	5
0	1	1	0	0	0	0	0	0	1	0	6
0	1	1	1	1	1	1	1	0	0	0	7
1	0	0	0	0	0	0	0	0	0	0	8
1	0	0	1	0	0	1	0	0	0	0	9

● 接口定义:

```
module display7(  
    input  [3:0] iData, //四位输入 D3~D0  
    output [6:0] oData  //七位译码输出 g~a  
);
```

● XDC 文件配置:

变量	iData[0]~[3]	oData[0]~[6]
N4 板上的管脚	SW0~3 (J15、L16、M13、R15)	CA (T10)、CB (R10)、CC (K16)、CD (K13)、CE (P15)、CF (T11)、CG (L18)

3) 普通 8-3 编码器

用来完成编码工作的电路称为编码器。它可以实现对一组输入信号的二进制编码。图 6.3.3 为所要建模的普通 8-3 编码器及其真值表。它有 8 个输入以及 3 个输出，真值表中每行只有一个输入电平有效（高电平为 1，低电平为 0）。

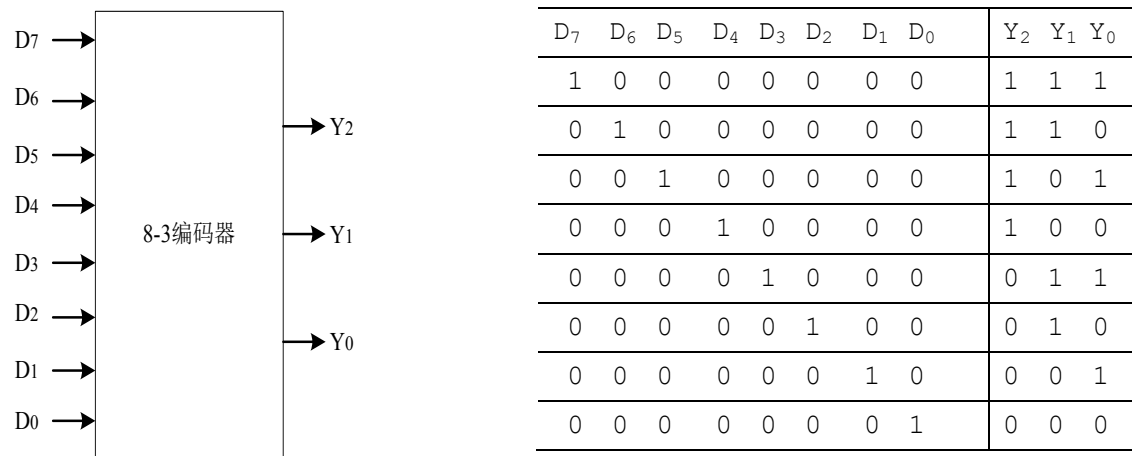


图 6.3.3 普通 8-3 编码器及其真值表

● 接口定义:

```
module encoder83(  
    input  [7:0] iData, //八位输入 D7~D0, 高电平有效  
    output [2:0] oData  //三位编码输出 Y2~Y0  
);
```

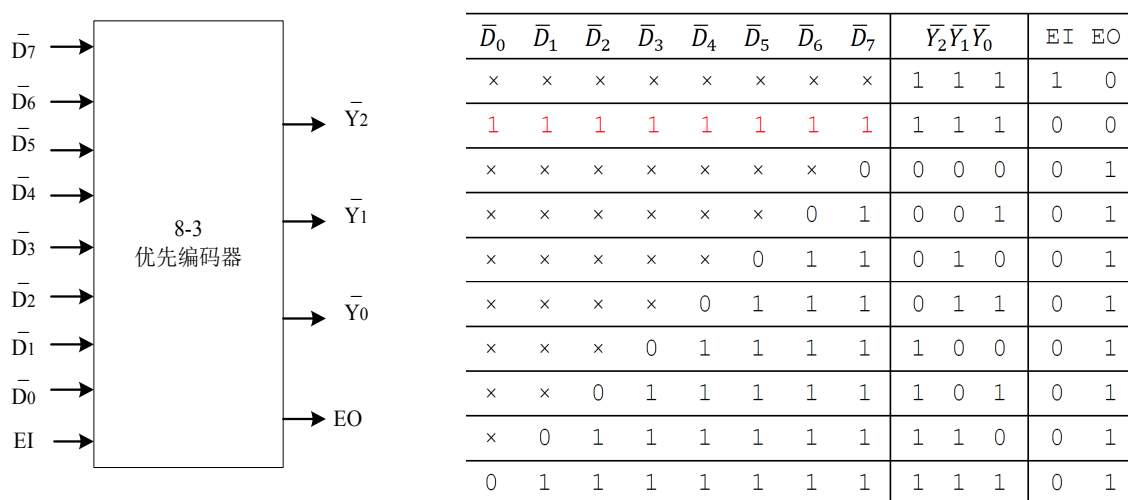
● XDC 文件配置:

变量	iData[0]~[7]	oData[0]~[2]
N4 板上的管脚	SW0~7 (J15、L16、M13、R15、R17、T18、U18、R13)	LD0~2 (H17、K15、J13)

4) 具有优先级的 8-3 编码器

普通编码器对输入线是有限制的，即在任意一时刻所有输入线中只允许一个输入线信号有效，否则编码器将发生混乱。为解决这一问题可以采用具有优先级的编码器。图 6.3.4 为所要建模的具有优先级的 8-3 编码器及其真值表，它有八个输入端、三个输出端、一个选通输入端 EI 以及一个扩展输出端 EO。从真值表可以看出，输入输出的有效信号是低电平，在输入中，角标越大，优先级越高。

图 6.3.4 具有优先级的 8-3 编码器及其真值表



● 接口定义:

```
module encoder83_Pri(
    input [7:0] iData,    //八位输入 $\bar{D}_7 \sim \bar{D}_0$ , 低电平有效
    input iEI,           //选通输入信号 EI, 低电平有效
    output [2:0] oData,   //三位编码输出 $\bar{Y}_3 \sim \bar{Y}_0$ 
    output oEO           //扩展输出信号 EO, 高电平有效
);
```

● XDC 文件配置:

变量	iData[0]~[7]	oData[0]~[2]	iEI	oEO
N4 板上的管脚	SW0~7 (J15、L16、M13、R15、 R17、T18、U18、R13)	LD0~2 (H17、K15、J13)	SW15 (V10)	LD15 (V11)

4. 实验步骤

1. 请根据图 6.3.1 和图 6.3.3 中的真值表列写 3-8 译码器和普通 8-3 编码器的逻辑表达式，并用 logicsim 画出电路原理图，验证逻辑。
2. 新建 Vivado 工程，编写各个模块。
3. 用 ModelSim 仿真测试各模块。
4. 配置 XDC 文件，综合下板，并观察实验现象。
5. 按照要求书写实验报告。