

THIẾT KẾ LOGIC SỐ

Bài tập về nhà số 1

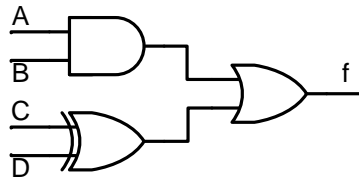
(D16DT)

Yêu cầu:

- Làm ra vở/giấy, ghi rõ họ tên, lớp, số điện thoại, email.
- Bài làm viết tay (không đánh máy).
- Tự làm trên máy tính, khi kết thúc môn học nộp lại cho thầy (thời gian sẽ yêu cầu sau).
- Lớp trưởng thu và nộp bài của cả lớp cho thầy từ 25/9 (đối với lớp học thứ tư) và 26/9 (đối với lớp học thứ năm) trở đi, tại lớp hoặc Văn phòng Khoa tầng 9 nhà A2.

Nội dung bài tập:

1. **Cổng logic:** Mô tả bằng ngôn ngữ VHDL mạch logic ghép nối các cổng



2. **Mạch cộng**

- a. Bộ bán tổng (đặt tên là H_Adder)
- b. Bộ toàn tổng (đặt tên là F_Adder)
 - i. Xây dựng trực tiếp
 - ii. Xây dựng dựa trên các bộ bán tổng sử dụng 2 **process** như trong slide bài giảng.
 - iii. Xây dựng dựa trên **component**.

3. **Mạch giải mã địa chỉ, phân kênh, ghép kênh**

- c. Xây dựng mạch giải mã địa chỉ 3:8
 - i. Sử dụng cấu trúc lệnh **when/else**
 - ii. Sử dụng cấu trúc lệnh **with...select....else**
 - iii. Sử dụng cấu trúc tuần tự **process**
- d. Xây dựng mạch phân kênh 1 đầu vào, 8 đầu ra
 - i. Dựa trên mạch giải mã địa chỉ 3:8
 - ii. Xây dựng trực tiếp (về nhà thực hiện)
- e. Xây dựng mạch ghép kênh 8 đầu vào, 1 đầu ra
 - i. Dựa trên mạch giải mã địa chỉ 3:8
 - ii. Xây dựng trực tiếp (về nhà thực hiện)

4. **Xây dựng mạch giải mã BCD sang Led 7 đoạn**

5. **Xây dựng mạch chuyển mã Nhị phân sang Gray**

THIẾT KẾ LOGIC SỐ

Bài tập về nhà số 2

(D16DT)

Yêu cầu:

- Làm ra vở/giấy, ghi rõ họ tên, lớp, số điện thoại, email.
- Bài làm viết tay (không đánh máy).
- Tự làm trên máy tính, khi kết thúc môn học nộp lại cho thầy (thời gian sẽ yêu cầu sau).
- Lớp trưởng thu và nộp bài của cả lớp cho thầy sau bài 01 một tuần, tại lớp hoặc Văn phòng Khoa tầng 9-A2.

Nội dung bài tập:

1. Viết mô tả VHDL cho mạch so sánh 8 bit.

- Sử dụng cấu trúc lệnh song song
- Sử dụng cấu trúc lệnh tuần tự (về nhà thực hiện)

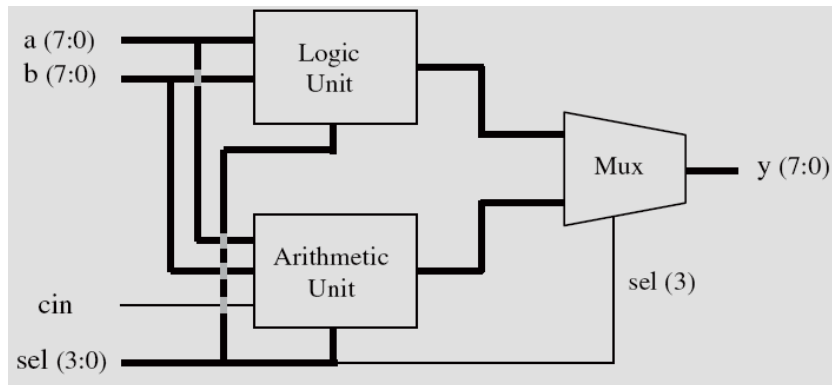
Gợi ý: 2 đầu vào dữ liệu là a(7:0) và b(7:0), 1 đầu vào lựa chọn là sel; 3 đầu ra là x1(a>b), x2(a=b), x3(a<b).

2. Viết mô tả VHDL cho mạch cộng 8 bit.

- Cộng không dấu
- Cộng có dấu (chú ý về sử dụng số bù 2)

Gợi ý: 2 đầu vào dữ liệu là a(7:0) và b(7:0), 1 đầu vào nhớ c_in; 1 đầu ra tổng là sum(7:0) và 1 đầu ra nhớ là c_out.

3. Viết mô tả VHDL cho mạch ALU đơn giản.



Sel	Phép toán	Khối (Unit)	Sel	Phép toán	Khối (Unit)
0000	$y \leq a$	Arithmetic	1000	$y \leq \text{NOT } a$	Logic
0001	$y \leq a+1$		1001	$y \leq \text{NOT } b$	
0010	$y \leq a-1$		1010	$y \leq a \text{ AND } b$	
0011	$y \leq b$		1011	$y \leq a \text{ OR } b$	
0100	$y \leq b+1$		1100	$y \leq a \text{ NAND } b$	
0101	$y \leq b-1$		1101	$y \leq a \text{ NOR } b$	
0110	$y \leq a+b$		1110	$y \leq a \text{ XOR } b$	
0111	$y \leq a+b+c_{in}$		1111	$y \leq a \text{ XNOR } b$	

4. Viết mô tả VHDL cho tri gơ D đồng bộ và không đồng bộ.

5. Viết mô tả VHDL cho bộ đếm thập phân 2 digit.

- Sử dụng trực tiếp port (hoặc có tín hiệu trung gian) và kiểu std_logic_vector.
- Sử dụng biến và kiểu số nguyên.

THIẾT KẾ LOGIC SỐ

Bài tập về nhà số 3

(D16DT)

Yêu cầu:

- Làm ra vở/giấy, ghi rõ họ tên, lớp, số điện thoại, email.
- Bài làm viết tay (không đánh máy).
- Tự làm trên máy tính, khi kết thúc môn học nộp lại cho thầy (thời gian sẽ yêu cầu sau).
- Lớp trưởng thu và nộp bài của cả lớp cho thầy sau bài 02 một tuần, tại lớp hoặc Văn phòng Khoa tầng 9-A2.

Nội dung bài tập:

1. Viết mô tả VHDL cho một bộ đếm 4 chữ số thập phân với các yêu cầu sau:

a. Khai báo thực thể:

- Các đầu vào: **Clk**, **clr**, **pause**,
- Các đầu ra: **Qout** (là kiểu `std_logic_vector (7 downto 0)`), đầu ra **en** (là kiểu `std_logic_vector (4 downto 0)`);

b. Yêu cầu chương trình:

- Một process thực hiện bộ đếm 4 digit.
- Một process hiển thị giảm mã BCD sang LED 7 đoạn.
- Một nhóm câu lệnh sử dụng lệnh lựa chọn (kiểu song song hoặc tuần tự) để lựa chọn LED sáng tại một thời điểm.

c. Tín hiệu kích thích:

- Chính là các đầu vào của thực thể.
- Dạng mạch: Tuần tự đồng bộ với **clk** ($f_{clk}=50\text{MHz}$) có mức ưu tiên cao nhất.

Gợi ý: dùng tham số chung **generic** để chia tín hiệu đồng hồ về mức phù hợp.

d. Hiển thị đầu ra: là 4 LED 7 đoạn Katot chung.

Gợi ý: Sử dụng các chân cho phép **en** để điều khiển hiển thị LED 7 đoạn theo kiểu luân phiên, nhưng phải thỏa mãn mắt nhìn thấy 4 LED này sáng liên tục.

Kết quả cần đạt:

- Hoàn thành bài thiết kế: viết code, view RTL schematic, mô phỏng testbench.

THIẾT KẾ LOGIC SỐ

Bài tập về nhà số 4

(D16DT)

Yêu cầu:

- Làm ra vở/giấy, ghi rõ họ tên, lớp, số điện thoại, email.
- Bài làm viết tay (không đánh máy).
- Tự làm trên máy tính, khi kết thúc môn học nộp lại cho thầy (thời gian sẽ yêu cầu sau).
- Lớp trưởng thu và nộp bài của cả lớp cho thầy sau bài 03 một tuần, tại lớp hoặc Văn phòng Khoa tầng 9-A2.

Nội dung bài tập:

Câu hỏi 1

Vẽ mô hình (ghi chú rõ ràng trên sơ đồ khối, không cần giải thích chức năng các khối) của hệ thống đèn giao thông đơn giản tại ngã tư (Clk=22MHz, chế độ đêm: Chỉ có các đèn vàng cùng sáng, chế độ ban ngày thời gian chuyển các đèn như sau: Xanh 30s, Vàng 5s, Đỏ 35s), vẽ đồ hình máy trạng thái hữu hạn FSM và viết mô tả VHDL mô tả chức năng cho bộ điều khiển của hệ thống đèn giao thông đó.

Câu hỏi 2

Xây dựng mạch đếm thuận nghịch mode 10, đồng bộ với các yêu cầu sau:

- Lối vào: Clk, Reset, Up;
 - Lối ra: Z, Q (hiển thị LED 7 đoạn).
- Xây dựng đồ hình trạng thái theo máy trạng thái Mearly để viết mô tả VHDL.
 - Viết mô tả VHDL (Entity và Architecture) theo đồ hình.

Câu hỏi 3

Xây dựng mạch đếm thuận nghịch mode 12, đồng bộ với các yêu cầu sau:

- Lối vào: Clk, Reset, Up;
 - Lối ra: Z, Q (hiển thị LED 7 đoạn).
- Xây dựng đồ hình trạng thái theo máy trạng thái Moore để viết mô tả VHDL.
 - Viết mô tả VHDL (Entity và Architecture) theo đồ hình.

Kết quả cần đạt:

- Hoàn thành bài thiết kế: viết code, view RTL schematic, mô phỏng testbench (bao gồm viết chương trình mô tả, mô phỏng trên máy tính).